

Progettazione Automatica di Circuiti Elettronici

Docenti: Prof. Ing. Daniela De Venuto

Prof. Ing. Giovanni Mezzina

Relazioni di laboratorio A.A. 2020/2021

Studente: Francesco Caterina (Matricola 564974)

Esercitazione 5

Inverter CMOS

Contents

1	Introduzione.....	2
2	Active PMOS Load Inverter	3
2.1	Voltage transfer characteristic.....	3
2.1.1	Limiti di dinamica lineare e scelta del punto di lavoro statico.....	4
2.1.2	Limiti di dinamica effettiva	5
2.1.3	Misura del guadagno sulla VTC.....	6
2.2	Analisi in frequenza.....	7
2.3	Analisi transient ed FFT	10
3	Current source inverter.....	12
3.1	Voltage transfer characteristic.....	13
3.1.1	Limiti di dinamica lineare e scelta del punto di lavoro statico.....	13
3.1.2	Limiti di dinamica effettiva	15
3.1.3	Misura del guadagno sulla VTC.....	16
3.2	Analisi in frequenza.....	16
3.3	Analisi transient ed FFT	20
4	Push-pull inverter.....	22
4.1	Voltage transfer characteristic.....	22
4.1.1	Limiti di dinamica lineare e scelta del punto di lavoro statico.....	22
4.1.2	Limiti di dinamica effettivi	23
4.1.3	Misura del guadagno sulla VTC.....	23
4.2	Analisi in frequenza.....	24
4.3	Analisi transient ed FFT	27

1 Introduzione

In questa esperienza studieremo ed analizzeremo i vari inverter CMOS utilizzati come amplificatori, determinandone le principali caratteristiche e facendo un confronto pratico tra le prestazioni di ciascuna configurazione. In particolare studieremo le tre principali configurazioni circuitali utilizzate per realizzare un inverter CMOS:

- Active PMOS Load Inverter
- Current Source Load Inverter
- Push-Pull Inverter

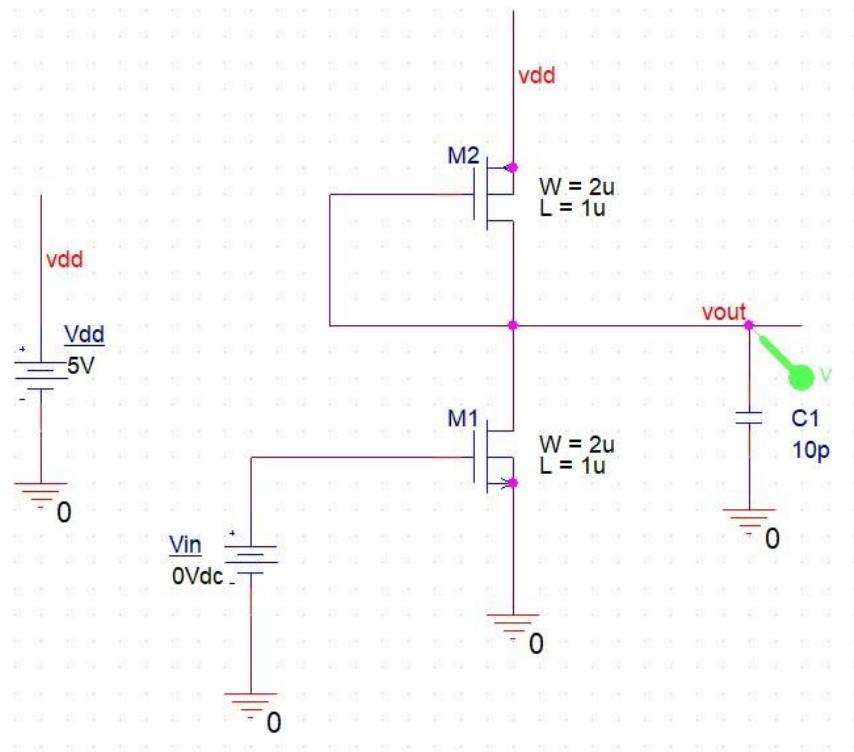
Per ciascuna di queste configurazioni, effettueremo le seguenti analisi utilizzando PSPICE:

- Determinazione della Voltage Transfer Characteristic $V_{out}(V_{in})$
- Determinazione sulla VTC dei limiti di dinamica effettiva $V_{out}^{min}, V_{out}^{max}$ ottenibili rispettivamente per $V_{in} = V_{dd}, V_{in} = 0V$
- Determinazione sulla VTC dei limiti di dinamica lineare, per i quali l'amplificatore non distorce la forma d'onda in uscita (è un sub-range dei limiti di dinamica effettivi)
- Determinazione del punto di lavoro statico in cui far lavorare l'inverter (che tensione DC dobbiamo porre in ingresso per polarizzare correttamente l'inverter in modo che esso lavori al centro della VTC?)
- Misura del guadagno sulla VTC, come rapporto incrementale $\Delta V_{out}/\Delta V_{in}$
- ACSweep: determinare l'andamento del guadagno V_{out}/V_{in} al variare della frequenza. Trovare il guadagno in banda passante in unità naturali, confrontandolo col guadagno misurato precedentemente; poi passando alla visualizzazione in dB misurare frequenza di taglio, frequenza di transizione, frequenza dello zero (quest'ultima sul diagramma delle fasi)
- Analisi transient: visualizzare la forma d'onda in uscita all'amplificatore, quando in ingresso è posto un piccolo segnale a frequenza 1khz (centrobanda), sia nel dominio del tempo che in quello della frequenza utilizzando la FFT. Mediante FFT, verificare che non ci siano distorsioni sul segnale in uscita, verificando che l'amplificatore non aggiunga armoniche spurie allo spettro del segnale (assenti in ingresso). Verificare poi cosa accade quando aumentiamo l'ampiezza del segnale di ingresso oltre i limiti di dinamica lineare dell'amplificatore, osservando ora la comparsa di armoniche spurie nella FFT.

Seguiremo questo schema di analisi per ciascuna configurazione circuitale. Confronteremo inoltre alcuni risultati ottenuti dalle simulazioni con quelli che ci aspettiamo dalla teoria.

2 Active PMOS Load Inverter

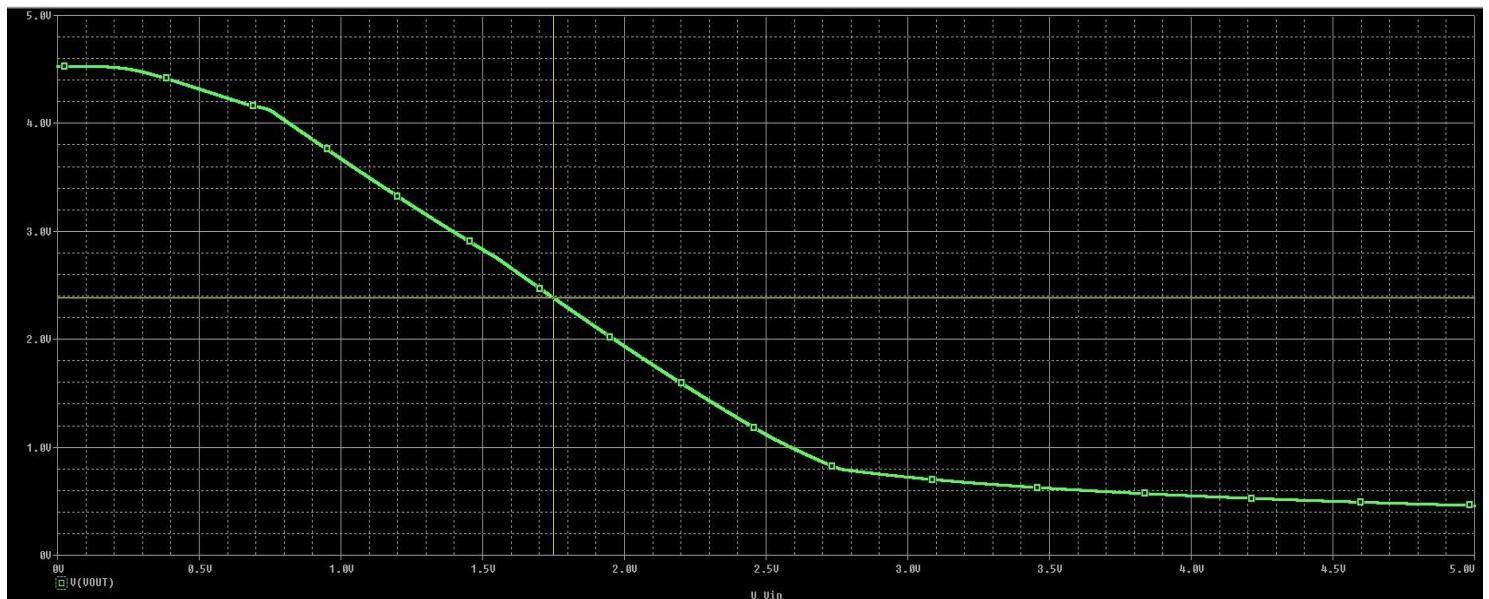
La configurazione circuitale dell'Active PMOS Load Inverter prevede l'utilizzo di un PMOS connesso a diodo come carico di uno stadio NMOS a source comune. Lo schema circuitale è dunque il seguente:



Come si nota M2 è connesso a diodo, quindi è come se costituisse (ai fini del piccolo segnale) un resistore di valore $1/g_m2$ che come sappiamo è abbastanza piccolo. Perciò non ci aspettiamo un grosso guadagno da tale configurazione circuitale, essendo la resistenza di uscita molto piccola (ed essendo $A_v = G_m * R_{out}$). Vedremo tuttavia che ha alcuni vantaggi.

2.1 Voltage transfer characteristic

Ricaviamo la VTC eseguendo uno sweep della V_{in} (che per il momento è un solo alimentatore DC) da 0 a 5V, con incremento di 0.1mV. Otteniamo il seguente andamento:



2.1.1 Limiti di dinamica lineare e scelta del punto di lavoro statico



Il range di dinamica lineare in ingresso è [747,2mV – 2,77V] mentre il rispettivo range in uscita è [4,12V – 795mV]. Dal range di dinamica lineare in ingresso possiamo determinare il punto di lavoro statico in cui dobbiamo far lavorare l'inverter in modo da avere la massima escursione possibile del segnale di ingresso, senza che l'uscita venga distorta (cioè senza che M1 vada in triodo o si spenga).

Infatti mentre M2 è connesso a diodo e dunque sarà sempre in saturazione (a patto che sia $V_{sg} \geq |V_{tp}|$), lo stato di M1 dipende dal valore del segnale in ingresso! Se non polarizziamo correttamente M1 in saturazione, l'inverter non funzionerà da amplificatore: affinché l'inverter funzioni da amplificatore, senza introdurre distorsione dunque, deve lavorare nella zona lineare di dinamica, e in tale zona M1 ed M2 sono in saturazione. Solo se evitiamo che M1 vada in triodo o si spenga avremo un buon comportamento da amplificatore dell'inverter.

Fissiamo la polarizzazione del gate di M1 nel punto centrale della dinamica lineare di ingresso, cioè:

$$V_{in}^Q = V_{in}^{min} + \frac{V_{in}^{max} - V_{in}^{min}}{2} = 747mV + \frac{2,77V - 0,747V}{2} \approx 1,7V$$

Sceglieremo dunque di polarizzare l'inverter con una tensione DC $V_{in}=1,7V$. Ad essa andremo a sovrapporre il piccolo segnale che effettivamente vogliamo amplificare.

Possiamo confrontare i valori dei limiti di dinamica lineare ottenuti sperimentalmente con quelli calcolabili teoricamente. Sebbene M2 sia connesso a diodo, e dunque non va mai in triodo, esso può comunque spegnersi se la V_{sg} ai suoi capi scende al di sotto del modulo della tensione di soglia; perciò dobbiamo avere:

$$V_{SG2} \geq |V_{TP}| \rightarrow V_{DD} - V_{OUT} \geq |V_{TP}| \rightarrow V_{OUT} \leq V_{DD} - |V_{TP}| \rightarrow$$

$$V_{OUT}^{MAX} = V_{DD} - |V_{TP}| = 5V - 0,81V = 4,19V$$

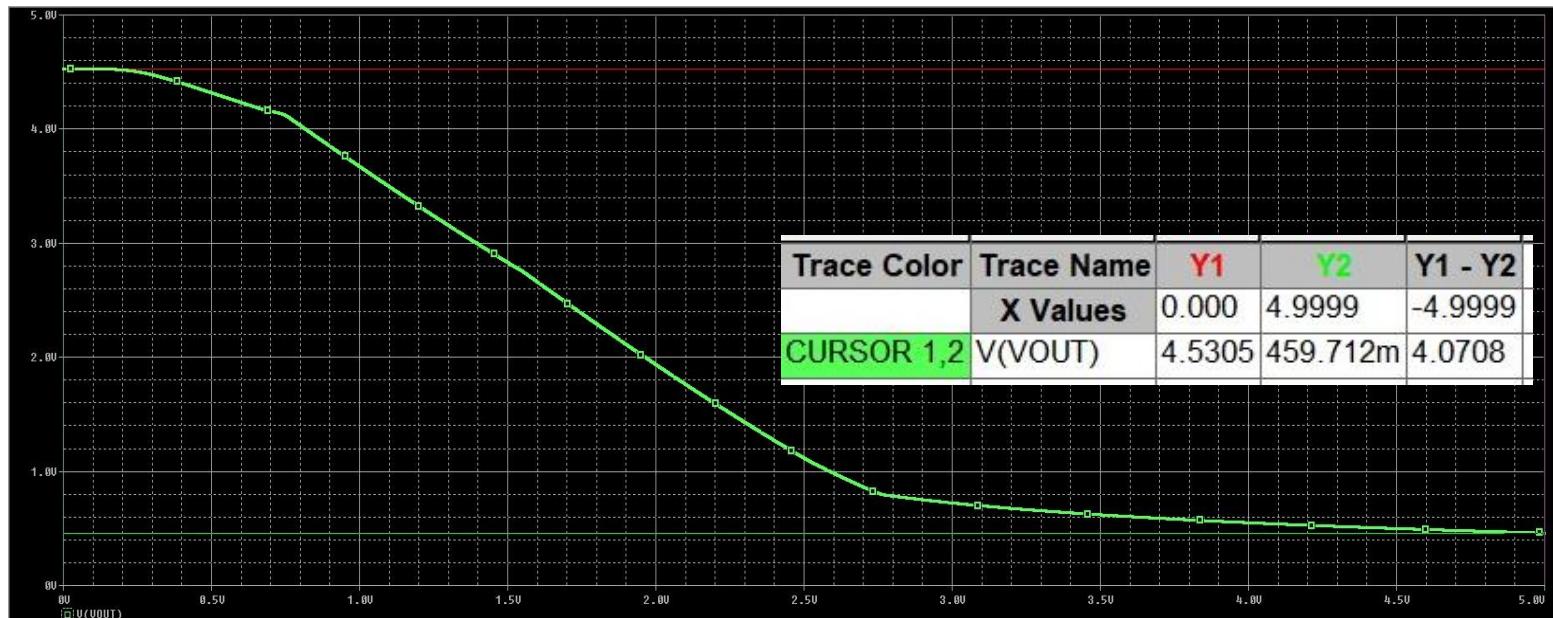
Molto vicini ai 4,12V di dinamica lineare massima in uscita che abbiamo trovato sperimentalmente.

Si noti come tale formula, ottenuta considerando i limiti di dinamica di M2, approssima molto bene il limite di dinamica lineare superiore, ma non il limite di dinamica “effettivo”, in quanto questo dipenderà fortemente dalle correnti **sottosoglia** che scorrono nel MOS (fenomeno per il quale non abbiamo un modello con cui effettuare i calcoli a mano). Il limite di dinamica superiore effettivo va estratto con PSPICE.

Riassumendo i risultati importanti di questa sezione, abbiamo trovato che:

- Limiti dinamica lineare (sperimentale) in ingresso: [747,2mV – 2,77V]
- Limiti dinamica lineare (sperimentale) in uscita: [4,12V – 795mV]
- Punto di lavoro statico da fissare sul gate di M1: $V_{in}^0 = 1,7V$

2.1.2 Limiti di dinamica effettiva



I limiti di dinamica “effettiva”, cioè la dinamica massima che si ottiene in uscita senza considerare se il segnale venga distorto o meno (dunque siamo al di fuori della zona lineare della VTC dell'inverter) si ottengono portando l'ingresso dapprima a 0V (e ricavo così la V_{out}^{max}) e poi a $V_{dd}=5V$ (e ricavo così la V_{out}^{min}). Dalle misurazioni effettuate sulla VTC ponendo i cursori nei suddetti punti della V_{in} abbiamo:

- $V_{out}^{max, eff} = 4,53V$
- $V_{out}^{min, eff} = 459,7mV$

Come si può notare questo inverter non ha uscita del tipo “rail-to-rail”, cioè l'uscita non va da 0V a 5V, da un estremo all'altro dell'alimentazione.

Per quanto riguarda la $V_{out}^{min,eff}$ essa si può determinare considerando che nel punto ($V_{IN}^{MAX}, V_{OUT}^{MIN}$) relativo al limite di dinamica lineare avremo il passaggio di M1 dalla saturazione alla zona di triodo; quindi possiamo ricavare le espressioni delle correnti di triodo di M1 e di saturazione di M2 esprimendole in funzione di V_{in} e V_{out} , ed imporre che siano uguali. Imponendo che la tensione di ingresso si trovi a V_{dd} (dunque ci troviamo al punto più “estremo” della VTC) da tale procedimento si ricava:

$$V_{out}^{min,eff} = V_{DD} - V_T - \frac{V_{DD} - V_T}{\sqrt{1 + \beta_2/\beta_1}}$$

dove:

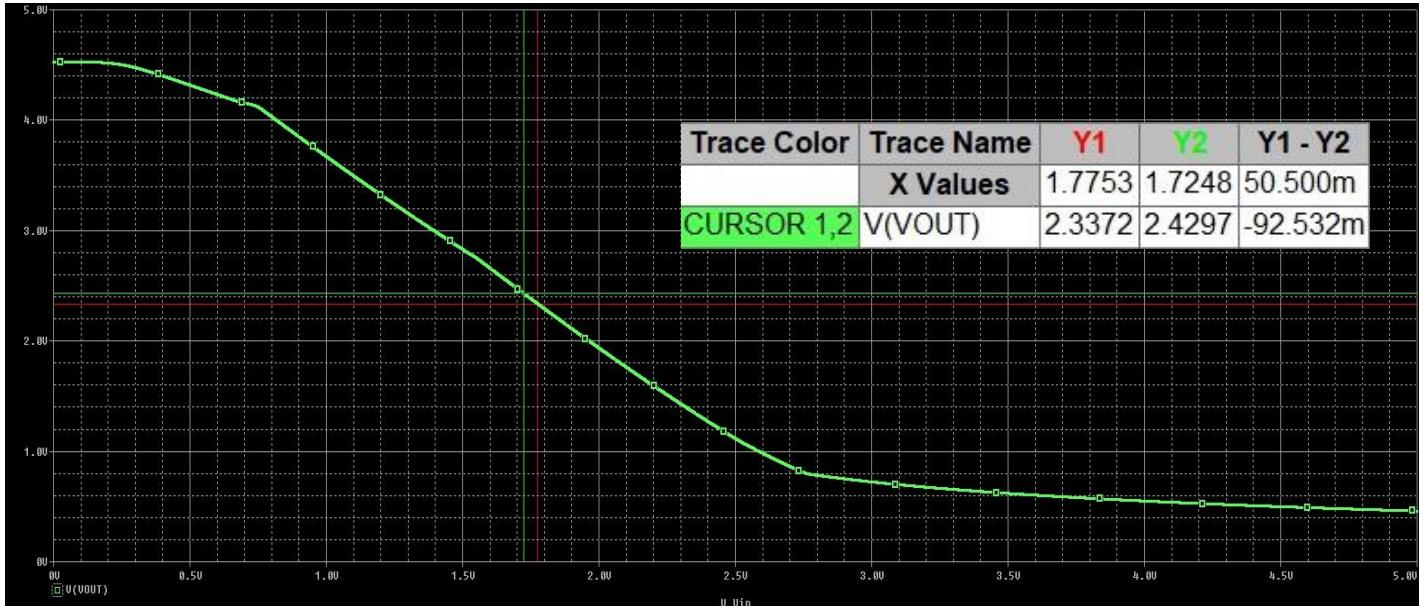
- $V_T = V_{TN} \simeq V_{TP}$ $\rightarrow V_T = 0,77V$
- $\beta_2 = k'_p W_2 / L_2$ $\rightarrow \beta_2 = 18 \frac{\mu A}{V} * 2 = 36 \mu A/V^2$
- $\beta_1 = k'_n W_1 / L_1$ $\rightarrow \beta_1 = 55,6 \frac{\mu A}{V} * 2 = 111,2 \mu A/V^2$

I valori di k_n' , k_p' sono stati presi dalla prima esperienza in cui abbiamo effettuato le relative estrazioni.
Abbiamo dunque:

$$V_{out}^{min,eff} = 5V - 0,77V - \frac{5V - 0,77V}{\sqrt{1 + \frac{36}{111,2}}} = 0,55V$$

Che differisce di soli 100mV circa dalla $V_{out}^{min,eff}$ misurata con il metodo dei cursori; il modello circuitale utilizzato da PSPICE è più preciso ovviamente. Si noti che i limiti di dinamica "effettiva" non hanno molto interesse nel funzionamento da amplificatore dell'inverter, in quanto dobbiamo restare nel range di linearità dell'amplificatore (mantenere M1 ed M2 in saturazione) se vogliamo evitare di introdurre distorsioni di qual sorta nel segnale amplificato; i limiti di dinamica "effettiva" invece ha molto più senso considerarli nel funzionamento in digitale degli inverter, in quanto appunto in tal caso l'inverter opera tra i due stati on/off portando l'uscita alla tensione massima o alla tensione minima, e tali valori di tensione in uscita influenzano il funzionamento dell'inverter successivo.

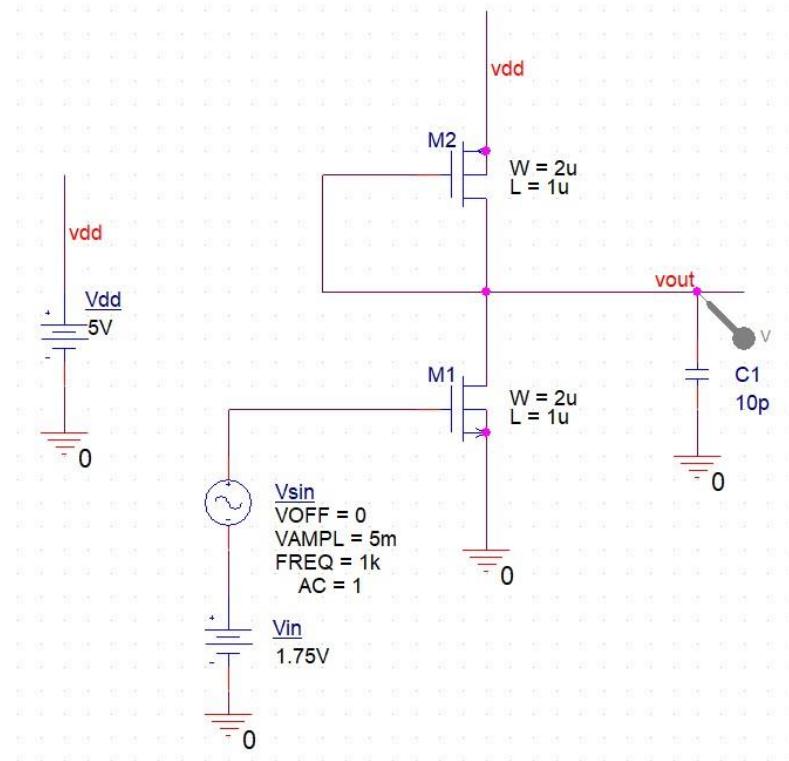
2.1.3 Misura del guadagno sulla VTC



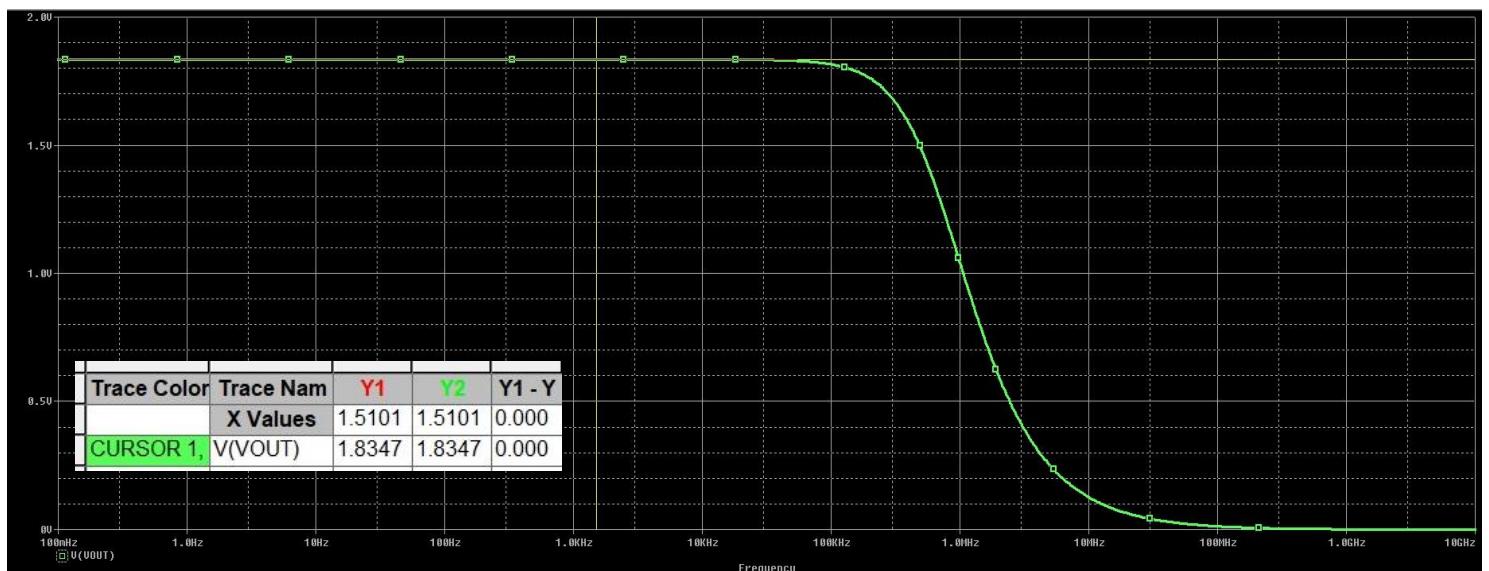
$$A_V = \frac{\Delta V_{out}}{\Delta V_{in}} = -\frac{92,53mV}{50,50mV} = 1,83$$

2.2 Analisi in frequenza

Innanzitutto aggiungiamo al circuito precedente la polarizzazione DC di 1,7V sul gate di M1, e alla polarizzazione ci sovrapponiamo un generatore di segnale sinusoidale V_{sin} che costituirà il nostro segnale da amplificare.

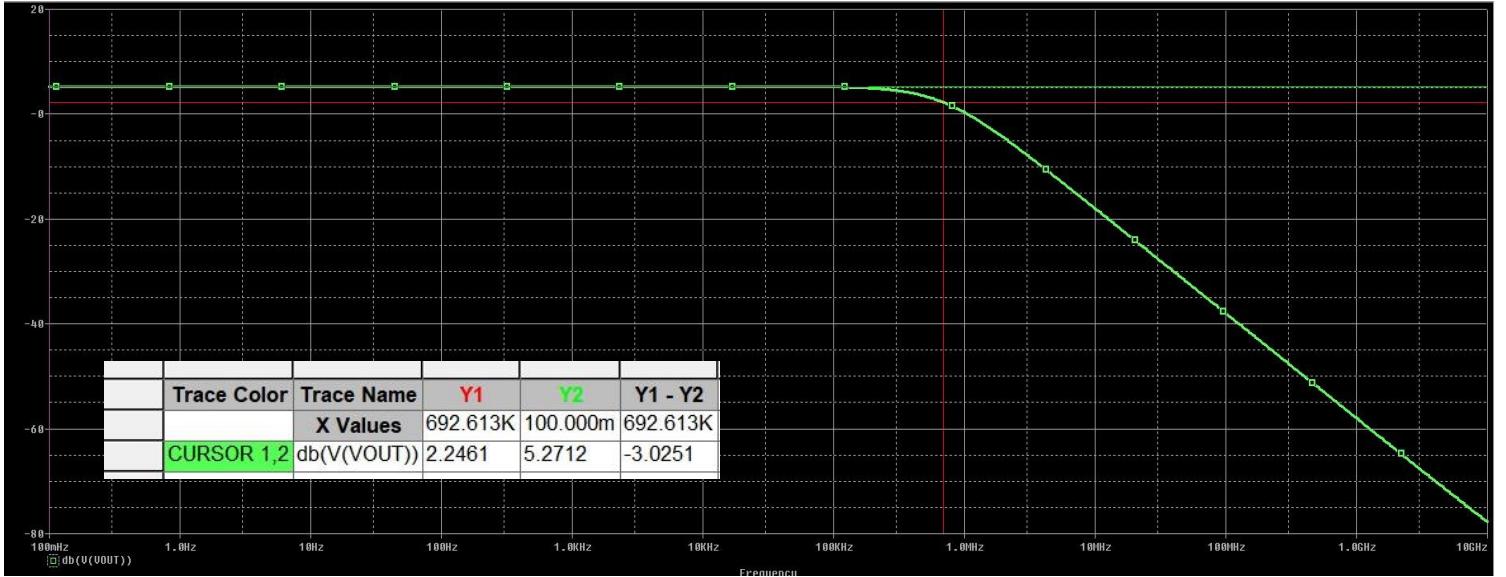


Sul generatore V_{sin} poniamo ampiezza di picco (emivalore) pari a 5mV, quindi avremo 10mV picco-picco, e il parametro AC pari ad 1, in modo da abilitare l'AC sweep per quel generatore. Effettuiamo dunque un AC sweep da 0.1Hz a 10GHz, con andamento logaritmico e 100 punti per decade.



Abbiamo misurato il guadagno a centrobanda, ottenendo $A_V = 1,83$ che è in linea con il guadagno misurato sulla VTC.

Ora passiamo il grafico in dB, semplicemente applicando la funzione dB() tramite l'editor delle formule di PSPICE che si apre facendo doppio click sulla label del grafico in basso a sinistra. Sul grafico che otteniamo così potremo misurare frequenza di taglio (a -3db dall'amplificazione in banda passante) e la frequenza di transizione (definita come quella frequenza alla quale si ha guadagno unitario, cioè 0dB).



La frequenza di taglio così misurata, posizionando il cursore Y2 a 0.1Hz e Y1 a -3dB dall'amplificazione in Y2, è di:

$$f_{cut} = 692,6\text{kHz}$$

Questo coinciderà con il valore della frequenza associata al primo polo, se ipotizziamo che lo zero del sistema sia molto lontano dal polo (e verificheremo che è così).

Possiamo controllare con i calcoli teorici sia il valore del guadagno che quello della frequenza di taglio. Per quanto riguarda il guadagno sappiamo che:

$$A_V = G_m R_{out} = -g_{m1} * \frac{1}{g_{m2}}$$

Mentre la frequenza del polo, che andrà a determinare la frequenza di taglio, sappiamo esser data da:

$$f_{cut} = f_{p1} = \frac{1}{2\pi} \frac{g_{m2}}{C_M + C_{OUT}}$$

dove per questo stadio abbiamo:

$$C_M = C_{gd1}$$

$$C_{OUT} = C_{gs2} + C_L$$

Con C_L capacità di carico che abbiamo posto sull'uscita dell'inverter; essa rappresenta uno stadio successivo, che appunto sarà costituito dal gate di un altro MOS che presenterà i suoi effetti capacitivi.

Ci servono dunque per determinare guadagno e frequenza di taglio con le formule teoriche gm_1 , gm_2 e i valori delle capacità intrinseche dei due MOS. Il valore della capacità di carico ce l'abbiamo già, l'abbiamo imposto noi. Tutto il resto possiamo estrarlo dal punto di lavoro generato da PSPICE durante la simulazione mediante il comando "view simulation output file":

**** MOSFETS		
NAME	M_M1	M_M2
MODEL	amsn	amsp
ID	4.57E-05	-4.57E-05
VGS	1.75E+00	-2.62E+00
VDS	2.38E+00	-2.62E+00
VBS	0.00E+00	0.00E+00
VTH	7.58E-01	-8.24E-01
VDSAT	5.53E-01	-1.31E+00
Lin0/Sat1	-1.00E+00	-1.00E+00
if	-1.00E+00	-1.00E+00
ir	-1.00E+00	-1.00E+00
TAU	-1.00E+00	-1.00E+00
GM	7.95E-05	3.98E-05
GDS	1.35E-06	2.15E-06
GMB	1.89E-05	7.41E-06
CBD	0.00E+00	0.00E+00
CBS	0.00E+00	0.00E+00
CGSOV	3.15E-16	4.55E-16
CGDOV	3.15E-16	4.55E-16
CGBOV	4.95E-17	6.88E-17
CGS	1.20E-15	2.41E-15
CGD	0.00E+00	0.00E+00
CGB	0.00E+00	0.00E+00

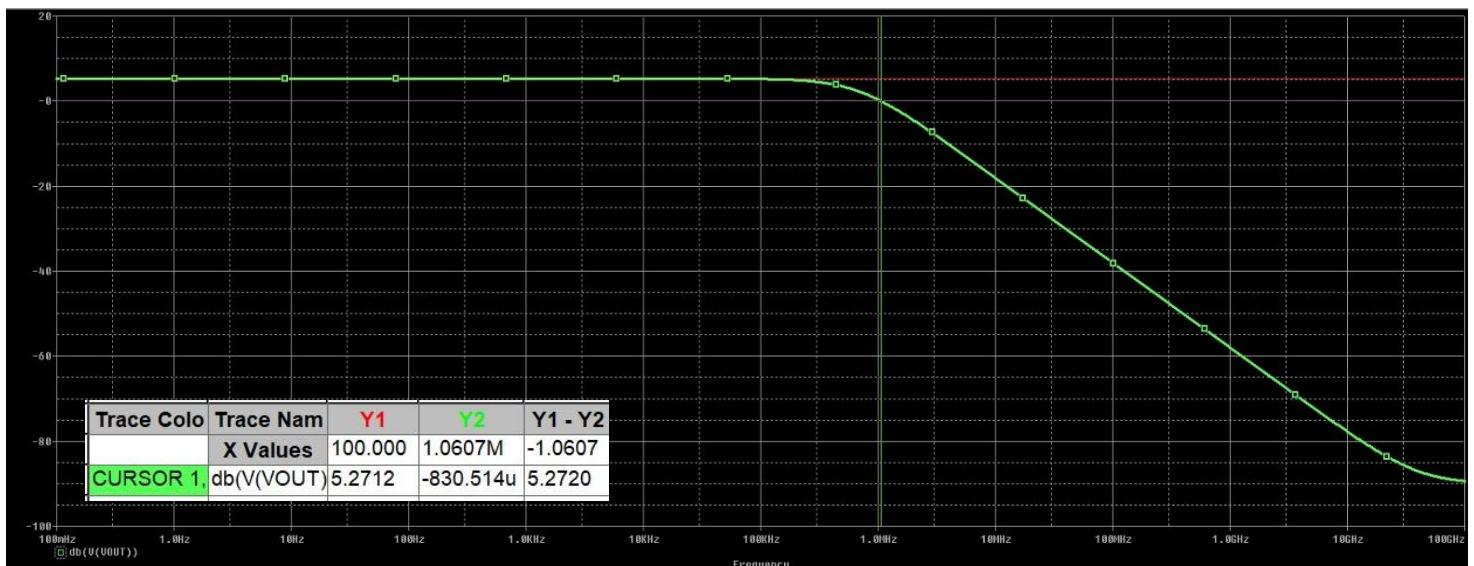
Abbiamo $g_{m1}=79,5\mu A/V$; $g_{m2}=39,8\mu A/V$; $C_{GD1}=0F$; $C_{GS2}=2,41*10^{-15}F$. Si noti come la C_{gd} sia presa come nulla: ciò è sempre vero infatti quando il MOS è in **strong inversion**; la C_{gs2} invece è davvero piccola, trascurabile rispetto alla capacità di carico. Quindi dobbiamo solo considerare quest'ultima, entrambe le capacità intrinseche vengono trascurate. Abbiamo:

$$A_V = G_m R_{out} = -g_{m1} * \frac{1}{g_{m2}} = -\frac{79,5}{39,8} = -1,99$$

$$f_{cut} = f_{p1} = \frac{1}{2\pi} \frac{g_{m2}}{C_M + C_{OUT}} = \frac{1}{2\pi} \frac{g_{m2}}{C_M + C_{OUT}} = \frac{1}{2\pi} \frac{39,8 * 10^{-6}}{10 * 10^{-12}} = 633,44kHz$$

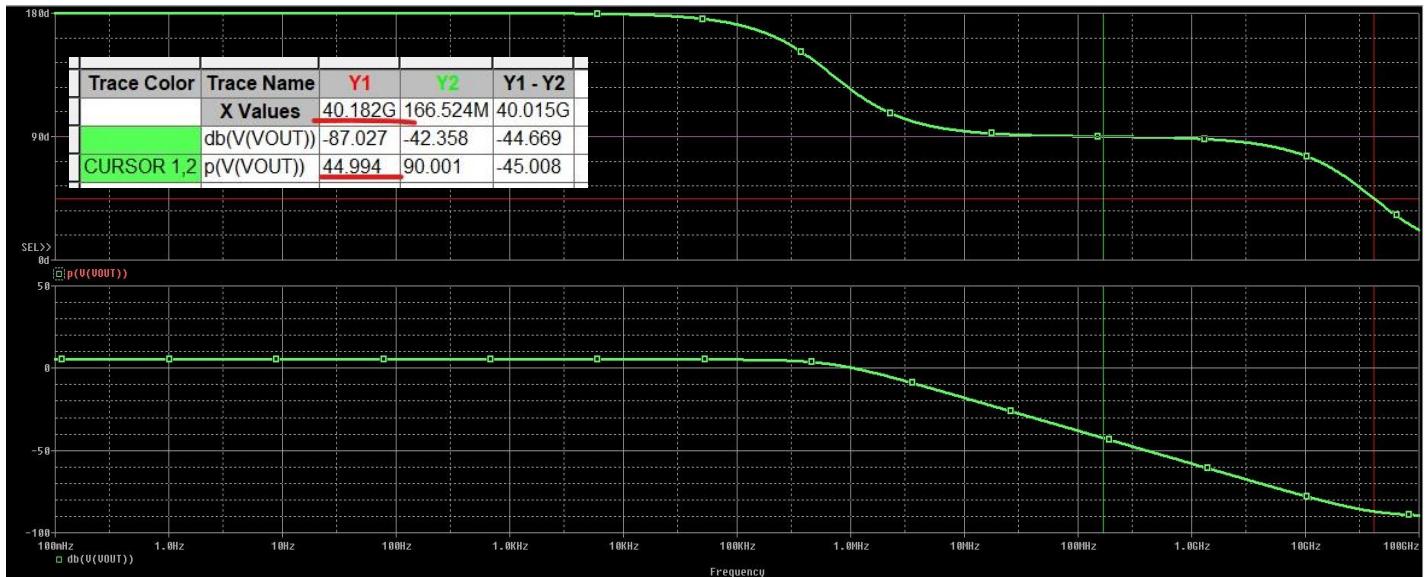
Abbiamo in prima approssimazione una corrispondenza abbastanza buona con i valori ricavati sperimentalmente tramite PSPICE.

Sotto riporto il grafico per l'estrazione della frequenza di transizione:



Abbiamo una frequenza di transizione di $f_T=1,06\text{MHz}$. La frequenza di transizione di un amplificatore è un parametro molto importante, in quanto è necessaria per lo studio della stabilità del sistema nel caso in cui l'amplificatore venga inserito in un sistema retroazionato (per realizzare per esempio un amplificatore retroazionato).

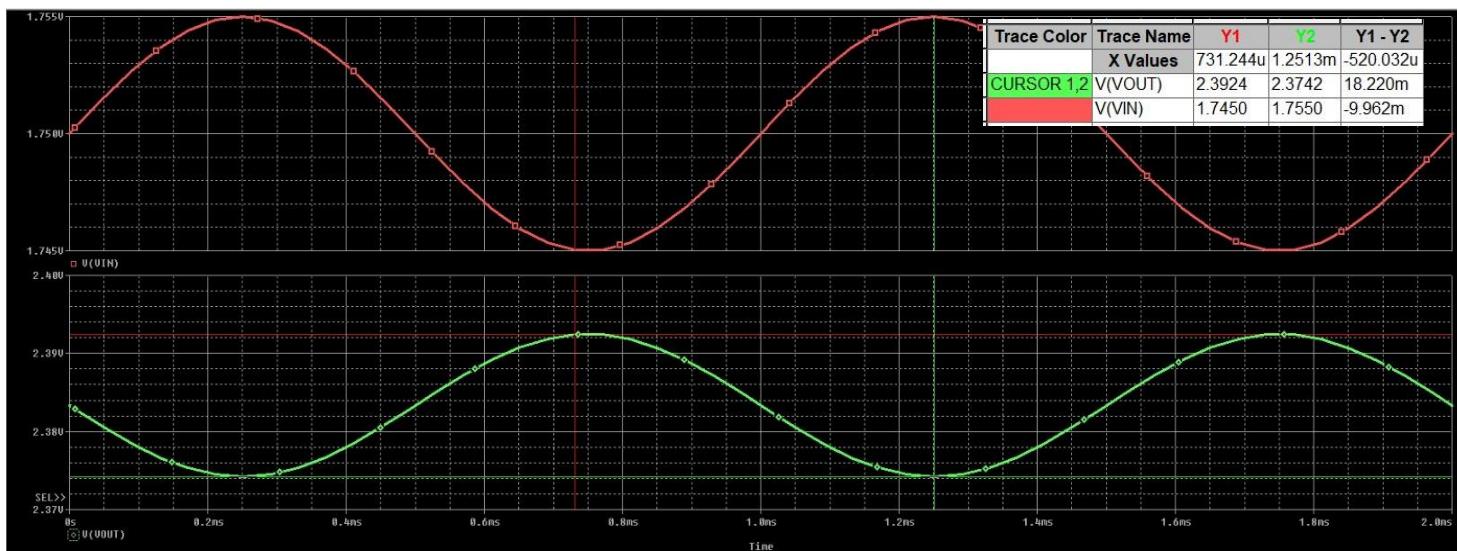
Infine possiamo misurare la frequenza dello zero del sistema; essa tuttavia è talmente elevata che abbiamo dovuto estendere il range dello sweep in frequenza a 100GHz, ed inoltre tale misura conviene farla sul grafico delle fasi in quanto è facilmente misurabile come la frequenza alla quale la fase del segnale in uscita diventa 45° (in quanto in tale punto avremo uno zero dopo il polo).



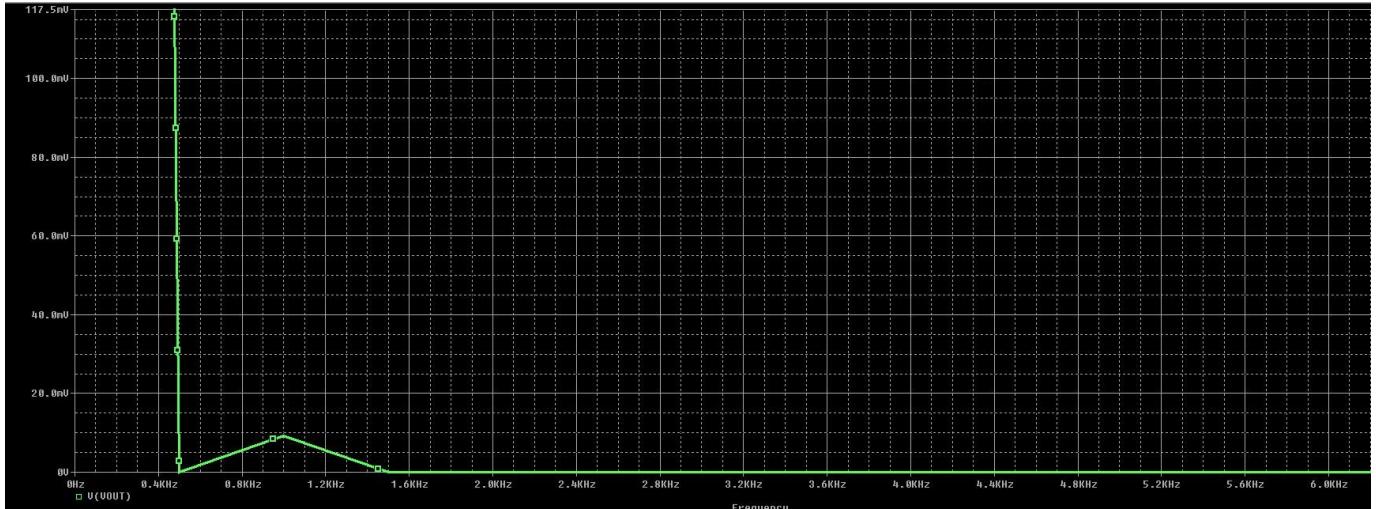
La frequenza relativa allo zero è pari a $f_2=40,18\text{GHz}$, dunque molto al di sopra della frequenza del polo.

2.3 Analisi transient ed FFT

Il periodo del segnale in ingresso è $T=1/1\text{kHz}=1\text{ms}$, dunque metto almeno 2ms di runtime per vedere almeno due periodi. Il segnale AC in ingresso ha emivalore di 5mV, quindi 10mV picco-picco. In tal modo potremo andare a verificare il guadagno semplicemente dividendo per 10mV il valore della tensione picco-picco in uscita. Sotto riporto il risultato della simulazione:



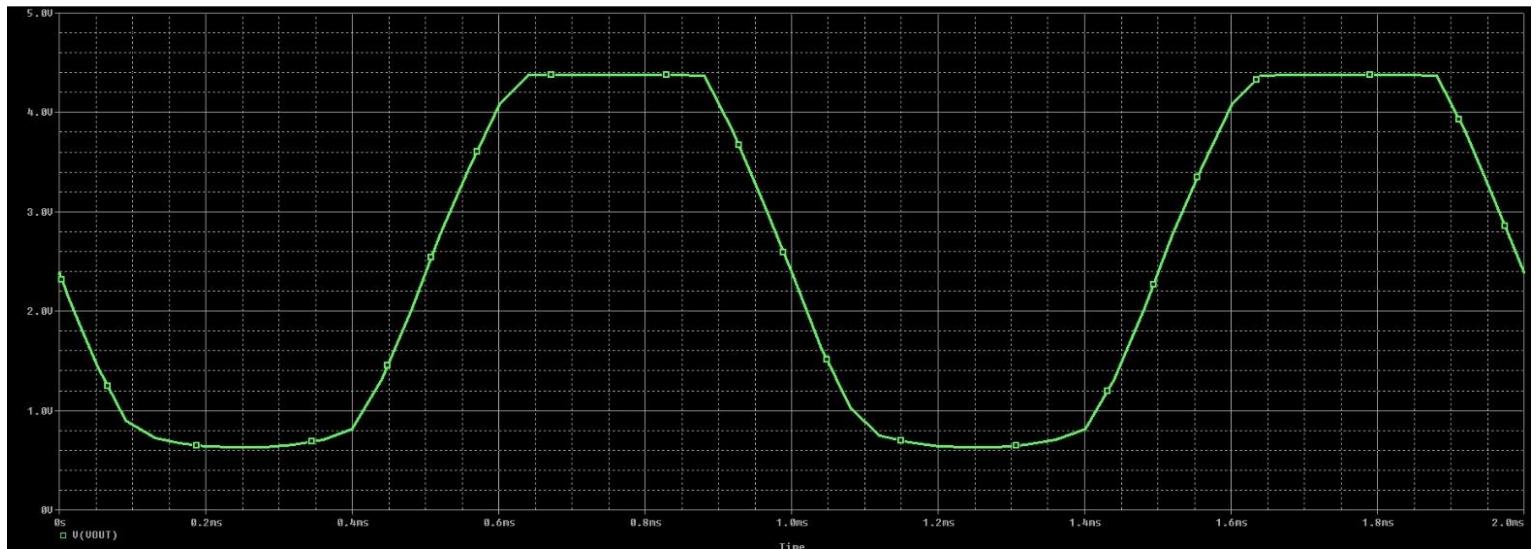
La tensione picco picco in uscita (forma d'onda verde) è di 18,2mV quindi abbiamo un'amplificazione di **1,82**: tale risultato è in accordo con quanto verificato sia sulla VTC che mediante l'analisi in frequenza a centrobanda. Passiamo ora alla visualizzazione FFT della sola uscita (PSPICE esegue l'analisi FFT del segnale ottenuto tramite la simulazione transient):



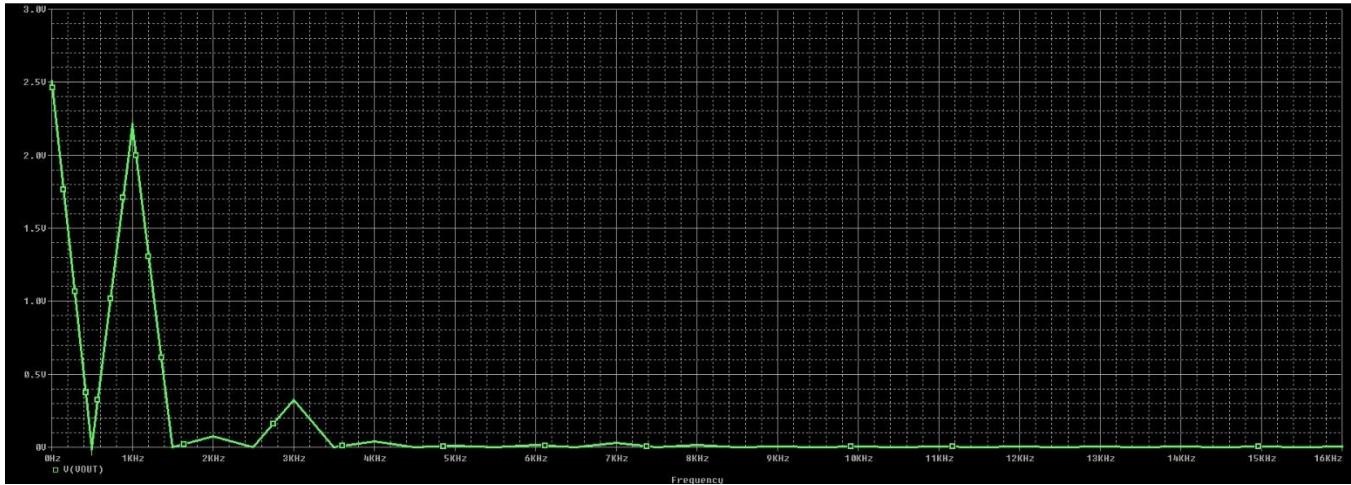
E' stato effettuato uno zoom per evidenziare la componente a 1khz, risultante dall'amplificazione del segnale in ingresso. Si noti il picco presente prima di 1khz, esso è legato alla componente DC in uscita all'amplificatore (bias point). Non rappresenta assolutamente una componente sinusoidale.

Si noti inoltre come siano assenti altre armoniche, a frequenza diversa da quella del segnale in ingresso: ciò vuol dire che l'amplificatore, nelle condizioni in cui sta lavorando, non introduce distorsione. Il segnale applicato in ingresso infatti è abbastanza piccolo da muoversi si attorno al bias point nella VTC, restando però comunque nei limiti di dinamica lineare.

Se dovessimo uscire dai limiti di dinamica lineare, la VTC non sarebbe più lineare in quanto M1 va fuori dalla zona di saturazione, e l'amplificatore inizierebbe a introdurre distorsione sul segnale in uscita. Ciò si può osservare semplicemente andando ad aumentare di molto (oltre i limiti di dinamica lineare) il segnale di ingresso, che poniamo questa volta a 1,7V di picco. Otteniamo la seguente forma d'onda in uscita:



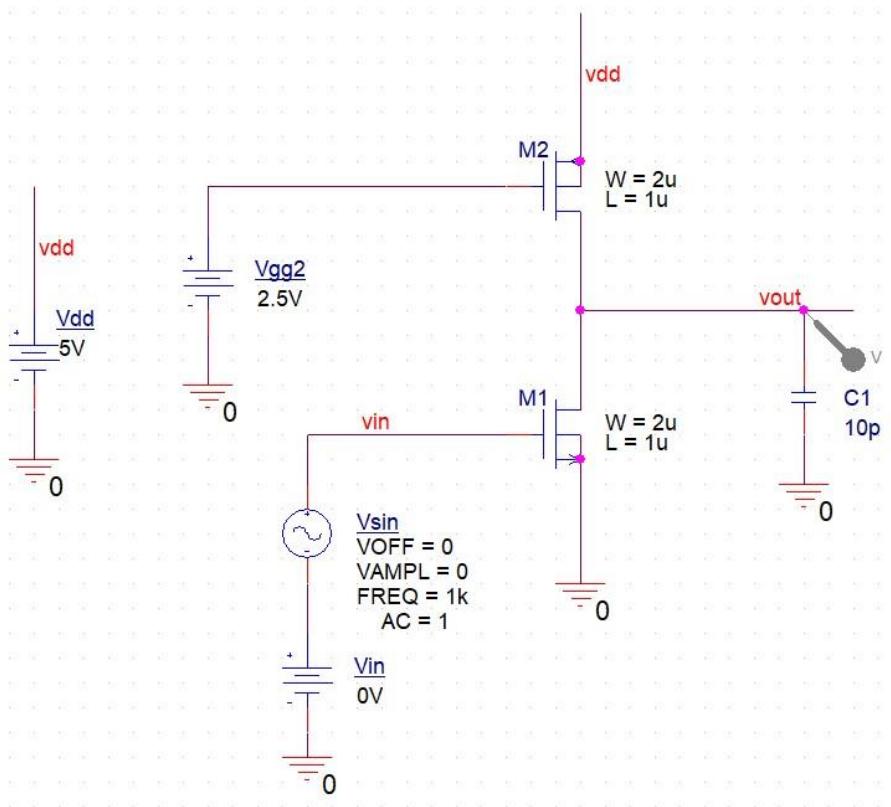
Si noti come l'andamento del segnale di uscita ora tende a quello di un'onda quadra, in quanto l'amplificatore sta andando decisamente oltre i suoi limiti di dinamica a causa del grosso swing del segnale in ingresso. Il segnale dunque è distorto, e ciò si può confermare facendone la FFT:



Come si nota adesso abbiamo componenti non solo a 1khz, ma anche a 2khz, 3khz, 4khz, 5khz, etc. cioè multipli della frequenza del segnale originario. Ciò vuol dire che è stata introdotta distorsione. Si noti inoltre come le armoniche dispari siano quelle più accentuate (3khz): ciò ha senso, in quanto il segnale in uscita somiglia ad un'onda quadra, e nello spettro delle onde quadre sono presenti solo armoniche dispari.

3 Current source inverter

Il circuito del current source inverter è il seguente:



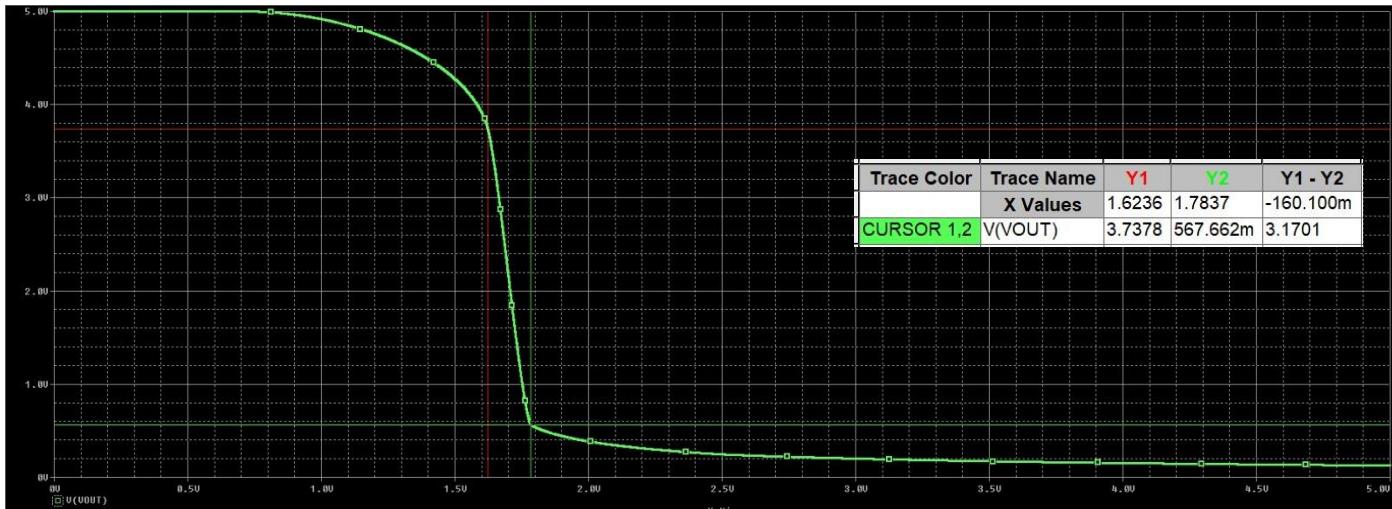
Esso è costituito sempre da uno stadio common source NMOS (M1), tuttavia questa volta il carico è realizzato tramite un PMOS (M2) non più connesso a diodo, bensì a **gate comune**, con una tensione di riferimento V_{gg} posta sul gate. Il PMOS può essere effettivamente il ramo di uscita di uno specchio di corrente, in cui il gate di M2 è collegato al gate del PMOS del ramo di riferimento che genera appunto la tensione di riferimento. Ecco da dove deriva il nome “current source inverter”. Nella realizzazione in PSPICE abbiamo omesso il ramo di riferimento, generando direttamente la tensione di riferimento mediante il generatore V_{gg2} , posto a 2,5V (metà alimentazione).

Per il momento abbiamo posto nullo sia il generatore di piccolo segnale V_{sin} , che quello di polarizzazione V_{in} ; di quest’ultimo andiamo a fare un DC sweep per determinare la VTC e quindi i vari limiti di dinamica e il punto in cui dobbiamo polarizzare l’inverter in modo che si trovi nel punto centrale della dinamica lineare.

3.1 Voltage transfer characteristic

3.1.1 Limiti di dinamica lineare e scelta del punto di lavoro statico

Facendo sweep DC di V_{in} con i soliti parametri e mettendo probe di tensione sulla tensione in uscita, otteniamo il seguente andamento della VTC:



I limiti di dinamica lineare quindi sono:

- In ingresso: $V_{in} = [1,62V - 1,78V]$
- In uscita: $V_{out} = [3,73V - 567,66mV]$

Si noti come il limite di dinamica lineare in ingresso è decisamente più ristretto rispetto all’active load inverter; ciò a fronte di un limite di dinamica in uscita molto più esteso. Ci aspettiamo dunque un guadagno decisamente più grande (range di dinamica lineare in ingresso e guadagno sono sempre inversamente proporzionali). Ciò si può ovviamente già intuire notando che la pendenza del tratto lineare della VTC è decisamente più accentuata rispetto alla VTC dell’active load inverter.

Il limite di dinamica superiore di uscita si può stimare tenendo conto che il PMOS M2 resta sempre acceso (la V_{gg2} è fissa, pari a $V_{dd}-V_{gg2}$), ma può comunque andare in triodo. Perciò dev’essere:

$$V_{SD2} \geq V_{SG2} - |V_{TP}| \quad \rightarrow \quad V_{DD} - V_{OUT} \geq V_{DD} - V_{GG2} - |V_{TP}| \quad \rightarrow \quad V_{OUT} \leq V_{GG2} + |V_{TP}|$$

$$\rightarrow V_{OUT} \leq 2,5V + 0,81V \quad \rightarrow \quad V_{OUT} \leq 3,31V$$

Dunque la tensione di uscita si deve tenere al di sotto dei 3,31V, teoricamente, affinchè M2 resti in saturazione e non vada in triodo. Nella pratica, abbiamo trovato che questo limite è meno stringente e Vout può salire sino a 3,73V (ma non oltre), e restiamo comunque in zona lineare della VTC (M1 ed M2 in saturazione).

Per quanto riguarda invece il limite inferiore (in uscita) della dinamica lineare, esso si può stimare considerando che M1 deve restare in saturazione, quindi dev'essere:

$$V_{DS1} \geq V_{GS1} - V_{TN} \quad \rightarrow \quad V_{OUT} \geq V_{IN} - V_{TN}$$

Considerando che la Vin relativa al punto di dinamica inferiore è di 1,78V (come misurata sperimentalmente, unico dato che abbiamo a disposizione) avremo:

$$V_{OUT} \geq V_{IN} - V_{TN} = 1,78V - 0,771V \simeq 1V \quad \rightarrow \quad V_{OUT} \geq 1V$$

Dunque, teoricamente abbiamo:

$$1V \leq V_{OUT} \leq 3,31V$$

Mentre nella pratica abbiamo visto $V_{out} = [3,73V - 567,66mV]$, cioè $567,66mV \leq V_{OUT} \leq 3,73V$.

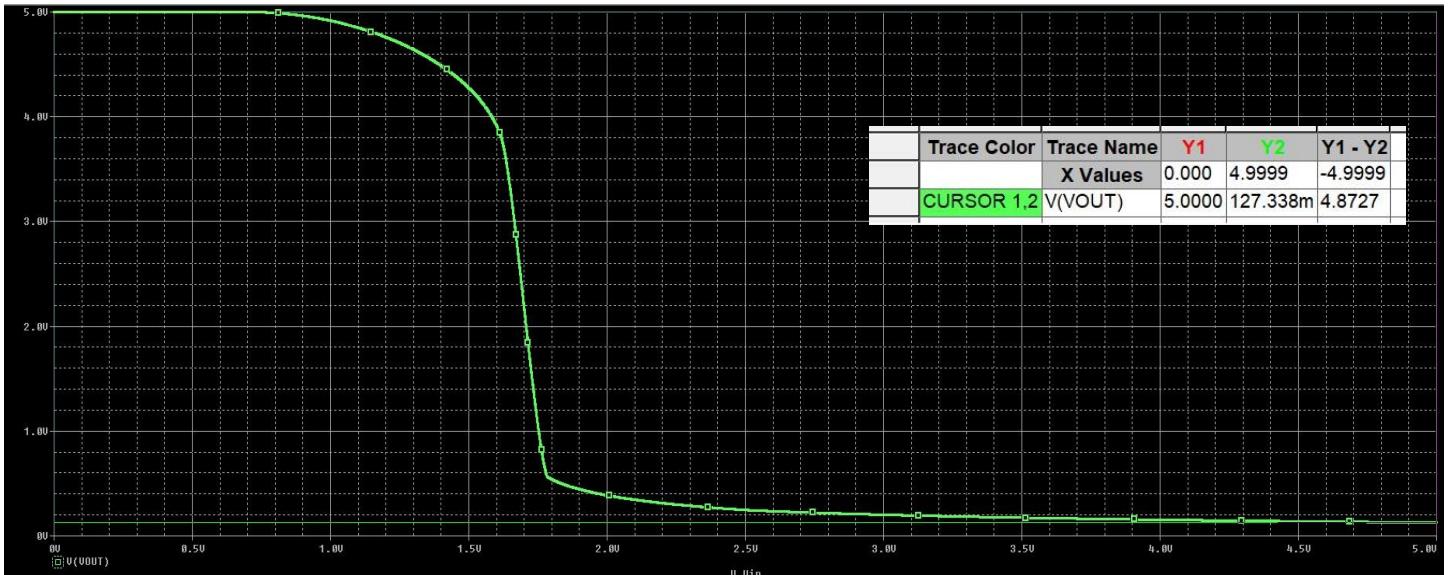
I limiti di dinamica lineare calcolati teoricamente sono molto più stringenti di quelli calcolati sperimentalmente: mentre risultano comunque più "conservativi", ci privano di preziosa dinamica in uscita (e dunque anche in ingresso). Conviene perciò sempre effettuare una simulazione con PSPICE dell'inverter, in quanto otterremo sempre risultati più precisi.

Per quanto riguarda il punto di lavoro statico in cui conviene polarizzare l'inverter in modo da massimizzare lo swing del segnale in ingresso (dunque ponendo il punto di lavoro statico al centro del range di dinamica lineare dell'inverter avremo):

$$V_{in}^Q = V_{in}^{min} + \frac{V_{in}^{max} - V_{in}^{min}}{2} = 1,62V + \frac{1,78V - 1,62V}{2} = 1,7V$$

Che è lo stesso punto di polarizzazione ottenuto per l'active load inverter. Poniamo dunque il generatore DC Vin pari a 1,7V.

3.1.2 Limiti di dinamica effettiva



Vanno misurati come sempre agli estremi della tensione di ingresso, $V_{in}=0V$ e $V_{in}=5V$. Troviamo:

- $V_{out}^{max, \text{eff}} = 5V$
- $V_{out}^{min, \text{eff}} = 127,34mV$

Si noti come in questo inverter la tensione massima raggiunta in uscita è praticamente V_{dd} ; nell'active load inverter era decisamente più bassa di V_{dd} . Anche la tensione minima in uscita è molto più vicina alla tensione di alimentazione più bassa ($0V$), abbiamo $127,34mV$ in confronto ai $459,7mV$ dell'active load inverter. Dunque il range di dinamica effettiva in uscita è nettamente migliorato. Ovviamente non potremo utilizzarlo tutto, in quanto comunque dobbiamo restare nel range di dinamica lineare per non avere distorsione, ma tale risultato è un buon preludio per l'utilizzo di quest'inverter in digitale (cosa che comunque non si fa, in quanto il push-pull fornisce prestazioni decisamente migliori relativamente alla dinamica effettiva di uscita).

Possiamo stimare la tensione $V_{out}^{min, \text{eff}}$ con il solito procedimento: presumiamo che M2 sia in saturazione (perché ci troviamo sul ginocchio più basso della VTC, M2 è già entrato in sat.) ed M1 in triodo, ed egualiamo la corrente di triodo di M1 con quella di saturazione di M2, esprimendo entrambe in funzione di V_{in} e V_{out} ; poi imponiamo che la V_{in} sia pari a V_{dd} , ed otteniamo così la seguente espressione per V_{out} (teniamo conto che $V_{SG2}=V_{DD}-V_{GG2}$):

$$V_{out}^{min, \text{eff}} = (V_{DD} - V_{TN}) * \left[1 - \sqrt{1 - \frac{\beta_2}{\beta_1} \left(\frac{V_{SG2} - |V_{TP}|}{V_{DD} - V_{TN}} \right)^2} \right] =$$

$$(5 - 0,77) * \left[1 - \sqrt{1 - \frac{36}{111,2} \left(\frac{5 - 2,5 - 0,81}{5 - 0,77} \right)^2} \right] = 110,74mV$$

La Vout minima di 110,74mV ricavata a livello teorico coincide in linea di massima con quella ricavata a livello sperimentale (127,34mV).

3.1.3 Misura del guadagno sulla VTC



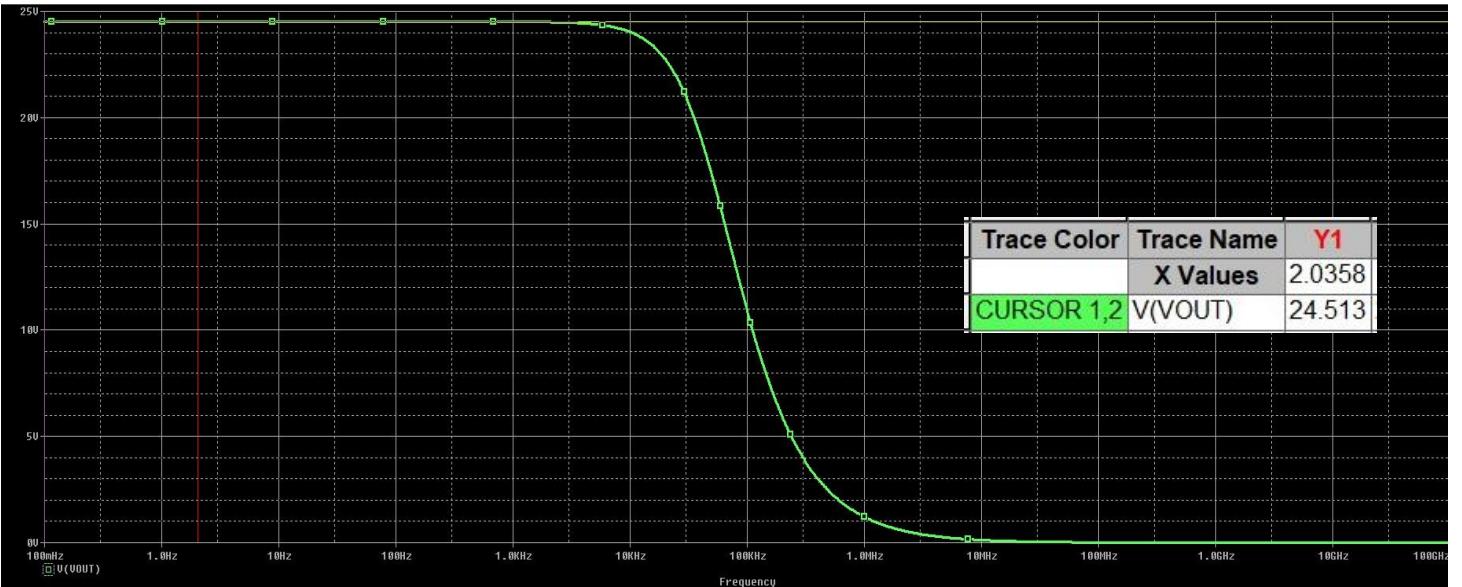
$$A_V = \frac{\Delta V_{out}}{\Delta V_{in}} = -\frac{261,530mV}{11,116mV} = -23,53$$

Si noti come il guadagno ottenuto sia molto più elevato di quello che si aveva con l'active load inverter; questo è dovuto al fatto che nonostante la transconduttanza dell'inverter resta la stessa (pari a gm_1) la sua resistenza di uscita adesso è aumentata notevolmente (è pari a $r_{DS1} // r_{DS2}$ che sappiamo essere entrambe elevate, dunque il parallelo sarà una resistenza di valore mediamente elevato), e dunque il guadagno in tensione $A_V=G_M \cdot R_{OUT}$ aumenta notevolmente.

3.2 Analisi in frequenza

Dopo aver assegnato al generatore DC Vin di polarizzazione il valore trovato di 1,7V per polarizzare l'inverter al centro della zona di dinamica lineare, procediamo con l'analisi AC. Facciamo sweep del generatore di piccolo segnale V_{sin} ricordandoci di assegnare al parametro AC il valore 1, per "abilitare" lo sweep in frequenza di tale generatore; effettuiamo un AC sweep da 0,1Hz a 100GHz con andamento logaritmico della frequenza e 100 punti per decade.

Otteniamo così la risposta in frequenza, in unità naturali, riportata alla pagina successiva:



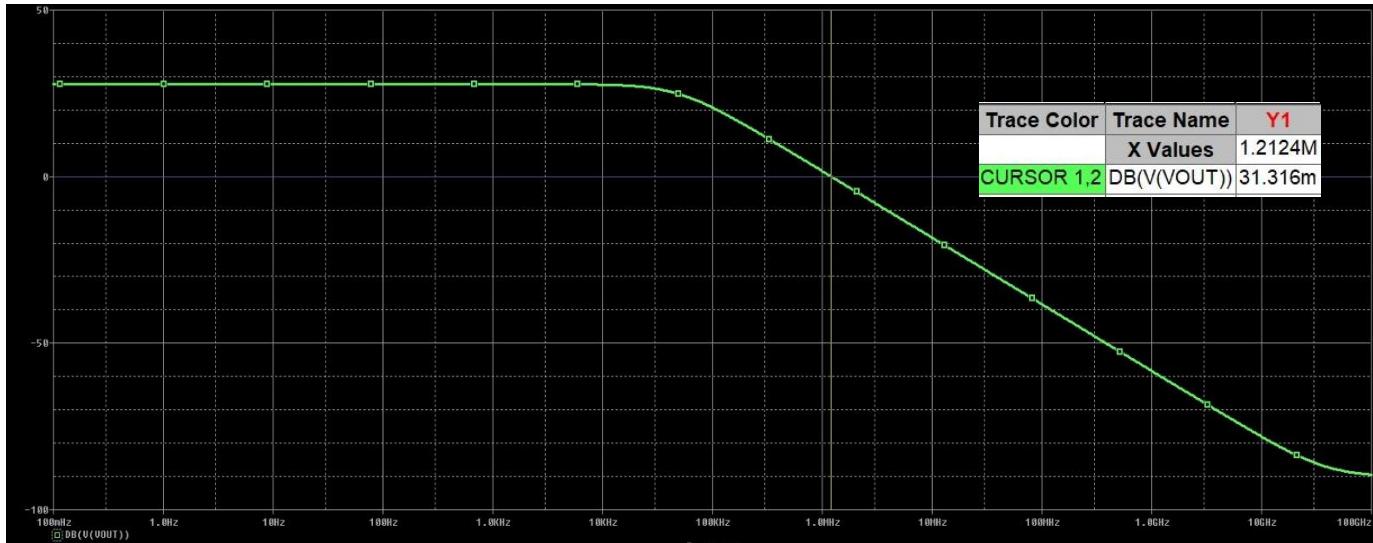
Il guadagno misurato in banda passante (in unità naturali) è di **24,5**; dunque più o meno in accordo con il valore 23,53 che avevamo misurato sulla VTC.

Per misurare frequenza di taglio (a -3dB dal valore di amplificazione in banda passante) e quella di transizione dobbiamo ovviamente passare alla rappresentazione in dB della risposta in frequenza aggiungendo come sempre l'operazione $\text{dB}()$ all'espressione della grandezza rappresentata.



La frequenza di taglio è dunque $f_{\text{CUT}}=49,64\text{kHz}$. Essa è nettamente inferiore ai 692,6kHz che avevamo con l'active load inverter; ciò è dovuto al fatto che il guadagno del current source inverter è maggiore di quello dell'active load inverter. Sussiste negli inverter infatti il **tradeoff banda passante – guadagno**: se l'uno aumenta, l'altro diminuisce. In questo caso il guadagno è aumentato, dunque la banda passante (cioè la frequenza di taglio, essendo un sistema low pass) diminuisce.

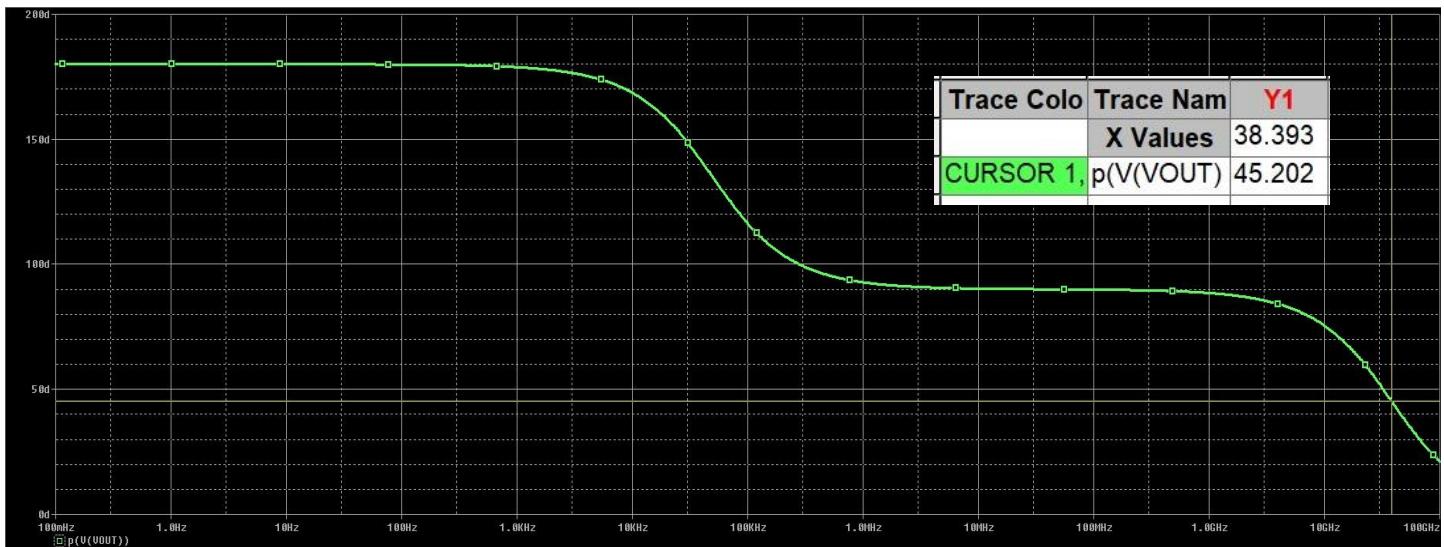
Sotto riportiamo l'estrazione della frequenza di transizione:



$$f_T = 1,21\text{MHz}$$

Essa è in grosso modo simile a quella dell'active load inverter (era pari a 1MHz nell'active load inverter).

Estraiamo anche la frequenza dello zero, utilizzando il grafico delle fasi (ottenibile applicando l'operatore P() al posto di dB() nell'espressione della grandezza in uscita) e posizionandoci dove la fase vale circa 45 gradi (punto associato alla presenza dello zero):



$$f_z = 38,39\text{GHz}$$

Calcoliamo ora per via teorica il guadagno e la frequenza di taglio del current source inverter per vedere se ci ritroviamo con i risultati estratti sperimentalmente. Estraiamo i seguenti dati necessari dal circuito del current source inverter utilizzando sempre la funzionalità “view simulation output file”:

**** MOSFETS		
NAME	M_M1	M_M2
MODEL	amsn	amsp
ID	4.15E-05	-4.15E-05
VGS	1.70E+00	-2.50E+00
VDS	2.18E+00	-2.82E+00
VBS	0.00E+00	0.00E+00
VTH	7.59E-01	-8.24E-01
VDSAT	5.36E-01	-1.23E+00
Lin0/Sat1	-1.00E+00	-1.00E+00
if	-1.00E+00	-1.00E+00
ir	-1.00E+00	-1.00E+00
TAU	-1.00E+00	-1.00E+00
GM	7.65E-05	3.88E-05
GDS	1.30E-06	1.82E-06
GMB	1.83E-05	7.34E-06
CBD	0.00E+00	0.00E+00
CBS	0.00E+00	0.00E+00
CGSOV	3.15E-16	4.55E-16
CGDOW	3.15E-16	4.55E-16
CGBOW	4.95E-17	6.88E-17
CGS	1.20E-15	2.41E-15
CGD	0.00E+00	0.00E+00
CGB	0.00E+00	0.00E+00

- $g_{m1} = 76,5 \mu A/V$
- $g_{m2} = 38,8 \mu A/V$
- $g_{DS1} = 1,30 \mu S$
- $g_{DS2} = 1,82 \mu S$
- C_{GD} e C_{GS} trascurabili (le C_{GD} addirittura nulle nel modello, siamo in strong inversion)

La capacità di uscita C_{OUT} sarà dunque data da $C_{OUT} = C_{gd2} + C_L = C_L = 10pF$ mentre la capacità C_M a cavallo tra l'ingresso e l'uscita sarà data da $C_M = C_{GD1} = 0$. Eseguiamo i calcoli:

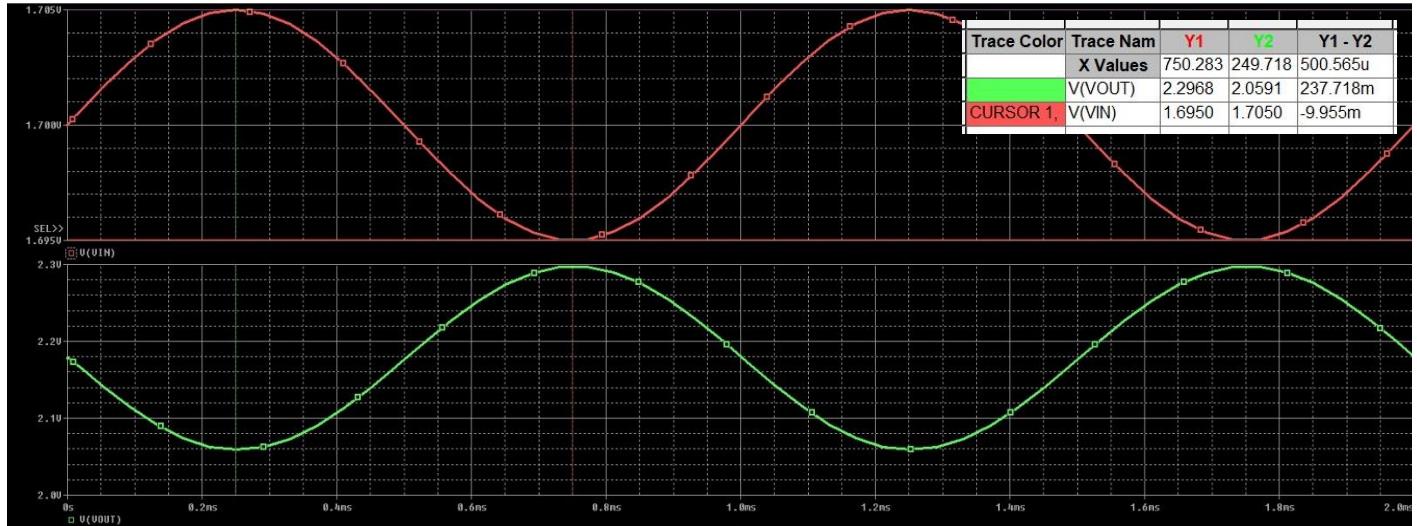
$$A_V = G_m R_{out} = -g_{m1} * r_{DS1} || r_{DS2} = -g_{m1} \frac{1}{g_{ds1} + g_{ds2}} = -\frac{76,5 * 10^{-6}}{(1,30 + 1,82) * 10^{-6}} = -24,52$$

$$f_{cut} = f_{p1} = \frac{1}{2\pi} \frac{1}{R_{OUT}(C_M + C_{OUT})} = \frac{1}{2\pi} \frac{g_{ds1} + g_{ds2}}{C_M + C_{OUT}} = \frac{1}{2\pi} \frac{(1,30 + 1,82) * 10^{-6}}{0 + 10 * 10^{-12}} = 49,65kHz$$

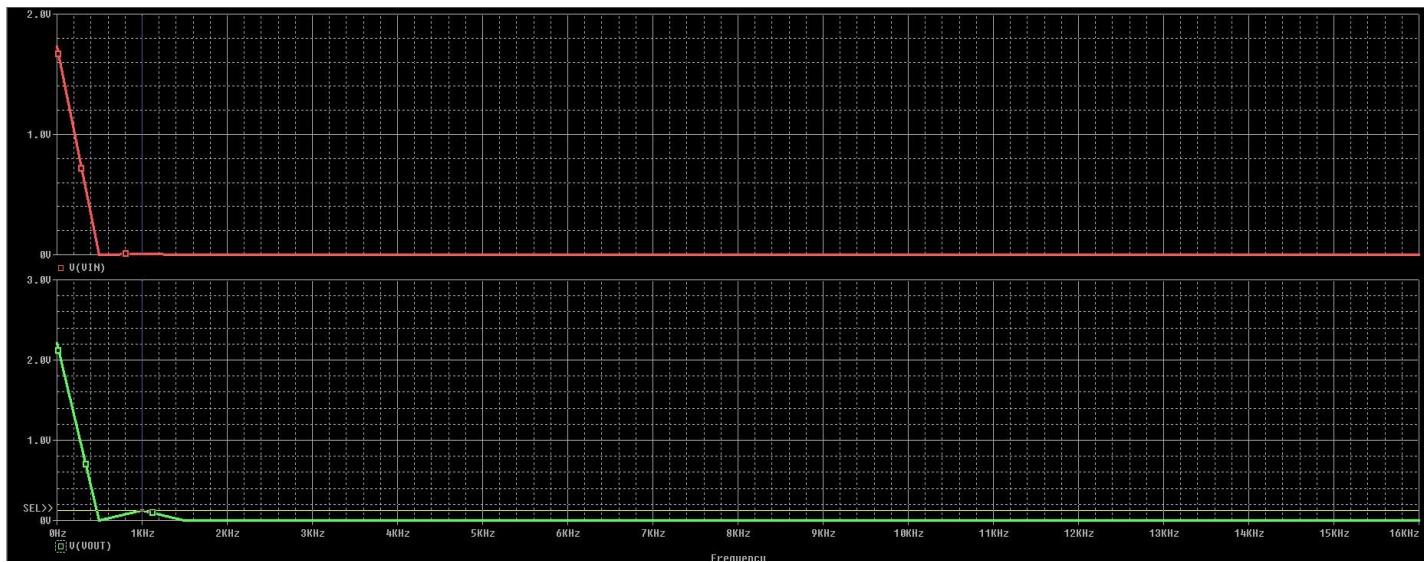
Entrambi i risultati sono decisamente in linea con quanto ricavato sperimentalmente.

3.3 Analisi transient ed FFT

Eseguiamo l'analisi transient con il solito runtime di 2ms per vedere almeno due periodi, e misuriamo il guadagno come rapporto tra variazione picco-picco del segnale in uscita e variazione picco-picco del segnale in ingresso (10mV picco-picco):

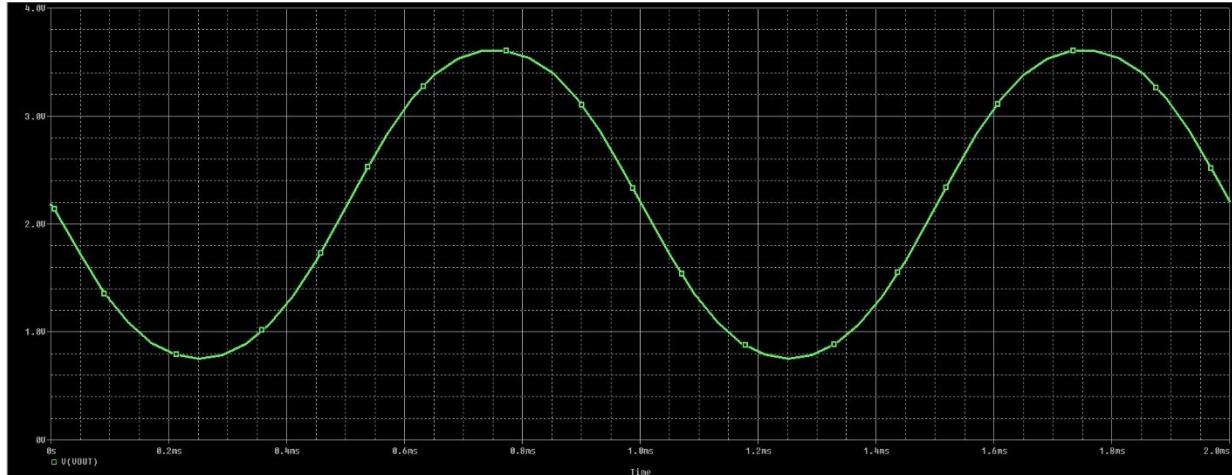


Abbiamo in uscita 237,7mV picco-picco, a fronte di una variazione di 10mV picco-picco in ingresso, dunque il guadagno misurato è di circa **23,7** (ancora una volta, approssimativamente, in linea con le misure effettuate precedentemente). Eseguiamo l'analisi FFT sul segnale in uscita e in ingresso::

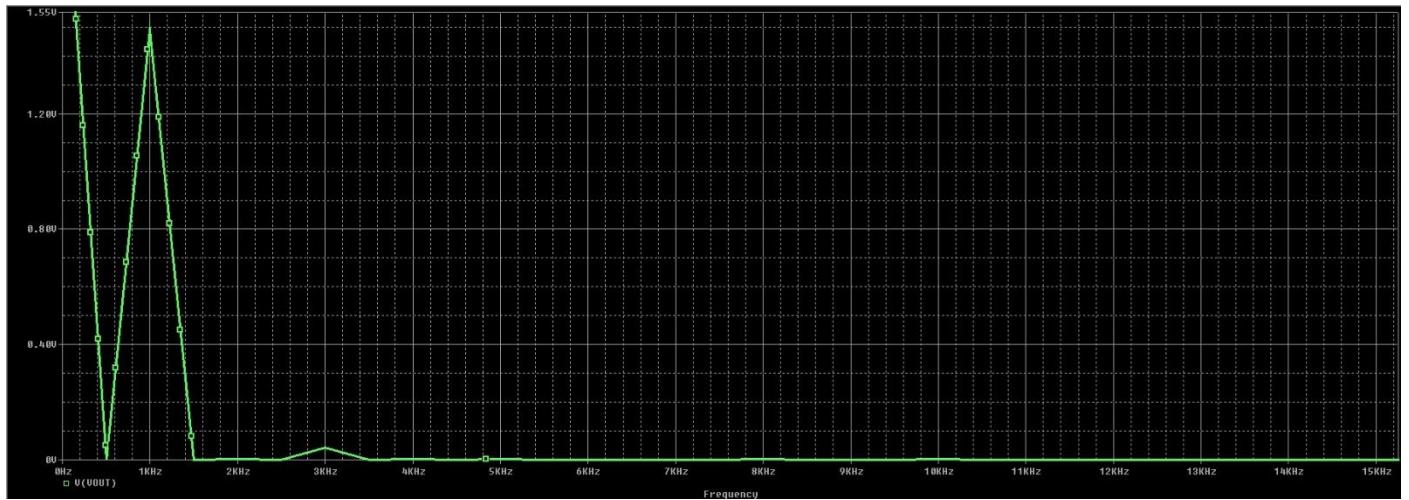


Come si può notare in uscita abbiamo la sola armonica a 1khz, cioè il segnale presente in ingresso, che risulta notevolmente amplificato (sulla traccia dell'ingresso, quella rossa, è appena visibile). Ciò vuol dire che non abbiamo armoniche spurie, e sul segnale in uscita non avremo distorsione. Si noti che il picco che precede la componente a 1khz è la componente DC presente sia in ingresso che in uscita.

Se aumentiamo l'ampiezza del segnale in ingresso portando l'amplificatore a lavorare appena fuori dai limiti di dinamica, vedremo che inizia ad esserci distorsione. Mettiamo in ingresso un piccolo segnale di emivalore pari a 67mV; avremo in uscita la seguente forma d'onda:



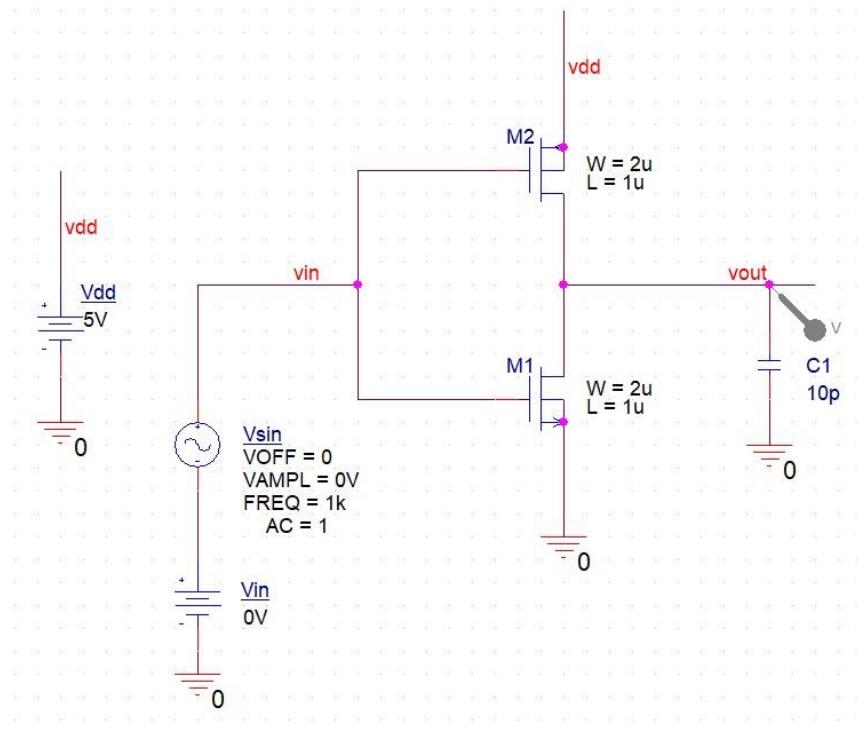
Come si può notare la forma d'onda in uscita sembra una perfetta sinusoide: ad occhio non notiamo alcuna distorsione sul segnale in uscita. Tuttavia se eseguiamo l'analisi FFT del segnale ottenuto, abbiamo quanto segue:



E' sempre presente la componente DC, quella ad 1khz (componente fondamentale) che risulta notevolmente grande rispetto a prima in quanto il segnale in ingresso è più grande, e inoltre notiamo una piccola componente a 3kHz: c'è distorsione! Di tale distorsione non ce ne eravamo accorti eseguendo la sola analisi transient, ad occhio la sinusoide sembrava perfetta, invece con l'analisi FFT notiamo la presenza di componenti spurie, che indicano distorsione. Ecco perché è sempre utile eseguire l'analisi FFT sul segnale prodotto in uscita da qualsiasi amplificatore, per rendersi conto se siamo in presenza di distorsione o meno. L'analisi FFT è utilizzata nella pratica anche per misurare la cosiddetta **Total Harmonic Distortion (THD)**, un parametro importante degli amplificatori che ci quantifica numericamente la distorsione introdotta dall'amplificatore misurando l'ampiezza di ogni singola componente spuria e rapportandone la somma (intesa come valor quadratico medio complessivo) rispetto all'ampiezza della fondamentale.

4 Push-pull inverter

Il circuito del push-pull inverter è il seguente:

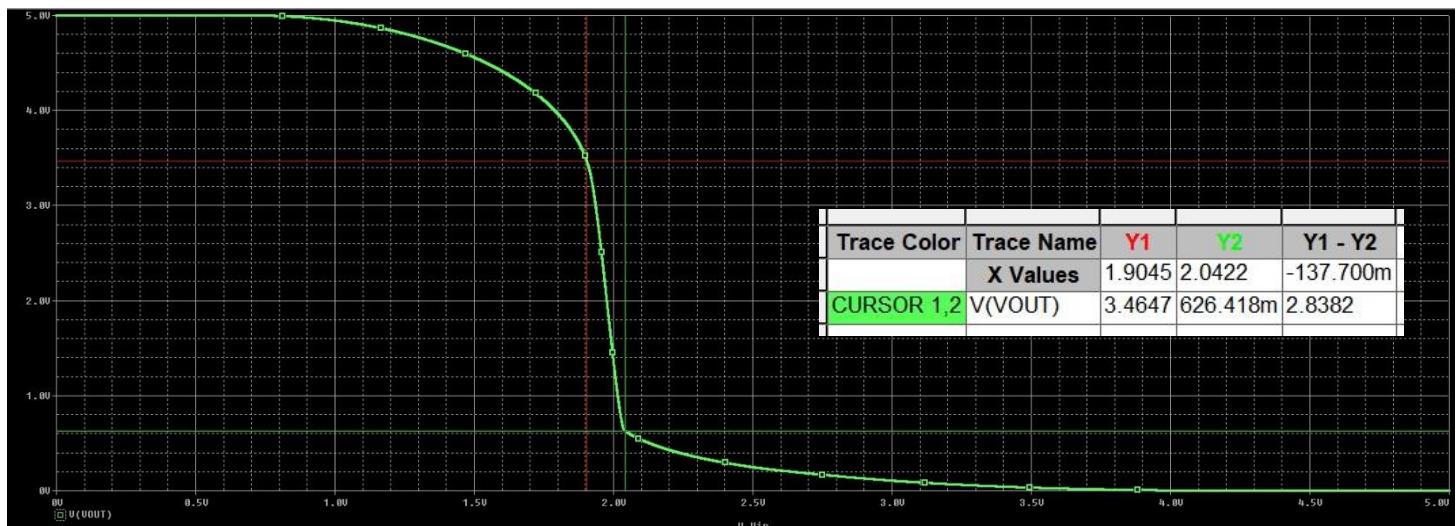


Come si può notare esso è un “evoluzione” dell’inverter precedente: mentre prima avevamo il gate del PMOS M2 connesso a una tensione di riferimento fissa, adesso il gate di M2 è connesso alla tensione di ingresso Vin. Tecnicamente M1 forma uno stadio common source NMOS, ed M2 uno stadio common source PMOS, che sono accoppiati sia in ingresso (accoppiamento gate-gate) che in uscita (accoppiamento drain-drain). Determiniamo le caratteristiche di tale inverter.

4.1 Voltage transfer characteristic

4.1.1 Limiti di dinamica lineare e scelta del punto di lavoro statico

Come al solito facciamo DC sweep del generatore di ingresso da 0V a 5V con step 0.1mV e mettiamo probe di tensione sull’uscita, ottentendo la VTC. Misuriamo su di essa i limiti di dinamica lineare:



I limiti di dinamica lineare quindi sono:

- In ingresso: $V_{in} = [1,90V - 2,04V]$
- In uscita: $V_{out} = [3,46V - 626,41mV]$

Il punto di lavoro in cui polarizzare l'inverter dev'essere al centro del range di dinamica lineare di ingresso, quindi:

$$V_{in}^Q = V_{in}^{min} + \frac{V_{in}^{max} - V_{in}^{min}}{2} = 1,90V + \frac{2,04V - 1,90V}{2} = 1,97V$$

Possiamo stimare teoricamente i limiti di dinamica di uscita superiore ed inferiore; per quello superiore sappiamo che affinchè M2 resti in saturazione deve risultare:

$$V_{D2} \leq V_{G2} + |V_{TP}| \quad \rightarrow \quad V_{OUT} \leq V_{IN} + |V_{TP}| \quad \rightarrow \quad V_{OUT} \leq 1,90V + 0,81V = 2,71V$$

$\Rightarrow V_{OUT}^{MAX} = 2,71V$ (Limite superiore di dinamica lineare calcolato teoricamente)

Invece per il limite di dinamica inferiore sappiamo che affinchè M1 resti in saturazione dev'essere:

$$V_{D1} \geq V_{G1} - V_{TN} \quad \rightarrow \quad V_{OUT} \geq V_{IN} - V_{TN} \quad \rightarrow \quad V_{OUT} \geq 2,04V - 0,77V = 1,27V$$

$\Rightarrow V_{OUT}^{MIN} = 1,27V$ (Limite inferiore di dinamica lineare calcolato teoricamente)

Come si può notare anche questa volta i limiti di dinamica lineare calcolati teoricamente sono più conservativi rispetto a quelli calcolati sperimentalmente; mentre i calcoli teorici ci dicono che la V_{out} deve restare nel range [2,71V - 1,27V] per restare in zona lineare, nella realtà il range di linearità è molto più ampio, $V_{out} = [3,46V - 626,41mV]$.

4.1.2 Limiti di dinamica effettivi

Per quanto riguarda i limiti di dinamica effettivi non c'è bisogno di effettuare misurazioni; si vede chiaramente dalla VTC che l'uscita raggiunge i 5V quando l'ingresso è 0V, e raggiunge i 0V quando l'ingresso è 5V. L'uscita di questo inverter praticamente è **rail-to-rail**.

Ciò è molto utile quando l'inverter push-pull è utilizzato in digitale: in tal modo l'inverter potrà pilotare un inverter successivo (dimensionandolo opportunatamente).

4.1.3 Misura del guadagno sulla VTC

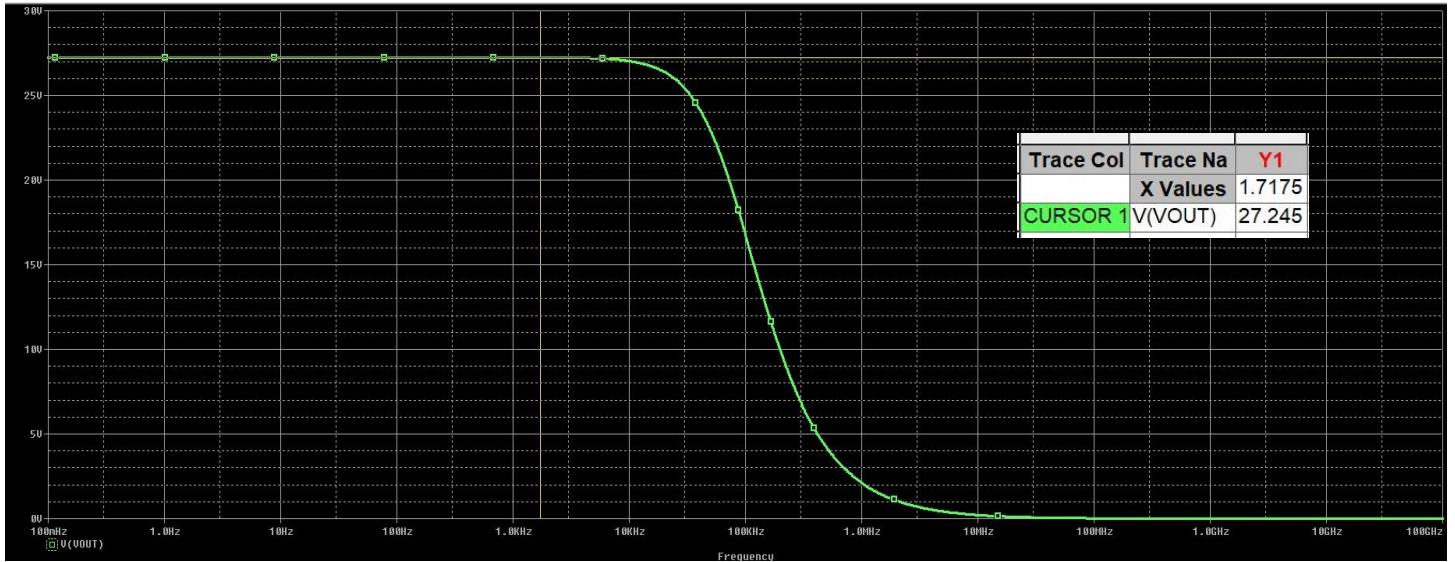


$$A_V = \frac{\Delta V_{out}}{\Delta V_{in}} = -\frac{220mV}{8,39mV} = -26,22$$

Il guadagno è leggermente superiore rispetto a quello del current source inverter.

4.2 Analisi in frequenza

Imponiamo $V_{in}=1,97V$ al generatore per polarizzare l'inverter, ed eseguiamo l'analisi ac (sweep in frequenza) da 0.1Hz a 100GHz, con andamento logaritmo e 100 punti per decade. Sul grafico ottenuto, che sarà in unità naturali, misuriamo il guadagno in banda passante:



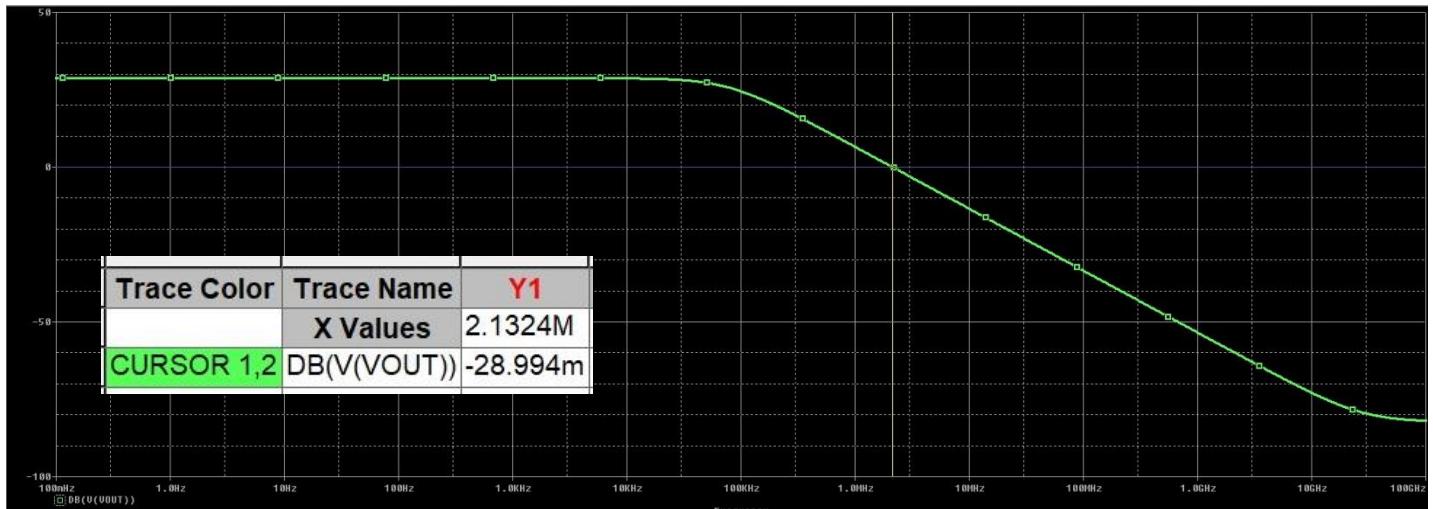
Il guadagno misurato è $A_V=27.24$, leggermente superiore a quello misurato sulla VTC ma comunque in linea con tale risultato. Passiamo ora alla visualizzazione in dB per misurare frequenza di taglio e di transizione:



$$f_{cut} = 77,92 \text{ kHz}$$

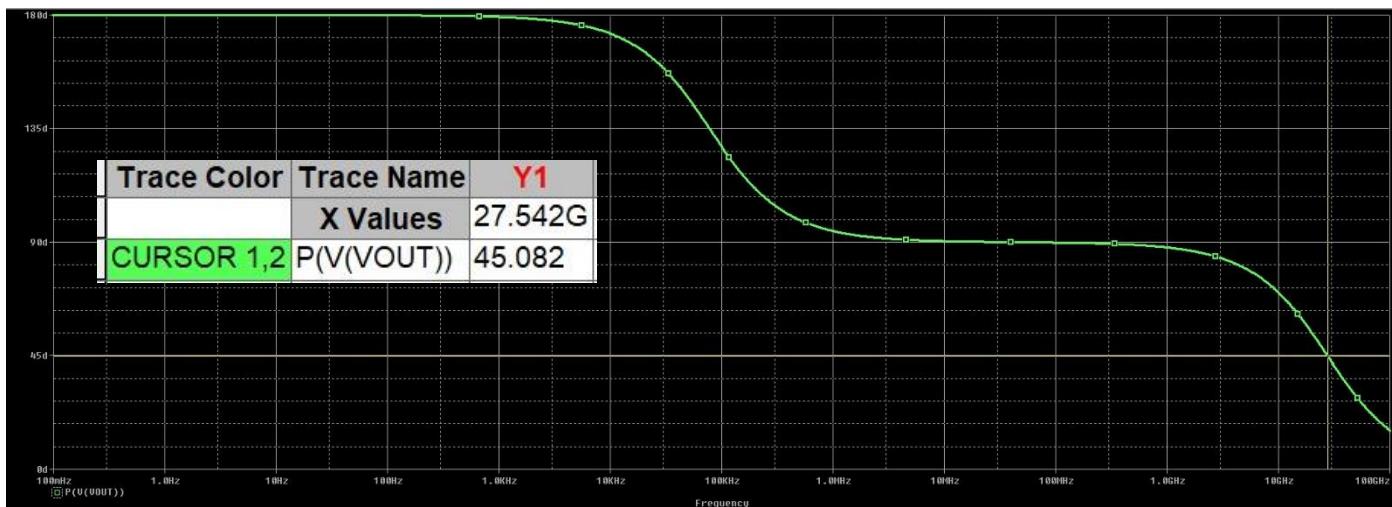
La frequenza di taglio è leggermente superiore rispetto a quella del current source inverter, ma comunque un ordine di grandezza più piccola rispetto a quella dell'active load inverter.

Determiniamo la frequenza di transizione:



$$f_T = 2,13 \text{ MHz}$$

E infine troviamo la frequenza dello zero sul grafico delle fasi, plottato utilizzando la funzione P() :



$$f_z = 27,54 \text{ GHz}$$

Confrontiamo ora il guadagno e la frequenza di taglio determinati sperimentalmente con quelli calcolabili teoricamente sul circuito di piccolo segnale.

Tramite la funzione “view simulation output file” otteniamo le grandezze che ci servono relative al punto di lavoro dei due mos:

***** MOSFETS		
NAME	M_M1	M_M2
MODEL	amsn	amsp
ID	6.39E-05	-6.39E-05
VGS	1.97E+00	-3.03E+00
VDS	2.16E+00	-2.84E+00
VBS	0.00E+00	0.00E+00
VTH	7.59E-01	-8.24E-01
VDSAT	6.18E-01	-1.58E+00
Lin0/Sat1	-1.00E+00	-1.00E+00
if	-1.00E+00	-1.00E+00
ir	-1.00E+00	-1.00E+00
TAU	-1.00E+00	-1.00E+00
GM	8.87E-05	4.49E-05
GDS	1.92E-06	2.98E-06
GMB	2.06E-05	7.89E-06
CBD	0.00E+00	0.00E+00
CBS	0.00E+00	0.00E+00
CGSOV	3.15E-16	4.55E-16
CGDOV	3.15E-16	4.55E-16
CGBOV	4.95E-17	6.88E-17
CGS	1.20E-15	2.41E-15
CGD	0.00E+00	0.00E+00
CGB	0.00E+00	0.00E+00

- $g_{m1} = 88,7 \mu A/V$
- $g_{m2} = 44,9 \mu A/V$
- $g_{DS1} = 1,92 \mu S$
- $g_{DS2} = 2,98 \mu S$
- C_{GD} e C_{GS} trascurabili (le C_{GD} addirittura nulle nel modello, siamo in strong inversion)

La capacità di uscita C_{OUT} sarà data da $C_{OUT} = C_L = 10pF$ mentre la capacità C_M a cavallo tra l'ingresso e l'uscita sarà data da $C_M = C_{GD1} + C_{GD2} = 0$. Eseguiamo i calcoli:

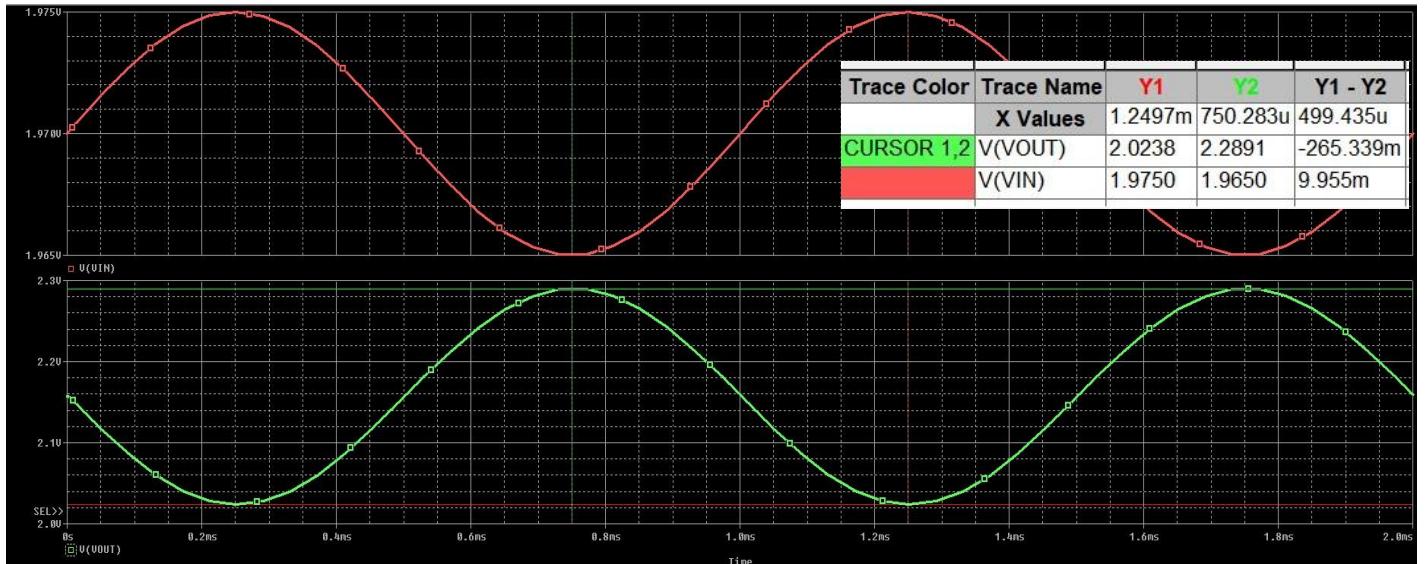
$$A_V = G_m R_{out} = -(g_{m1} + g_{m2}) * r_{DS1} || r_{DS2} = -\frac{g_{m1} + g_{m2}}{g_{ds1} + g_{ds2}} = -\frac{88,7 + 44,9}{1,92 + 2,98} = -27,26$$

$$f_{cut} = f_{p1} = \frac{1}{2\pi} \frac{1}{R_{OUT}(C_M + C_{OUT})} = \frac{1}{2\pi} \frac{g_{ds1} + g_{ds2}}{C_M + C_{OUT}} = \frac{1}{2\pi} \frac{(1,92 + 2,98) * 10^{-6}}{0 + 10 * 10^{-12}} = 77,98 kHz$$

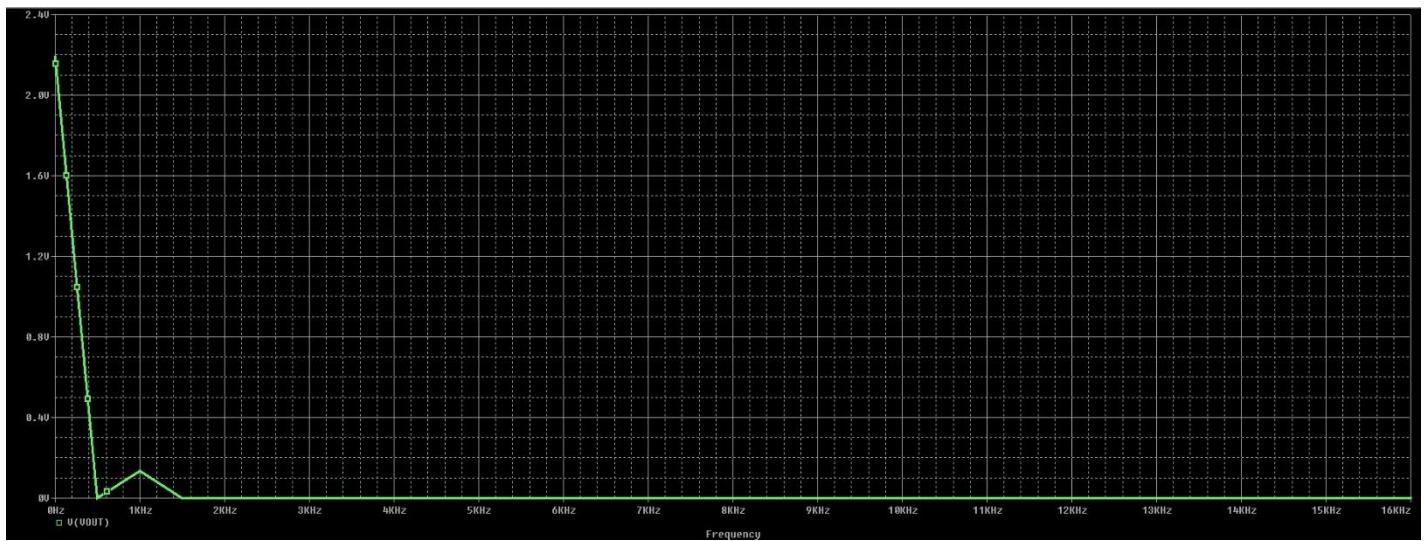
Entrambi i risultati sono decisamente in linea con quanto ricavato sperimentalmente.

4.3 Analisi transient ed FFT

Impostiamo il solito runtime di 2ms per vedere almeno due periodi, e visualizziamo la forma d'onda in uscita quando in ingresso imponiamo un piccolo segnale avente tensione di picco (emivalore) di 5mV.

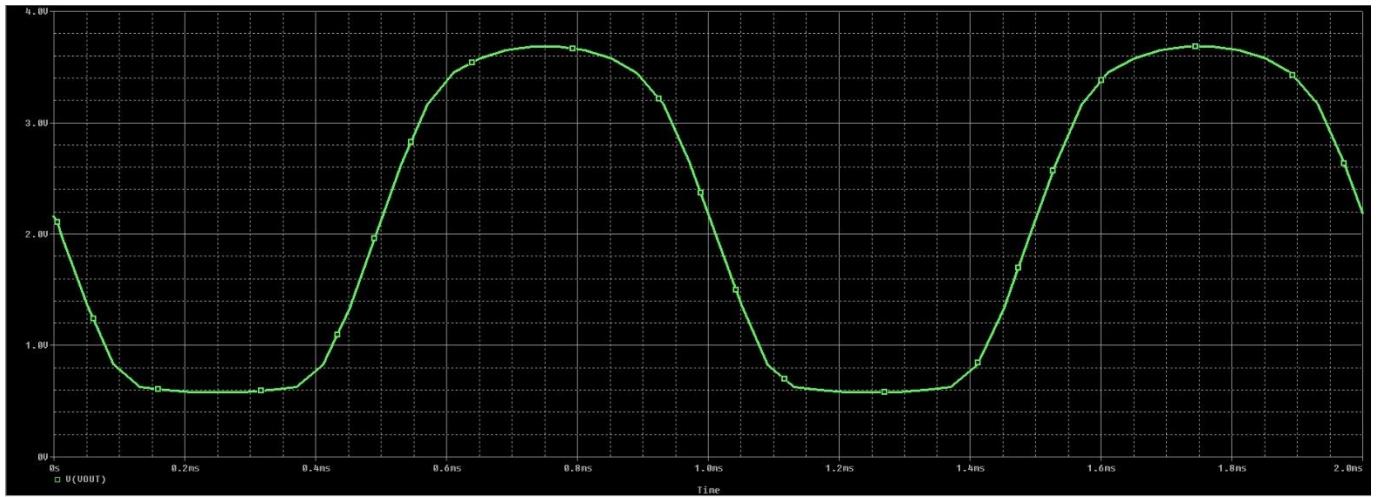


Il guadagno calcolato come rapporto tra la tensione massima picco-picco in uscita e quella picco-picco in ingresso (10mV, essendo l'emivalore di 5mV) è di $A_v = -26,53$, in linea con il guadagno che avevamo trovato con la VTC e con l'analisi in frequenza in banda passante. Applichiamo la FFT al segnale ottenuto in uscita per verificare che non ci sia distorsione:



Come si può notare in uscita è presente la sola componente a 1kHz, non abbiamo armoniche spurie, dunque l'inverter non introduce distorsione quando il segnale in ingresso ha ampiezza di picco pari a 5mV.

Vediamo che succede aumentando l'ampiezza di picco del segnale in ingresso a 100mV:



Come si può notare, adesso la forma d'onda in uscita è fortemente distorta, in quanto l'inverter sta lavorando al di fuori dei suoi limiti di dinamica lineare.

Facendo l'analisi FFT della forma d'onda sopra, notiamo la presenza di armoniche spurie che indicano appunto distorsione:

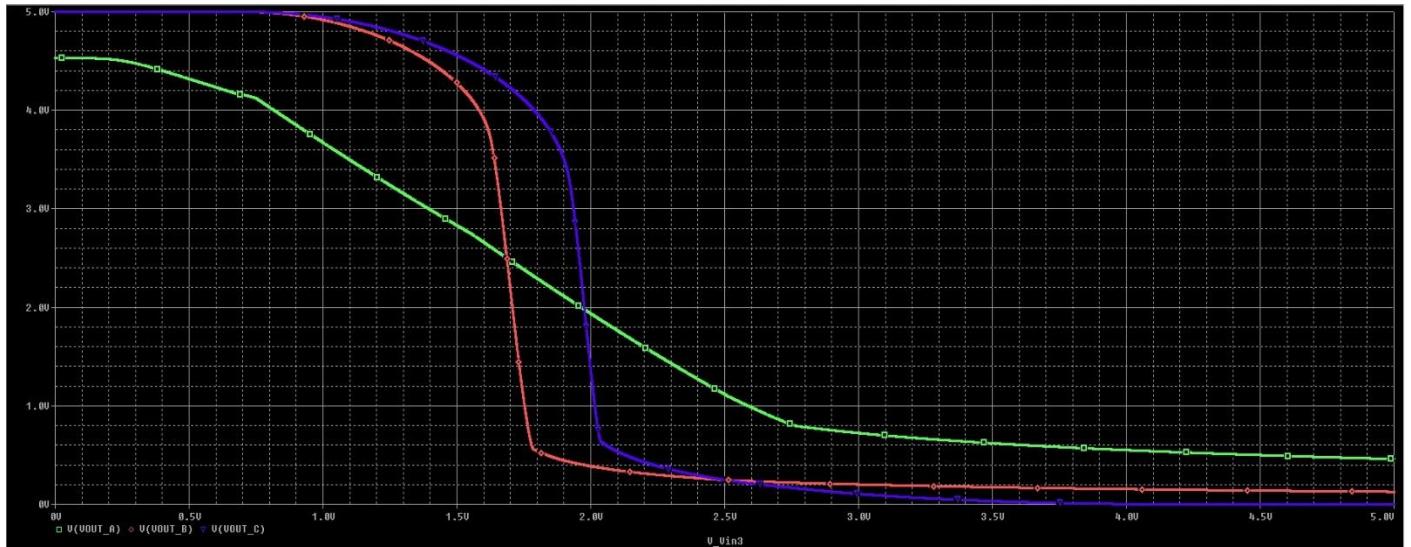


5 Confronto tra i vari tipi di inverter

Riassumiamo i vantaggi dei singoli inverter che abbiamo visto:

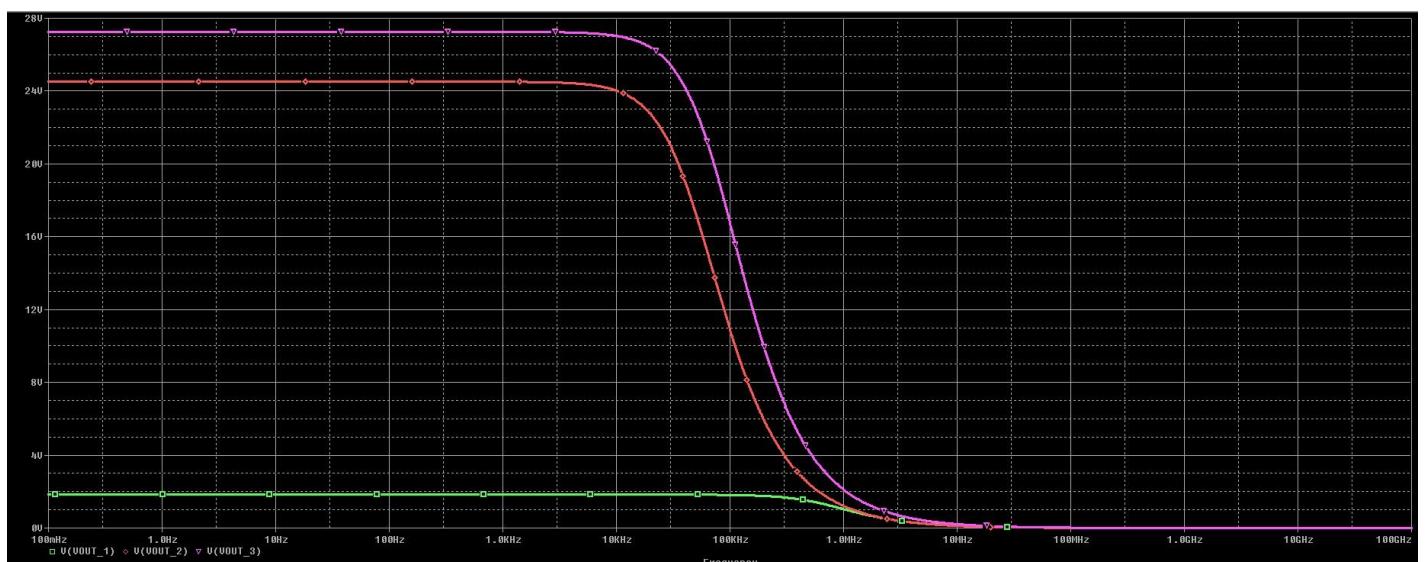
- Active load inverter: Pro-> Ampia banda passante, ampio range di dinamica lineare in ingresso.
Contro-> Bassissimo guadagno; la dinamica effettiva in uscita non è rail-to-rail.
- Current source inverter: Pro-> Guadagno mediamente elevato
Contro-> Ridotta banda passante, ridotto range di dinamica lineare; la dinamica effettiva in uscita non è rail-to-rail
- Push-pull inverter: Pro-> Guadagno elevato; la dinamica effettiva in uscita è rail-to-rail (sarà ottimo per l'utilizzo in digitale).
Contro: Ridotta banda passante, ridotto range di dinamica lineare

Riportiamo di seguito i confronti tra le VTC e le risposte in frequenza di ciascun inverter:



Si nota decisamente come l'active load inverter fornisca meno guadagno rispetto agli altri due, in quanto la sua pendenza nella zona lineare della VTC (M1 ed M2 in sat.) è molto più piccola rispetto a quella degli altri due inverter (che hanno pendenza simile). Inoltre si noti come il push-pull sia l'unico inverter a fornire una dinamica effettiva in uscita di tipo rail-to-rail.

Sotto riportiamo il confronto della risposta in frequenza dei vari stadi (in unità naturali):



Verde: Active Load Inverter. Rosso: Current Source Inverter. Fucsia: Push-Pull Inverter