

Progettazione Automatica di Circuiti Elettronici

Docenti: Prof. Ing. Daniela De Venuto

Prof. Ing. Giovanni Mezzina

Relazioni di laboratorio A.A. 2020/2021

Studente: Francesco Caterina (Matricola 564974)

Esercitazione 2

MOS Switch

Contents

| | | |
|-------|-----------------------------------------------------------------------------------------------------|----|
| 1 | Cenni Teorici ed obiettivi dell'esperienza | 2 |
| 2 | Switch NMOS | 4 |
| 2.1 | Estrazione della caratteristica $I_d(V_{ds})$ e verifica della sua asimmetria..... | 4 |
| 2.2 | Effetto delle variazioni della tensione di gate sulla r_{ON} | 6 |
| 2.3 | Effetto delle variazioni del W/L sulla r_{ON} | 7 |
| 2.4 | Misura delle variazioni della r_{ON} al variare di V_{GS} (cioè V_K), e sweep di W/L | 8 |
| 2.5 | Analisi del problema del clock feedthrough e del charge injection..... | 10 |
| 2.5.1 | Breve analisi teorica del fenomeno del clock feedthrough | 10 |
| 2.5.2 | Breve analisi teorica del fenomeno del charge injection..... | 12 |
| 2.5.3 | Analisi con PSPICE del charge injection e del clock feedthrough | 13 |
| 3 | Switch CMOS (Complementary MOS)..... | 15 |
| 3.1 | Andamento della r_{ON} dello switch CMOS..... | 16 |
| 3.2 | Analisi del clock feedthrough e del charge injection per lo switch CMOS..... | 17 |

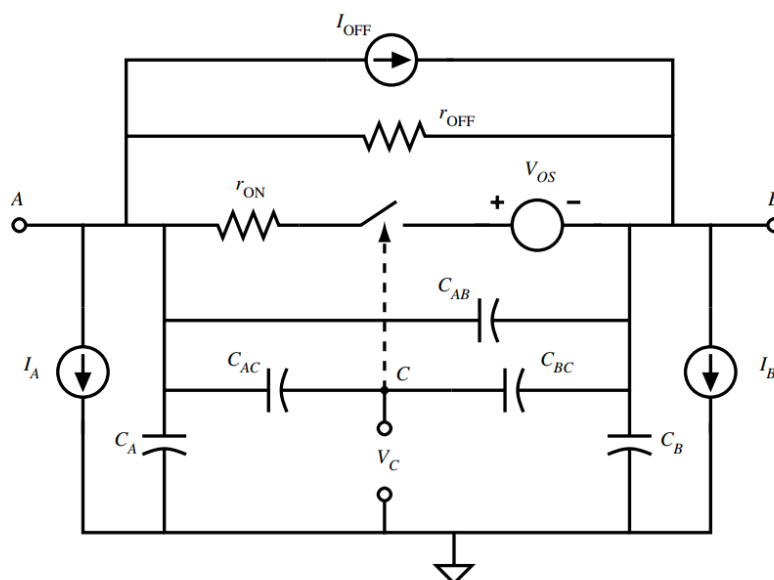
1 Cenni Teorici ed obiettivi dell'esperienza

L'interruttore MOS (MOS Switch) è un componente essenziale nei circuiti integrati, sia analogici che digitali. Esso può esser visto come un dispositivo a tre terminali, di cui due sono i terminali dello switch vero e proprio (denominiamo questi due terminali A e B), mentre il terzo terminale denominato C funge da terminale di controllo dello switch: in base alla tensione ad esso applicata lo switch sarà nello stato "closed", anche detto "on" (tale stato presenta idealmente resistenza nulla tra i terminali A, B), oppure nello stato "open", anche detto "off" (tale stato invece è caratterizzato idealmente da resistenza infinita tra i terminali A, B in modo che non scorra corrente tra loro).

Tale dispositivo tuttavia, con tali caratteristiche, esiste solamente a livello teorico, in quanto nella realtà avremo sempre alcune non idealità dello switch, tra cui:

- Resistenza di on (r_{ON}) di valore molto piccolo, nell'ordine delle decine o centinaia di Ohm, ma non completamente nulla. Ciò comporta una piccola caduta di tensione ai capi dello switch quando esso è chiuso, cosa indesiderabile in quanto vorremmo che esso si comporti come un cortocircuito tra A e B quando è nello stato on
- Resistenza di off (r_{OFF}) di valore molto grande, che va dall'ordine delle centinaia di k Ω fino a centinaia di M Ω , ma non infinita: ciò comporta che c'è una piccola corrente (nell'ordine dei pico o femto Ampere) che scorre tra A e B anche quando l'interruttore è aperto, e questo è un altro comportamento indesiderato in quanto idealmente vorremmo che i due circuiti connessi tra loro dai terminali A e B dello switch siano completamente isolati tra loro quando lo switch è aperto (cosa che appunto non sarà vera nella realtà).
- Effetti capacitivi indesiderati tra i vari morsetti dello switch, modellati dalle capacità C_{AB} , C_{AC} , C_{BC} . Le ultime due soprattutto sono importanti, in quanto come vedremo vanno a determinare un effetto indesiderabile denominato charge feedthrough o clock feedthrough, che provoca dei picchi di tensione su un carico capacitivo collegato in uscita (morsetto B) durante i transienti del segnale di clock applicato al terminale di controllo C. Gli effetti capacitivi dello switch MOS danno luogo principalmente a non idealità nel comportamento in frequenza dello stesso.

Quelle accennate sopra sono le non idealità più importanti dello switch MOS, sebbene ve ne siano altre di secondaria importanza (ma comunque non da trascurare). In definitiva lo switch MOS può esser rappresentato dal seguente circuito equivalente:



Si noti nel circuito equivalente la presenza della r_{ON} in serie allo switch vero e proprio, e della r_{OFF} in parallelo alla serie r_{ON} + switch. Si notino inoltre le capacità C_{AB} (questa è trascurabile negli switch MOS), C_{AC} , C_{BC} . Le altre non idealità saranno trascurate in questa esperienza di laboratorio, dunque non ci concentriamo su di esse.

La realizzazione più semplice dello switch in un circuito integrato a tecnologia MOS (che sia analogico o digitale) consiste in un singolo MOS, su cui il drain ed il source diventano i terminali A,B dello switch, tra i quali vogliamo permettere o impedire lo scorrimento di corrente, mentre il gate costituisce il terminale di controllo (in tensione) dello stato on/off dello switch stesso.

Le capacità C_{AC} , C_{BC} altri non diventano a questo punto che le C_{GS} , C_{GD} del MOS; la r_{ON} sarà principalmente la resistenza che il canale impone al passaggio di corrente elettrica (trascurando le resistenze dei terminali di drain e di source), mentre la r_{OFF} sarà la resistenza fra drain e source quando non c'è canale aperto tra di essi. La r_{ON} ovviamente dipenderà dal punto di lavoro del dispositivo.

A proposito del punto di lavoro, esso va scelto in maniera molto specifica quando il MOS è utilizzato come switch (ed in generale per tutte le applicazioni digitali, in cui esso deve assumere uno stato binario on/off): il MOS infatti dev'essere:

- **in regione di interdizione ($0 \leq V_{GS} < V_{TN}$ per un NMOS) quando vogliamo lo switch nello stato off:** in tal modo non c'è canale tra drain e source, $I_D=0$ in prima approssimazione, non scorre quindi corrente apprezzabile tra di essi e lo switch è dunque chiuso
- **in regione di triodo (detta anche lineare) quando vogliamo lo switch nello stato on:** infatti abbiamo detto che vogliamo una V_{AB} (dunque una V_{DS}) il più bassa possibile quando lo switch è chiuso, e ciò se $V_{GS} \neq 0$ è vero solo se il MOS è in stato di triodo appunto, dove la V_{DS} si mantiene ancora bassa nonostante nel canale scorra una corrente I_D considerevole. Inoltre la $I_D(V_{DS})$ in regione di triodo è in prima approssimazione lineare per V_{DS} basse, trascurando il termine quadratico, e ciò implica che la caratteristica tensione/corrente dello switch MOS nell'intorno del punto di lavoro nello stato di on sarà quella di una resistenza avente andamento lineare.

Nell'esperienza di laboratorio che segue, eseguita su PSPICE, analizzeremo dapprima lo switch MOS costituito da un singolo dispositivo NMOS. Ne determineremo r_{ON} , ricaveremo la caratteristica $I_D(V_{DS})$ notando come essa sia asimmetrica rispetto all'origine, e studieremo il problema del clock feedthrough, il tutto al variare dei parametri caratteristici dello switch MOS come l'aspect ratio W/L e il valore V_{HIGH} della tensione di controllo utilizzato per portare il MOS in regione di triodo (determinandone il valore ottimale).

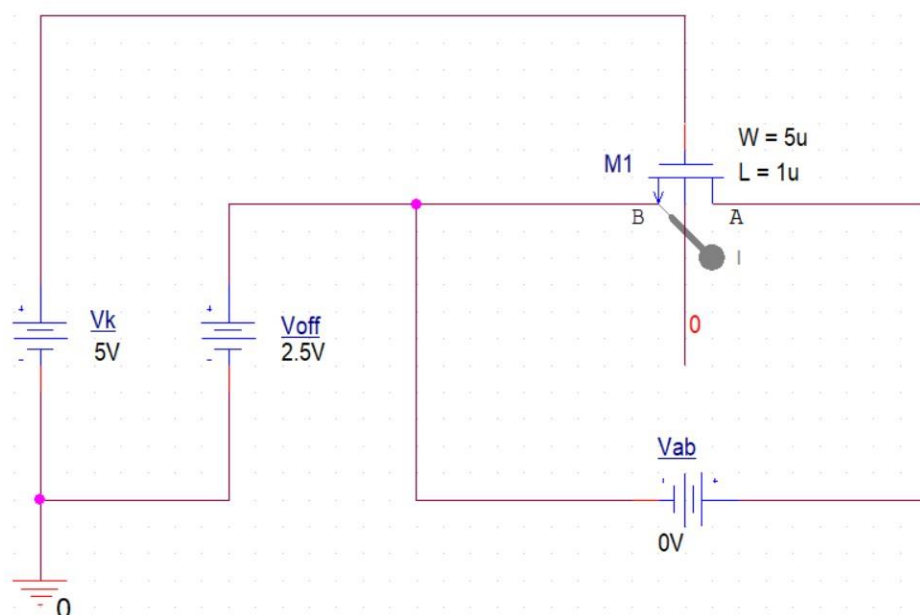
Poi vedremo come alcuni problemi dello switch MOS, quali una relativamente elevata r_{ON} ed un effetto clock feedthrough troppo "importante" possano esser mitigati utilizzando al suo posto lo switch CMOS (Complementary MOS) costituito da due transistor, uno NMOS ed uno PMOS "affacciati" l'uno sull'altro ma pilotati sui rispettivi gate da due tensioni di controllo complementari tra loro (quando la tensione di controllo dell'NMOS è sullo stato HIGH quella del PMOS dev'essere allo stato LOW e viceversa).

Determineremo così i parametri relativi allo switch CMOS, dimostrando come esso si riveli superiore rispetto al singolo switch MOS (l'unico contro è che occupa un'area più grande sul die).

2 Switch NMOS

2.1 Estrazione della caratteristica $I_d(V_{ds})$ e verifica della sua asimmetria

Iniziamo realizzando il seguente circuito di misura per lo switch NMOS:



Come si può vedere la V_k funge da tensione di controllo sul terminale di gate, che determina se lo switch è on o off; la V_{OFF} invece è una tensione di offset, che fissa il potenziale del terminale B alla tensione costante $V_{OFF} = 2.5V$. Invece la V_{AB} determina il potenziale del terminale A. Avremo quindi:

$$\begin{aligned} V_B &= V_{OFF} = 2.5V \\ V_A &= V_{AB} + V_{OFF} \end{aligned}$$

Il bulk invece come si vede è collegato a ground (0V), trattandosi di un NMOS. La V_{AB} vogliamo farla variare da -2.5V a 2.5V.

Ciò che avremo è che **in base al valore di V_{AB} i terminali A, B assumeranno alternativamente ruolo di drain e di source o viceversa**; infatti ricordando che tra i due il drain è sempre il terminale a potenziale più alto in un NMOS, e dalle equazioni sopra, avremo:

- Per $V_{AB} < 0$: $V_A < V_B$ e quindi il terminale A sarà il source, e B il drain, quindi:

$$\begin{aligned} V_D &= V_B = V_{OFF} = 2.5V \\ V_S &= V_A = V_{AB} + V_{OFF} = 2.5V - ||V_{AB}|| \end{aligned}$$

Indicando ora con V_{SB} la tensione source-bulk, essendo il bulk sempre a potenziale fisso 0V avremo $V_{SB} = V_S - 0V = 2.5V - ||V_{AB}||$. Facendo uno sweep di V_{AB} da -2.5V a 0V, avremo che la tensione source-bulk varia da $V_{SB} = 0V$ a $V_{SB} = 2.5V$

A causa dell'effetto body ciò porta la tensione di soglia ad aumentare quando V_{sb} cresce, essendo:

$$V_T = V_{T0} + \gamma \left(\sqrt{2|\phi_F| + v_{SB}} - \sqrt{2|\phi_F|} \right)$$

E aumentando la tensione di soglia diminuirà la corrente che scorre nell'NMOS quando è nello stato on, in quanto la corrente in regione di triodo (corrispondente allo stato on) è data da:

$$i_D = K' \frac{W}{L} \left[(v_{GS} - V_T) - \frac{v_{DS}}{2} \right] v_{DS}$$

Questa diminuzione della corrente è tanto più accentuata andando verso $V_{SB} = 2.5V$ (e ciò avviene verso $V_{AB} = 0$, nell'origine), mentre sarà assente quando $V_{SB} = 0V$ (cioè andando verso $V_{AB} = -2.5V$, l'estremo sinistro dell'intervallo di sweep). In tutto l'intervallo negativo $V_{AB} = [-2.5V, 0V]$ la corrente I_D viene modulata dalla tensione V_{AB} mediante l'effetto body praticamente.

Perciò facendo uno sweep di V_{AB} la caratteristica tensione corrente risultante non sarà la solita di un NMOS, in quanto c'è quest'effetto della variazione di V_{TN} che varia in maniera non lineare rispetto a V_{AB} , il tutto dovuto all'effetto body, e ciò si riflette sulla caratteristica corrente tensione di questo circuito.

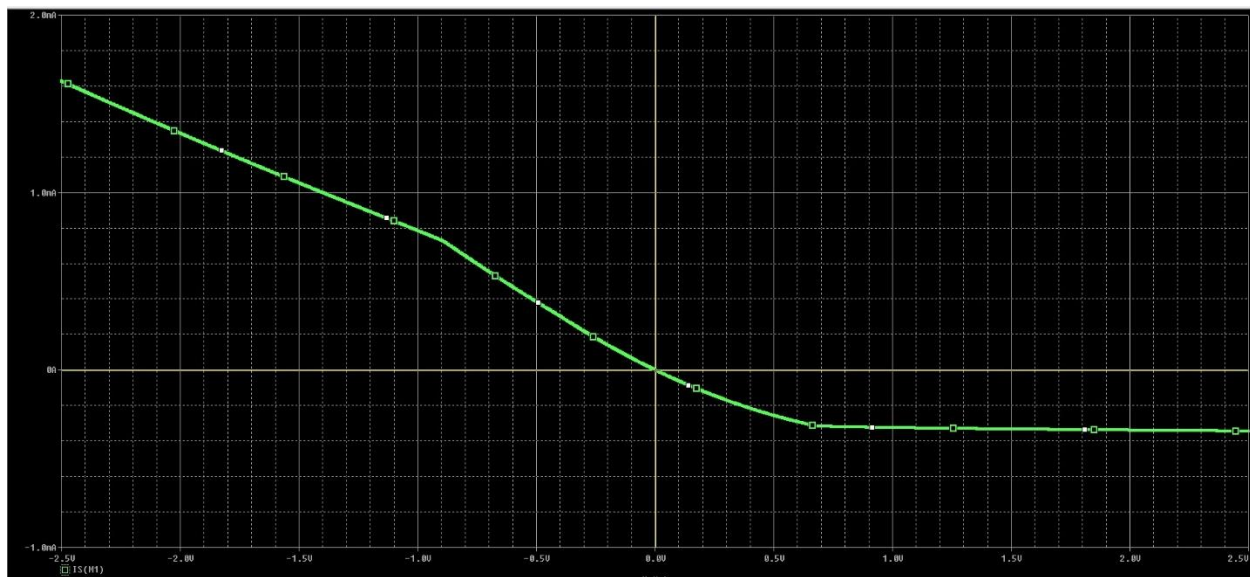
- Per $V_{AB} > 0$: $V_A > V_B$ e quindi il terminale A sarà il drain, e B il source, dunque:

$$V_D = V_A = V_{AB} + V_{OFF} = V_{AB} + 2.5$$

$$V_S = V_B = V_{OFF} = 2.5V$$

In questo caso avremo $V_{SB} = V_S - 0 = 2.5V$. La tensione source-bulk non è nulla, quindi avremo comunque effetto body, ma questa volta è costante in tutto l'intervallo positivo $V_{AB} = [0V, 2.5V]$. Perciò avremo sì un aumento della V_{TN} e dunque una diminuzione della corrente che scorre nel dispositivo, ma la diminuzione della corrente in tutto l'intervallo $V_{AB} = [0V, 2.5V]$ sarà costante, avremo semplicemente uno scaling in questo intervallo, non una "modulazione" come nel caso dell'intervallo negativo.

Applicando una tensione di controllo sul gate $V_k = 5V$, facendo variare la V_{AB} con uno sweep DC nell'intervallo richiesto $V_{AB} = [-2.5V, 2.5V]$ e misurando con probe di corrente la corrente sul terminale B, avremo la seguente caratteristica:



$I_D(V_{AB})$ per $W=5\mu$, $L=1\mu$, sweep DC di V_{AB}

Come si può notare la caratteristica è **asimmetrica** rispetto all'origine. Per V_{AB} positive, come avevamo previsto, la corrente è più bassa a causa dell'effetto body, viene semplicemente "scalata" e infatti l'andamento ricorda quello della $I_D(V_{DS})$ di un MOS, è semplicemente ribaltata perché la probe prende la corrente entrante nel terminale (mentre in realtà sta uscendo dal source, quindi è indicata come negativa).

Invece per tensioni V_{AB} negative abbiamo che vicino $V_{AB}=0$ la corrente è relativamente piccola, mentre poi cresce molto di più di quanto faccia per le V_{AB} positive. Ciò è dovuto alla modulazione introdotta dall'effetto body di cui abbiamo parlato.

Si noti come anche i limiti di dinamica (i ginocchi) siano differenti dalla parte positiva a quella negativa. Ciò è sempre dovuto all'effetto body, e alla modulazione da esso introdotta sulla V_{tn} sul lato negativo.

Queste sono le cause dell'asimmetria della caratteristica, che come vediamo ha un range quasi-lineare molto più esteso nella parte negativa che in quella positiva.

Per far lavorare lo switch MOS correttamente, dovremo restare sempre in regione di triodo, quindi la V_{AB} (cioè la V_{DS}) dovrà esser molto piccola, in un intorno dello zero. In tale punto la caratteristica è prettamente lineare come si vede, e non sorgeranno distorsioni di ogni sorta nel segnale che passa nello switch. Esso si comporterà semplicemente come una resistenza di piccolo valore r_{ON} (data dall'inverso della pendenza della curva nel punto di lavoro) in un intorno abbastanza piccolo dello zero. Se ci allontaniamo dall'origine, prende sopravvento il termine quadratico V_{DS}^2 presente nell'espressione della corrente di triodo, rendendo la caratteristica meno lineare, e allontanandoci ulteriormente andremo in saturazione. Entrambe queste due condizioni sono da evitare in quanto introdurrebbero distorsioni non volute nel segnale, e il comportamento non sarà più quello di uno switch.

2.2 Effetto delle variazioni della tensione di gate sulla r_{ON}

Uno dei parametri che influisce sul valore della r_{ON} è la tensione di controllo V_K applicata sul gate.

Dalla relazione della caratteristica del MOS in triodo:

$$I_D = K'_n \frac{W}{L} \left[(V_{GS} - V_{TN})V_{DS} - \frac{V_{DS}^2}{2} \right]$$

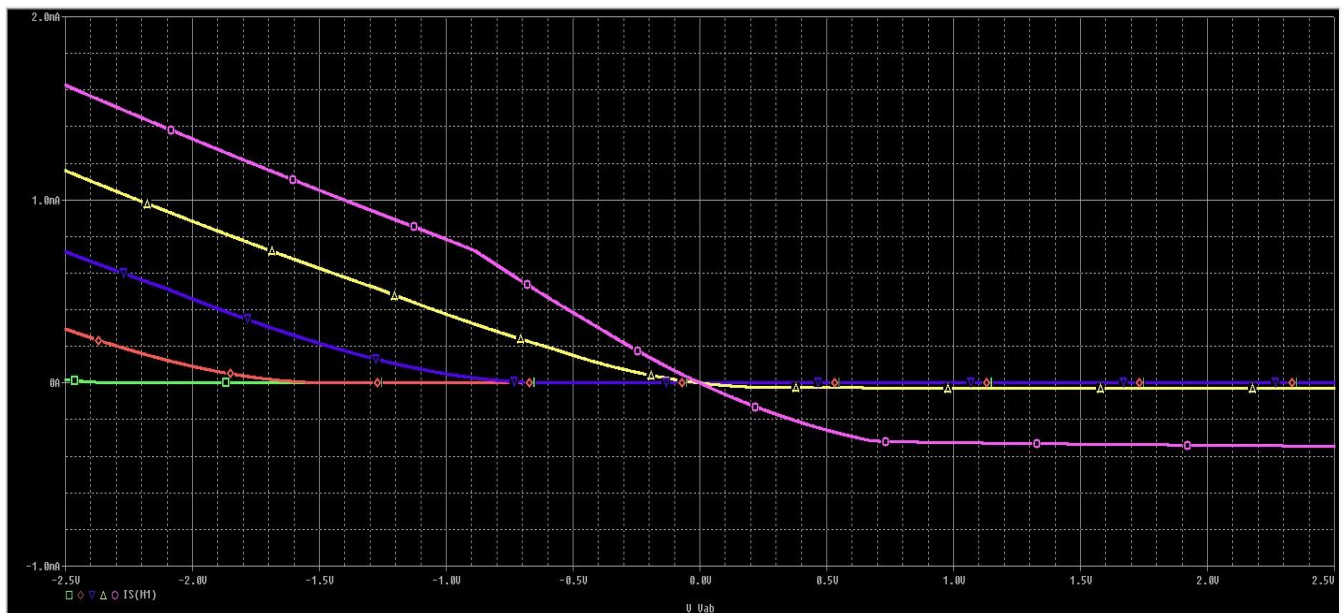
potremo ricavare la r_{ON} semplicemente come:

$$r_{ON} = \frac{1}{\partial I_D / \partial V_{DS}} = \frac{1}{K'_n \frac{W}{L} (V_{GS} - V_{TN} - V_{DS})}$$

Come si può vedere la r_{ON} dipende sia dal W/L che dalla tensione di controllo V_{GS} (dipendente dal generatore V_K nel nostro circuito). La V_{DS} in tale formula può esser trascurata se molto piccola.

Facendo dunque uno sweep DC di V_{AB} in $V_{AB} = [-2.5V, 2.5V]$, e uno sweep parametrico della tensione di controllo V_K nel range $[1V, 5V]$ con step di 1V, otteniamo le varie caratteristiche al variare della V_K .

Potremo così osservare che la r_{ON} più bassa si ottiene imponendo la massima V_{GS} possibile con la tecnologia in uso (5V per l'AMS 0.8 μm), cosa già prevedibile con la formula ottenuta.



Caratteristica corrente tensione + sweep di V_{gs} (Curva viola: $V_{gs}=5V$, curva verde $V_{gs}=1V$)

La curva viola, che è quella per $V_K=5V$, è quella a pendenza massima, dunque essendo $r_{ON}=1/\text{pendenza}$ sarà quella che ci dà la r_{ON} più bassa. Abbiamo trovato quindi che per minimizzare la r_{ON} a parità di altri parametri dobbiamo porre $V_K=5V$ (per questa tecnologia).

2.3 Effetto delle variazioni del W/L sulla r_{ON}

Dalla formula ricavata vediamo che anche un aumento dell'aspect ratio W/L porta ad una riduzione della r_{ON} . Esponendo il W come parametro globale tramite il blocco PARAM, tracciamo la caratteristica questa volta facendo uno sweep parametrico di W per i valori $W = [2u \ 5u \ 10u \ 20u \ 50u]$, mentre resta $L=1u$.

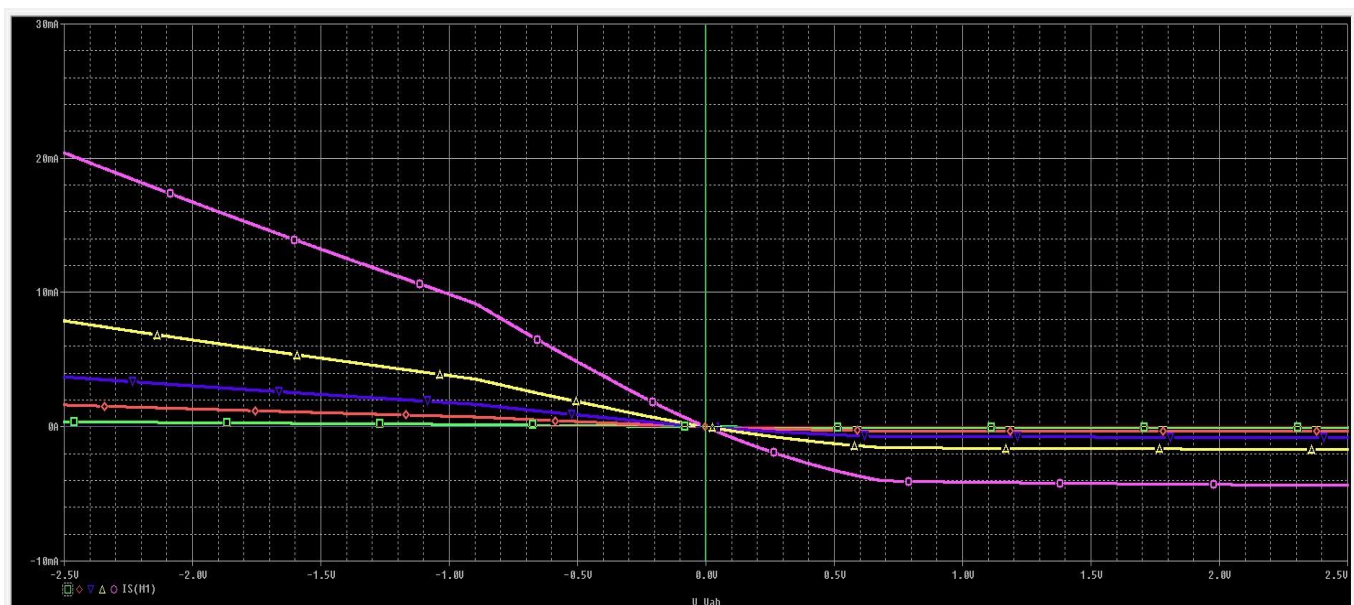


Figura 1 Caratteristiche corrente/tensione per $L=1u$, e sweep di W , con $V_K=5V$. Curva viola $W=50u$, curva verde $W=2u$.

Andamento della ron al variare della V_k . $W=5u$, $L=1u$, $V_{ds}=1V$

Come si vede la r_{ON} parte da un massimo di 60k Ω circa per $V_K=1V$, sino a scendere al valore di 753,86 Ω per $V_K=5V$ (che è il valore a cui è stato messo il marker per effettuare la misura sopra riportata nel grafico).

Sebbene sia un valore di resistenza basso quello ottenuto, non è ancora ottimale per uno switch, che dovrebbe avere una resistenza di on molto più bassa.

Effettuiamo ora anche uno sweep parametrico, sullo stesso circuito, per vedere come varia l'andamento della r_{ON} in funzione della V_{GS} quando variamo anche il W/L (dunque sweep parametrico di W, utilizziamo i soliti valori W=2u 5u 10u 20u 50u). Otteniamo le seguenti caratteristiche, di cui facciamo la misura della r_{ON} alla tensione che la minimizza, $V_{GS}=5V$.

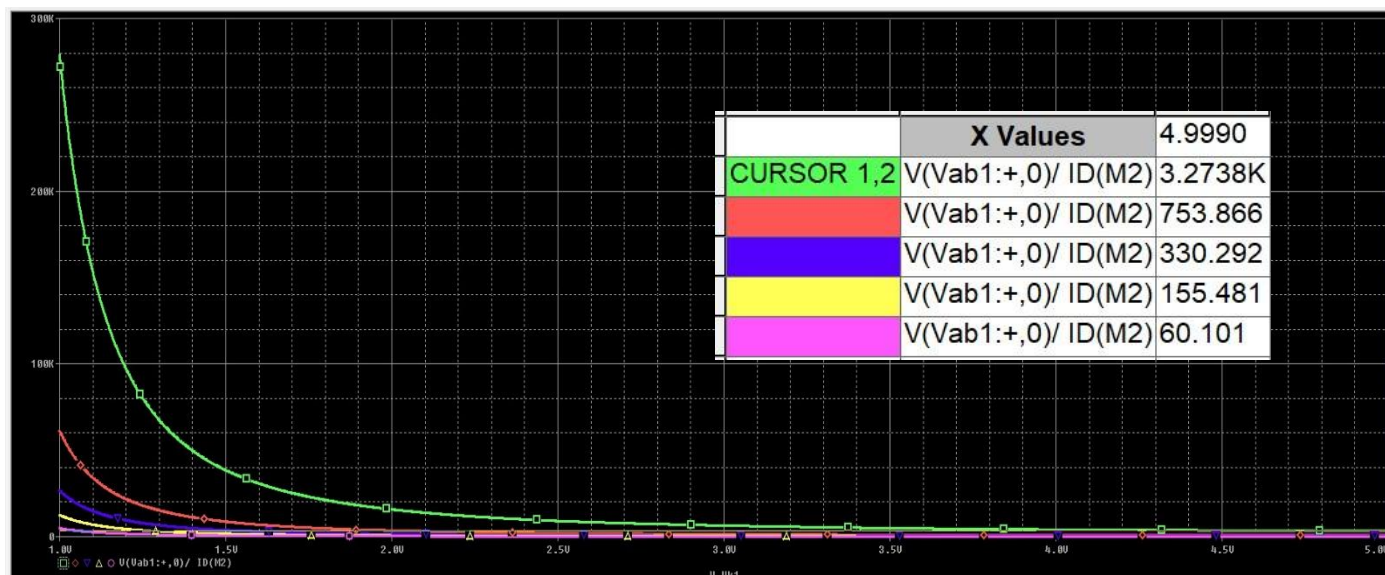


Figura 2Sweep DC di V_K e misura della I_d + Sweep parametrico di W. Curva verde: W=2u, curva viola W=50u

La r_{ON} più bassa come si vede e come già previsto si ottiene per $V_K=5V$ e W=50 μm , per i quali otteniamo $r_{ON}=60,1 \Omega$. Possiamo confrontare i valori sperimentali sopra ricavati con quelli teorici ricavabili dalla formula ottenuta per la r_{ON} .

| W/L | Kn' [A/V ²] | Vgs [V] | Vtn [V] | Vds [V] | ron (teor) [Ω] | ron (sperim) [Ω] |
|-----|-------------------------|---------|---------|---------|-------------------------|---------------------------|
| 2 | 5,56E-05 | 5 | 0,77 | 1 | 2784,15 | 3273,80 |
| 5 | 9,65E-05 | 5 | 0,77 | 1 | 641,65 | 753,86 |
| 10 | 1,07E-04 | 5 | 0,77 | 1 | 289,34 | 330,29 |
| 20 | 1,18E-04 | 5 | 0,77 | 1 | 131,19 | 155,48 |
| 50 | 1,22E-04 | 5 | 0,77 | 1 | 50,75 | 60,10 |

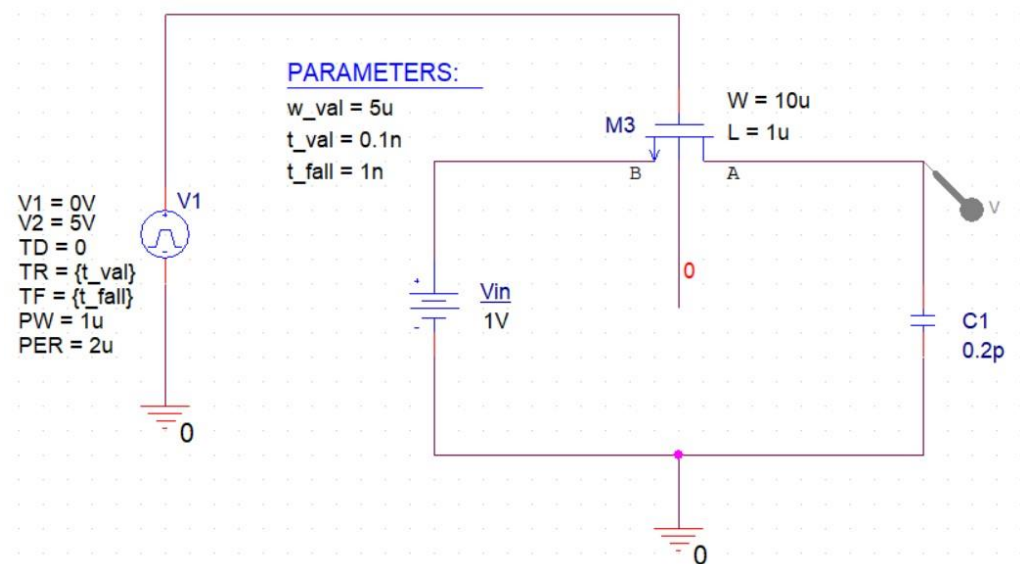
Calcolo teorico della r_{ON} utilizzando i valori di kn' (relativi al rispettivo W/L) ricavati dall'esperienza precedente

I valori teorici sono leggermente diversi da quelli ricavati sperimentalmente, ma in linea di massima ci siamo. La leggera discrepanza è dovuta alla miglior precisione del modello utilizzato dal simulatore PSPICE, anziché un semplice modello del prim'ordine utilizzato per ricavare la formula della r_{ON} . Vediamo ora perché il valore di W=50 μm sebbene ottimale per la minimizzazione della r_{ON} non è utilizzabile nella pratica per uno switch NMOS.

2.5 Analisi del problema del clock feedthrough e del charge injection

Il clock feedthrough ed il charge injection sono due fenomeni indesiderati che abbiamo nello switch MOS. Spesso i loro effetti vengono attribuiti al solo clock feedthrough, ma in realtà i due fenomeni sono ben distinti tra loro, avendo differente origine fisica, sebbene l'effetto sia simile: la comparsa sul segnale in uscita di anomalie quali spike o cadute di tensione quando in uscita abbiamo connesso un carico capacitivo, cosa che non ci aspetteremmo se non fossimo a conoscenza di questi due fenomeni.

Il circuito utilizzato per l'analisi di questi due fenomeni è il seguente:

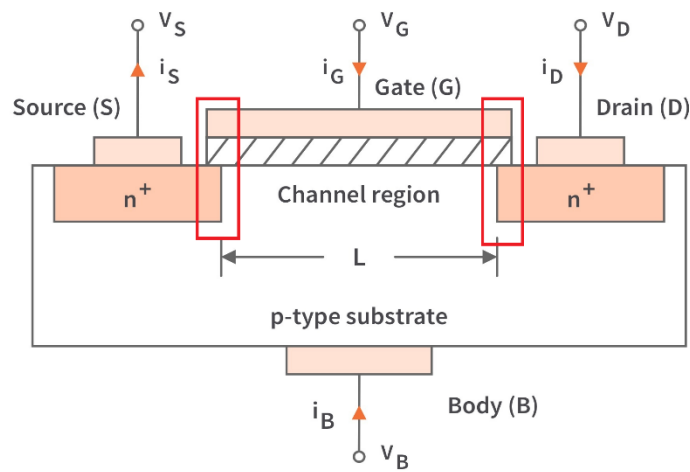


Abbiamo uno switch NMOS pilotato sul gate da un segnale di clock ad onda quadra, avente tempo di salita ($TR = T_{\text{Rise}}$) e tempo di discesa ($TF = T_{\text{Fall}}$) non nulli. Sul lato di ingresso dello switch (morsetto B) è applicato un generatore di tensione V_{in} , e sull'uscita (morsetto A) una capacità $C1$ che funge da carico capacitivo. Inizialmente, a circuito spento abbiamo tensione nulla sul condensatore.

Quando accendiamo il circuito (inizio simulazione) il clock è a livello alto (5V), lo switch quindi viene chiuso e la tensione V_{in} carica il condensatore $C1$ al livello di tensione $V_{in}=1V$. Idealmente, quando lo switch si apre, ci aspettiamo che resti sempre 1V su $C1$, perché la r_{OFF} sebbene finita è molto elevata, e $C1$ è quindi completamente isolato dal resto del circuito, e dovrebbe mantenere la carica accumulata. Allo stesso modo quando il clock torna a livello 5V e lo switch si richiude ci aspettiamo che la tensione in uscita resti sempre 1V (la V_{in} viene riconnessa alla capacità). Tuttavia a causa dei due effetti sopra menzionati vedremo dalle analisi effettuate con PSPICE che nella realtà non abbiamo questo comportamento ideale.

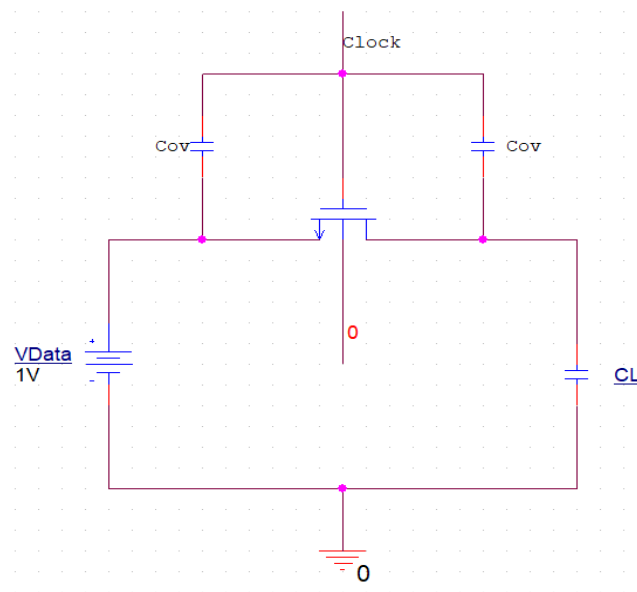
2.5.1 Breve analisi teorica del fenomeno del clock feedthrough

Il clock feedthrough nasce a causa dei fenomeni capacitivi presenti tra gate e source e tra gate e drain del MOS. In particolare ricordando la struttura della sezione dell'NMOS (per esempio) c'è una piccola regione di "overlap" tra lo strato gate-SiO₂ e le due "sacche" di silicio di tipo n che formano il drain ed il source; tali regioni di overlap costituite da metallo del gate – isolante (SiO₂) – silicio di tipo n (conduttore) formano delle vere e proprie capacità parassite tra gate-drain e tra gate-source.



Regioni di overlap che danno luogo agli effetti capacitivi nella struttura del MOS

Dunque in realtà il circuito precedente è più simile a qualcosa del genere:



Le due capacità parassite creano dunque un percorso elettrico tra gate-source e tra gate-drain!

Quando sul gate avremo una transizione dunque, cioè una variazione di tensione dv/dt , nelle capacità parassite tra gate-drain e tra gate-source scorrerà corrente, essendo:

$$I_C = C \frac{dv}{dt}$$

Tale corrente scorrerà anche nella capacità di carico, per tutto l'istante della transizione, fino ad esaurimento del transiente, e ciò porterà a degli spike di tensione (temporanei) sulla tensione di uscita sul carico. Più veloce è la transizione del clock, cioè la durata del suo fronte di salita/discesa, più dv/dt sarà elevato e dunque più prominente sarà lo spike di tensione.

Il problema del clock feedthrough si evidenzia soprattutto nei fronti di salita di brevissima durata, nei quali andremo a vedere proprio degli spike sulla tensione in uscita.

2.5.2 Breve analisi teorica del fenomeno del charge injection

Il charge injection invece è un fenomeno più evidente nei fronti di discesa, più accentuato ancora quando essi sono di brevissima durata.

Quando $V_{gs}=5V$ il MOS è nello stato on e tra drain e source è presente il canale, costituito da portatori di tipo n (elettroni) per l'NMOS. Appena arriva un fronte di discesa e il MOS inizia a spegnersi, tutte le cariche che formano il canale dovranno pur finire da qualche parte: gli unici due percorsi che possono intraprendere è o verso il generatore V_{IN} oppure verso il carico capacitivo.

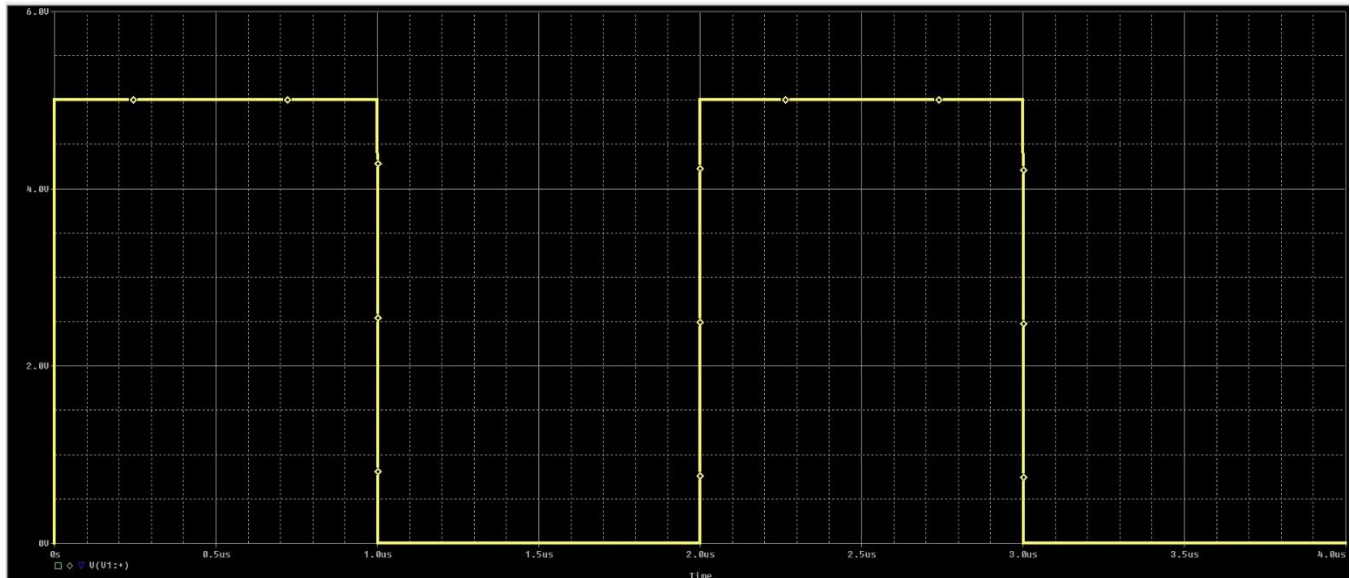
Quando abbiamo uno **slow transition time** la carica ha il tempo di "ridistribuirsi" correttamente, e prende maggiormente il percorso a più bassa impedenza, cioè verso V_{IN} (non abbiamo né resistenze né elementi reattivi in tale ramo). L'effetto sulla capacità di carico è perciò minimo.

Quando abbiamo un **fast transition time** invece la carica fluisce indiscriminatamente verso entrambi i percorsi, in quanto la variazione $i(t)=dq/dt$ è troppo elevata, e abbiamo quindi un impatto maggiore sulla carica presente sulla capacità, che così viene modificata!

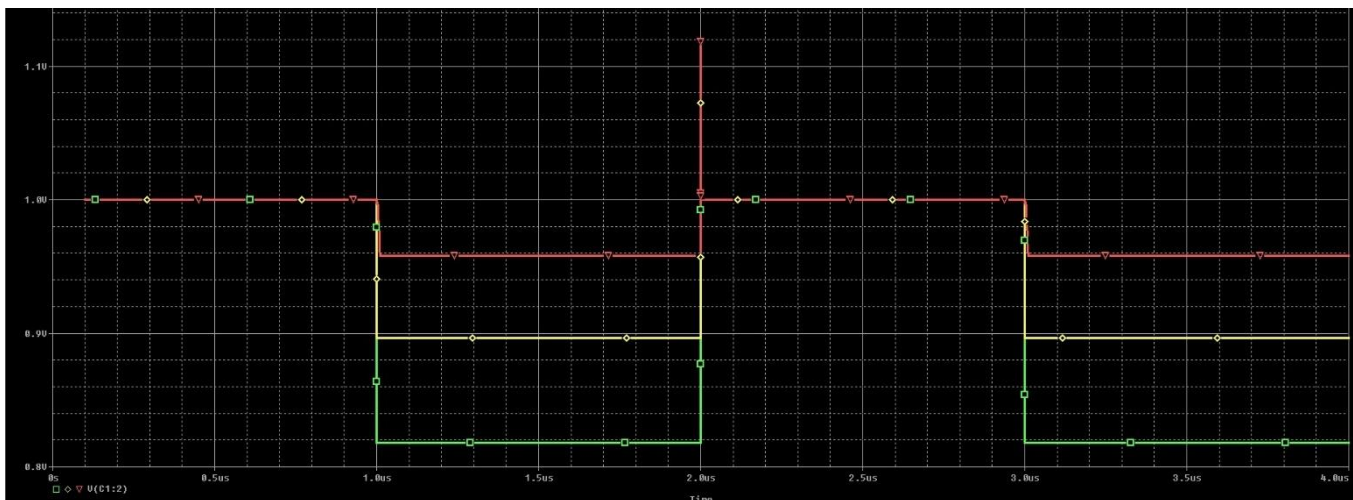
Tale fenomeno è osservabile nei fronti di discesa, in cui pochi istanti prima del fronte di discesa la tensione sul condensatore è pari a V_{IN} , che ha caricato la capacità di carico; quando avviene un fronte di discesa molto ripido (fast transition time) abbiamo una variazione di carica sulla capacità a causa del charge injection, e quindi una variazione della tensione sulla capacità stessa. Si osserverà che la tensione scende a un valore al di sotto di V_{IN} : questo non è dovuto alla R_{OFF} del MOS, che è comunque troppo elevata per permettere una scarica in tempi così brevi, bensì al fenomeno del charge injection.

2.5.3 Analisi con PSPICE del charge injection e del clock feedthrough

Utilizzando il circuito illustrato all'inizio della sezione 2.5, facciamo uno sweep del parametro globale t_{fall} per $T_F=0.1\text{ns}$ 1ns 10ns . Facciamo un'analisi di tipo transient, per almeno due periodi ($4\mu\text{s}$):



Clock applicato sul gate dello switch NMOS. Periodo $2\mu\text{s}$, duty cycle 50%, $T_{\text{Rise}}=0.1\text{ns}$, T_{Fall} sweep in 0.1ns , 1ns , 10ns

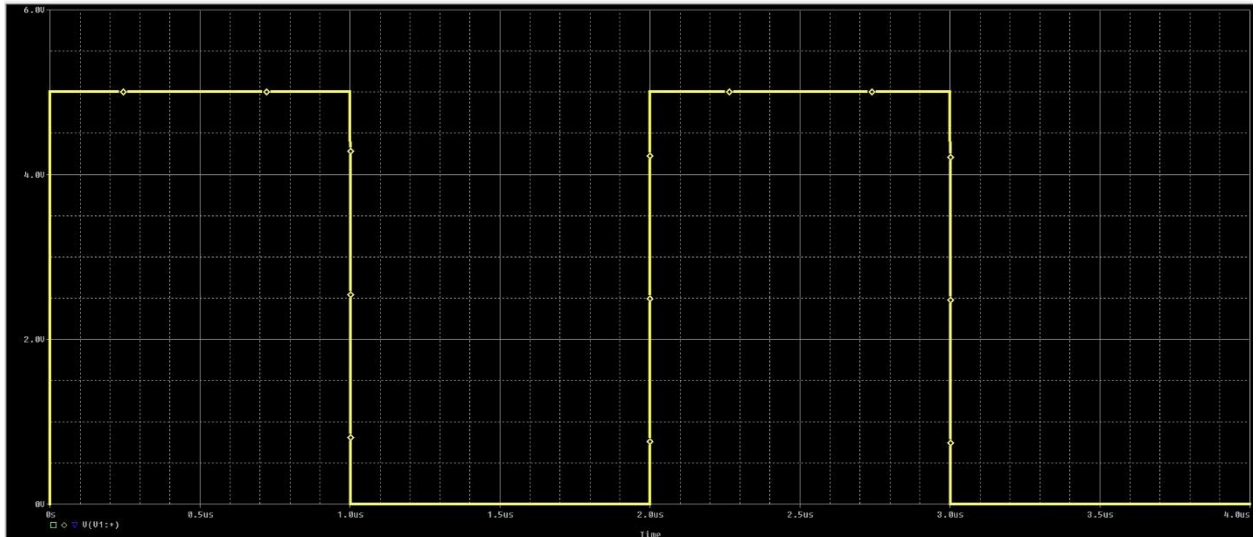


Tensione in uscita sulla capacità di carico. Curva verde $T_{\text{Fall}}=0.1\text{ns}$, curva rossa $T_{\text{Fall}}=10\text{ns}$

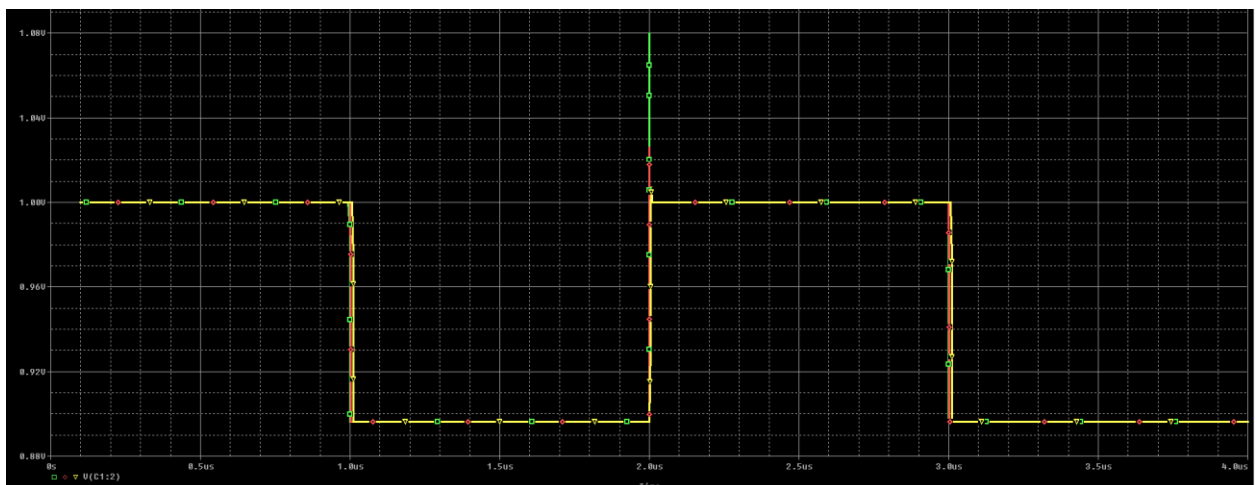
Come si può ben vedere dall'andamento della tensione in uscita sulla capacità di carico notiamo due anomalie:

- Quando il clock ha una transizione verso lo stato basso (0V), cioè sui fronti di discesa, la tensione in uscita scende di parecchio, addirittura sino a $0,82\text{V}$ quando $T_{\text{Fall}}=0.1\text{ns}$ (curva verde). Ciò è dovuto al fenomeno del charge injection, che va a modificare la carica presente sul condensatore iniettando carica durante i fronti di discesa.
- In corrispondenza dei fronti di salita invece abbiamo un picco di tensione; esso è dovuto principalmente al clock feedthrough, per i meccanismi che abbiamo visto nelle sezioni precedenti.

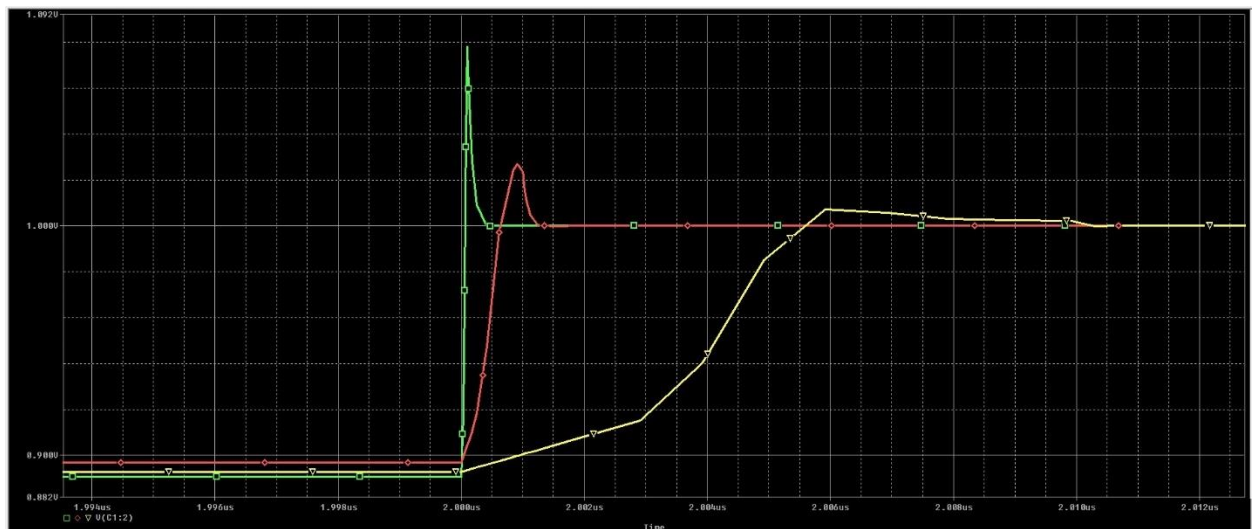
Soffermiamoci sul problema del clock feedthrough, facendo un'ulteriore simulazione questa volta con uno sweep parametrico di TRise (indicato con t_val come global parameter) per 0.1ns, 1ns, 10ns mentre lasciamo TFall a 1ns (un valore intermedio, non troppo estremo). Otteniamo i seguenti andamenti della tensione di uscita:



Clock applicato sul gate dello switch NMOS. Periodo 2µs, duty cycle 50%, TFall=1ns, TRise sweep in 0.1ns, 1ns, 10ns



Forma d'onda sulla capacità di carico. Si noti il picco di tensione sulla curva verde (TRise=0.1ns)



Zoom sul fronte di salita della forma d'onda in uscita. Curva verde->Trise=0.1ns, Curva rossa->Trise=1ns, Curva gialla->Trise=10ns

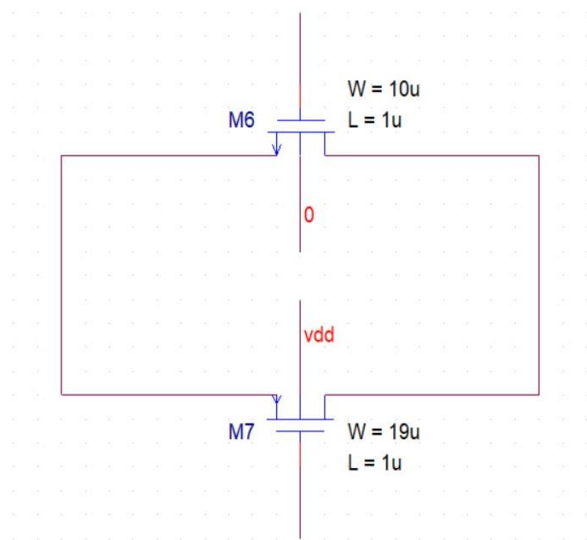
Come si può notare quando abbiamo tempi di transizione veloci ($T_{rise}=0.1ns$) il picco di tensione è molto più elevato, arriva a circa 1,08V che è comunque un +8% della V_{IN} . Invece per fronti di salita meno ripidi il problema è più lieve, fino a quasi potersi considerare trascurabile per $T_{rise}=10ns$.

Il motivo per cui modelliamo il carico con una capacità è che lo switch MOS può esser utilizzato, per esempio in ambito digitale, per pilotare il gate di altri MOS: quindi stiamo pilotando una capacità a tutti gli effetti! Le sovratensioni e le cadute di tensioni viste in questo caso non sono accettabili se dobbiamo pilotare un MOS.

Per risolvere questi due problemi (nonché migliorare altre caratteristiche dello switch NMOS) è stato introdotto lo switch CMOS che vedremo nella sezione successiva.

3 Switch CMOS (Complementary MOS)

Lo switch CMOS come dice il nome è costituito da due MOS complementari, cioè uno di tipo N ed uno di tipo P, affacciati l'uno sull'altro (cioè i loro drain e source sono connessi assieme come in figura) e pilotati l'uno da un segnale di clock, l'altro dallo stesso segnale di clock ma invertito (ritardato cioè di mezzo periodo).



Switch CMOS

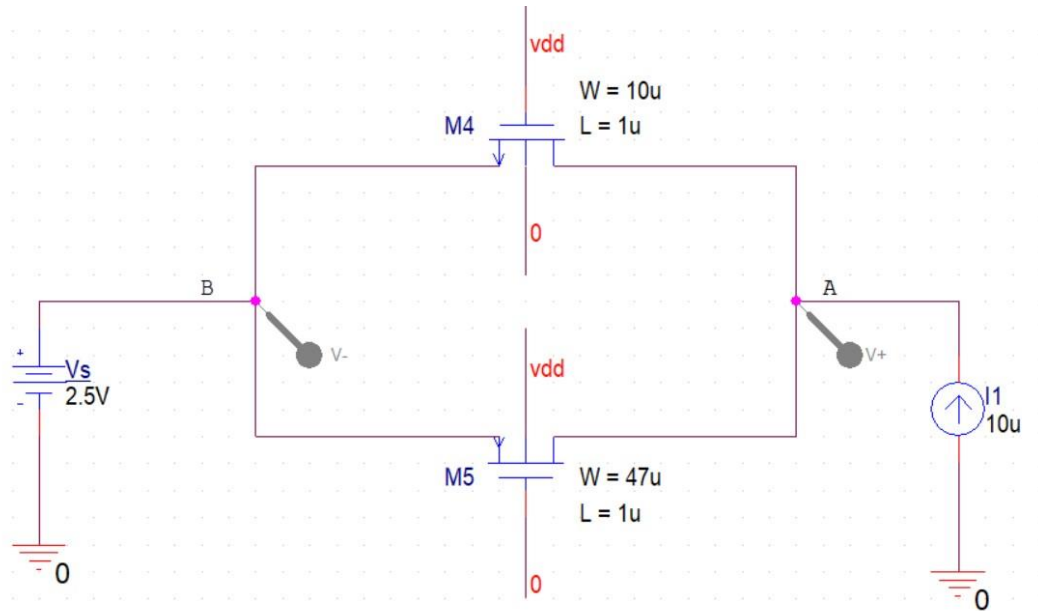
Si noti come mentre il bulk dell'NMOS dev'esser collegato alla tensione più bassa disponibile (0V in questo caso), il bulk del PMOS dev'esser collegato alla tensione più alta disponibile (dunque Vdd).

Inoltre il PMOS deve avere una W quasi il doppio (precisamente 1.9 volte) quella dell'NMOS, per compensare la differenza di mobilità tra i portatori di tipo P del PMOS (lacune, che sono più "lente") e quelli di tipo N dell'NMOS (elettroni). Il tutto serve a far sì che i due dispositivi abbiano r_{ON} "piatta" al centro della caratteristica, e che sia $k_n' = k_p'$; a tal fine si trova che deve risultare:

$$\mu_n C_{ox} \left(\frac{W}{L} \right)_n = \mu_p C_{ox} \left(\frac{W}{L} \right)_p$$

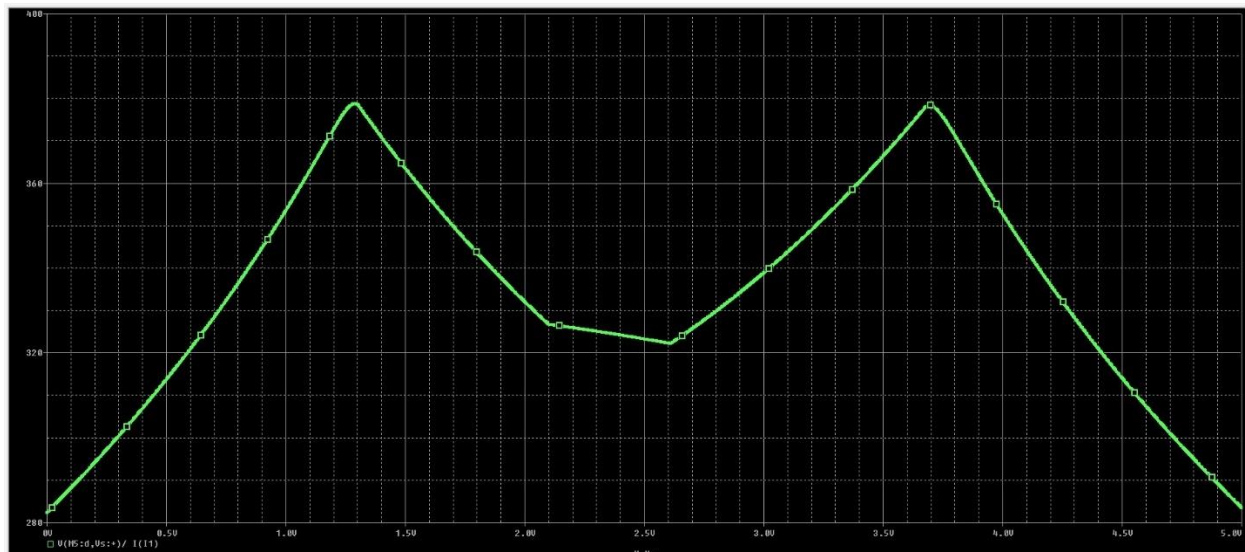
3.1 Andamento della r_{ON} dello switch CMOS

Vogliamo misurare l'andamento della r_{ON} dello switch CMOS al variare della tensione ai capi dello stesso. A tal fine quindi dobbiamo mantenere lo switch sempre nello stato di on, quindi il gate dell'NMOS va a Vdd mentre quello del PMOS a 0V. Mettiamo poi un generatore di tensione V_s su un morsetto dello switch, e un generatore di corrente di test sull'altro lato; la resistenza sarà semplicemente data dalla differenza di tensione ai capi dello switch (da misurare con soglie differenziali) fratto la corrente di test.



Circuito per misurazione r_{on} switch CMOS

Si noti inoltre che per questo circuito abbiamo posto $W_p = 4.7 * W_n$ per ottenere stesso valore della r_{ON} sia quando predomina l'NMOS che quando predomina il PMOS. Facciamo sweep DC di V_s da 0V a 5V con step 0.1mV, misuriamo la ddp ai capi dello switch CMOS con le probe di tensione differenziali e dividiamo quanto ottenuto per la corrente di test, 10μA, ottenendo il seguente andamento di r_{ON} :



Andamento r_{on} switch CMOS al variare di V_s

Il grafico ottenuto è da interpretare nella seguente maniera:

- Nel primo tratto (da 0V sino a poco prima del primo picco) l'NMOS è acceso, mentre il PMOS è spento (basta guardare i valori delle due V_{gs} e V_{sg} per $V_s=0V$). La resistenza che vediamo in questa regione è quella del solo NMOS, che tende a salire per V_s che sale. Arrivati alla tensione di soglia V_{TP} inizia ad accendersi il PMOS, sino ad arrivare al primo picco.
- Dopo il primo picco sia PMOS che NMOS sono accesi, però inizia a predominare la resistenza del PMOS che fa scendere il valore della r_{ON} sino a giungere a quella specie di sella/valle che abbiamo tra i due picchi
- Dopo la sella l'NMOS inizia ad avviarsi verso lo spegnimento, cioè verso il suo limite di dinamica superiore; dunque in questa zona predomina la resistenza del PMOS, la r_{ON} risale e raggiungiamo il secondo picco, dopo il quale l'andamento della r_{ON} sarà governato esclusivamente dal PMOS.

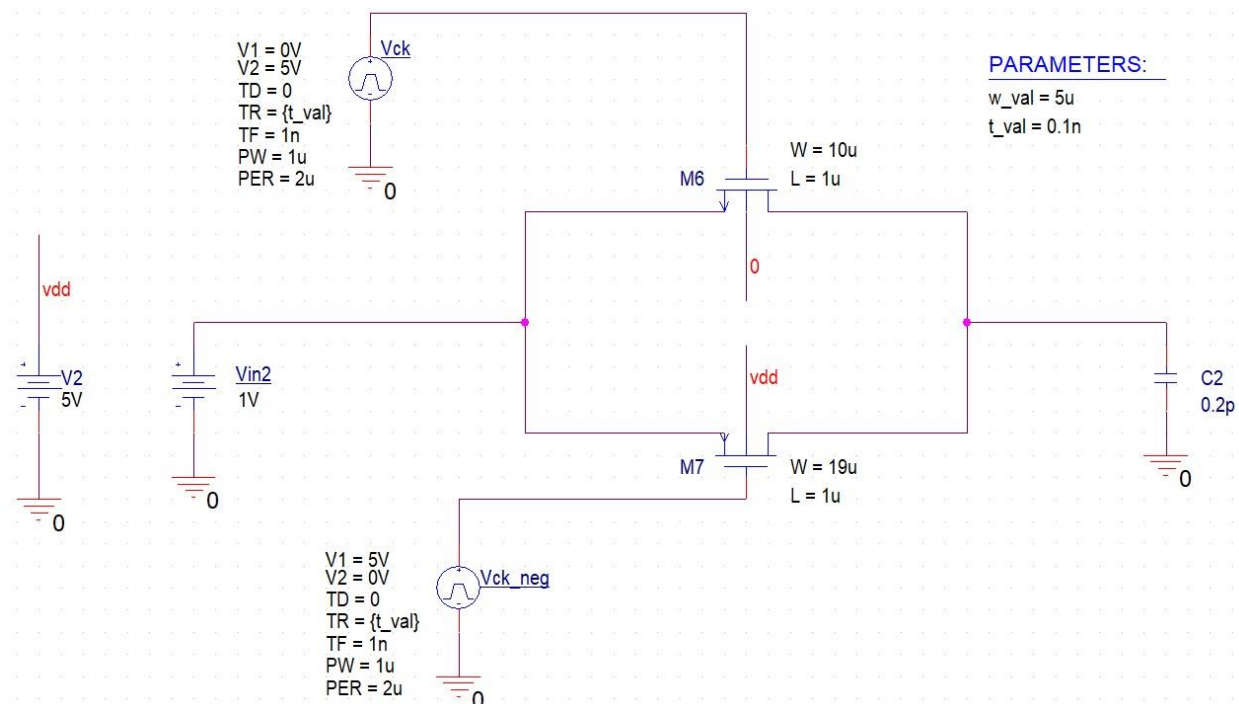
Il punto in cui vogliamo far lavorare lo switch è proprio al centro della caratteristica trovata, cioè per $V_s=2.5V$ in cui entrambi i MOS sono in regione di triodo, $r_{ON}=r_{ONn}/r_{ONp}$.

In tale punto abbiamo nel circuito in osservazione $r_{ON}\approx 320\Omega$ (valore elevato ma solo perché abbiamo dimensionato i due MOS per evidenziare i due picchi, non per avere r_{ON} minima).

3.2 Analisi del clock feedthrough e del charge injection per lo switch CMOS

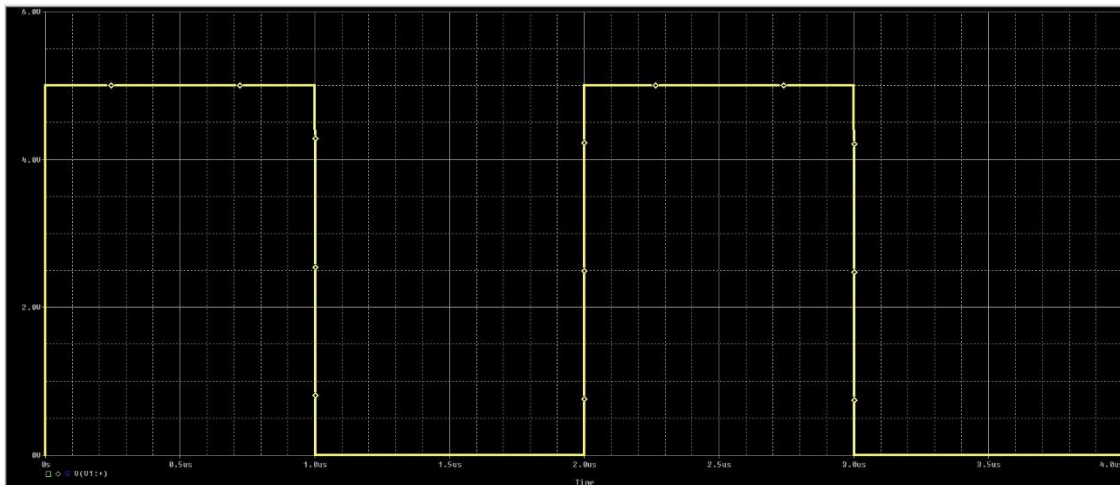
Lo switch CMOS come vedremo risolve in gran parte il problema del charge injection (la tensione resta pressochè costante sui fronti di discesa, non abbiamo cadute di tensione sul segnale in uscita) e mitiga fortemente quello del clock feedthrough (il picco di tensione sul segnale in uscita in corrispondenza del fronte di salita viene ridotto di circa la metà).

Il circuito utilizzato per l'analisi è il seguente:

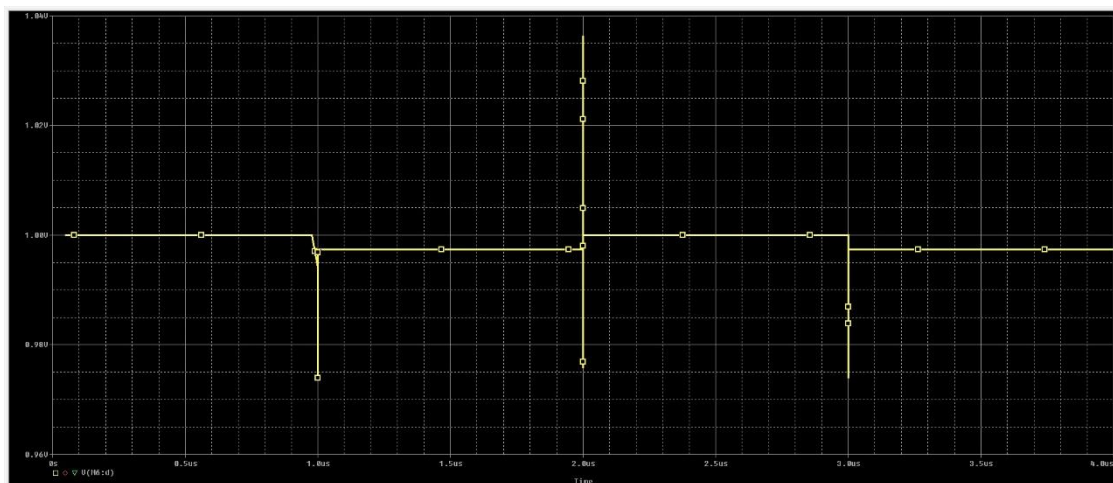


Si noti come abbiamo un clock sul gate dell'NMOS, ed un clock negativo sul gate del PMOS, entrambi con le stesse caratteristiche ma complementari tra loro.

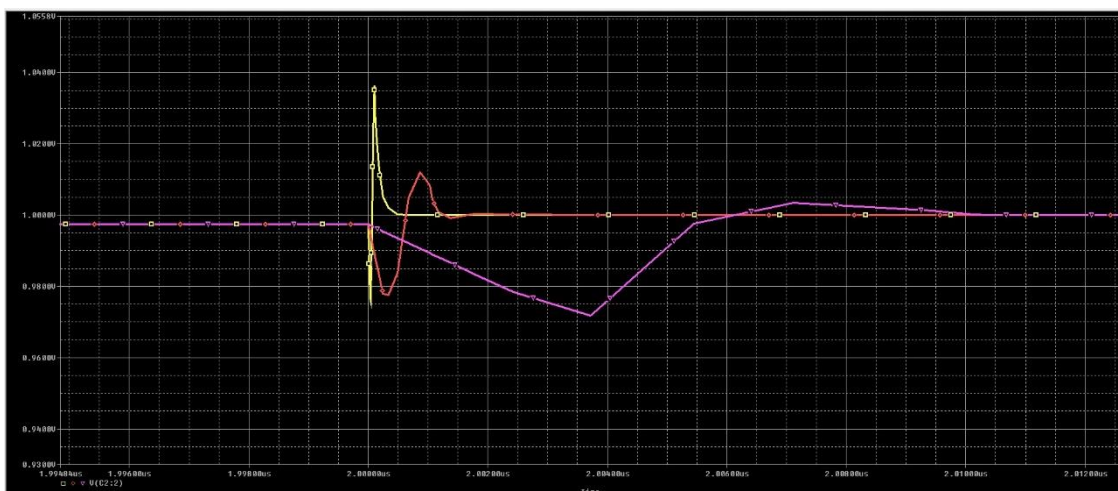
La V_{IN} è pari a 1V, dunque ci aspettiamo sul condensatore in uscita una tensione costante di 1V circa. Facciamo una simulazione transient, durata 0.4us, con sweep parametrico del t_{val} (TRise); TFall è settato a 1ns.



Clock sull'NMOS



Segnale in uscita sulla capacità di carico, per TRise=0.1ns, TFall=1ns



*Sweep parametrico di Trise=0.1ns 1ns 10ns, zoom sul picco in corrispondenza del transiente di salita. TFall=1ns
Curva gialla: TRise=0.1ns; curva viola: Trise = 10ns*

Come si può notare il picco in corrispondenza del transiente di salita ora raggiunge al massimo i 1.04V, dunque una sovratensione del +4%, in corrispondenza di una sovratensione del +8% che avevamo nello switch NMOS.

Inoltre guardando il secondo grafico vediamo che quando lo switch è chiuso l'uscita si trova sempre molto vicina a 1V, non scende a 0.8V come faceva nel caso dello switch NMOS: questo perché lo switch CMOS risolve il problema del charge injection, in quanto mentre l'NMOS sta iniettando elettroni il PMOS starà iniettando lacune (cioè richiama elettroni), e dunque non varia fortemente la quantità di carica conservata sulla capacità in uscita.