

Progettazione Automatica di Circuiti Elettronici

Docenti: Prof. Ing. Daniela De Venuto

Prof. Ing. Giovanni Mezzina

Relazioni di laboratorio A.A. 2020/2021

Studente: Francesco Caterina (Matricola 564974)

Esercitazione 6

Progettazione e analisi OTA

Contents

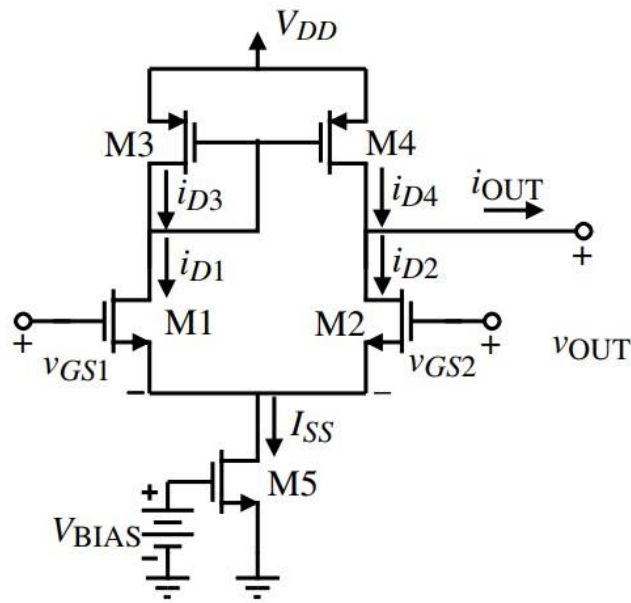
1	Breve trattazione teorica OTA	2
1.1	Introduzione.....	2
1.2	Funzionamento ed analisi di modo differenziale.....	3
1.3	Analisi di modo comune.....	4
2	Dimensionamento dell'OTA.....	5
2.1	Specifiche sullo slew rate	6
2.2	Specifiche sulla potenza dissipata.....	6
2.3	Specifiche sulla frequenza di taglio.....	7
2.4	Limite ICMR superiore	7
2.5	Guadagno in tensione A_v	8
2.6	Limite ICMR inferiore	9
2.7	Tabella riassuntiva design OTA e dimensionamento resistenza dello specchio semplice.....	10
3	Analisi performance dell'OTA progettato	12
3.1	Verifica potenza dissipata	12
3.2	Estrazione VTC dell'OTA e misura guadagno sulla VTC.....	13
3.3	Risposta in frequenza.....	15
3.4	Guadagno di modo comune e CMRR.....	16
3.4.1	Calcolo guadagno di modo comune.....	16
3.4.2	Calcolo CMRR	17
3.5	Slew Rate (trattazione teorica "intuitiva" e misura sperimentale).....	18
3.5.1	Misura effettiva dello slew rate	21
3.6	ICMR.....	23
4	Riassunto risultati ottenuti, confronto con l'OTA progettato dal docente e conclusioni.....	25

1 Breve trattazione teorica OTA

1.1 Introduzione

L'OTA (Operational Transconductance Amplifier) è un circuito amplificatore largamente in uso nel design di circuiti integrati. Esso è utilizzato per esempio come stadio di ingresso negli amplificatori operazionali.

Il suo design è qui sotto riportato:



Come si può notare, esso è costituito da una coppia differenziale M1-M2, aventi come carico attivo uno specchio semplice di corrente costituito dai PMOS M3-M4 (se la coppia differenziale è di tipo PMOS ovviamente, il carico attivo dovrà essere costituito da transistor di tipo NMOS).

Notiamo innanzitutto che esso costituisce uno stadio differenziale **non bilanciato**, cioè sui drain di M1 ed M2 non abbiamo lo stesso carico: mentre su M1 abbiamo M3 connesso a diodo, che quindi ai fini del segnale costituisce una resistenza incrementale di valore pari a circa $1/g_{m3}$, sul drain di M2 abbiamo il MOS di uscita dello specchio (M4), che ai fini del segnale costituisce una resistenza pari a r_{DS4} (che si troverà in parallelo alla resistenza di uscita di M2, r_{DS2}). Dunque la resistenza incrementale presente su M1 è molto più piccola di quella presente su M2. Ciò implica che potremo avere soltanto un'uscita sulla quale avremo effettivamente amplificazione in questo stadio, e cioè sul drain di M2, in quanto sul ramo di M1 la resistenza di carico è sin troppo piccola per avere un'effettiva amplificazione.

Dunque l'uscita dell'OTA è esclusivamente single-ended (cioè riferita rispetto a ground), non possiamo prendere uscita differenziale in tensione così come potremmo fare con uno stadio differenziale bilanciato. Anche gli ingressi, che indicheremo con V1 e V2, rispettivamente sul gate di M1 e di M2, sono riferiti rispetto a ground.

1.2 Funzionamento ed analisi di modo differenziale

Il motivo per cui questo circuito viene considerato un amplificatore in transconduttanza (dunque che fornisce una corrente in uscita a fronte di una variazione della tensione in ingresso) e non in tensione come un semplice stadio differenziale, risiede nel suo funzionamento: distinguiamo tra due casi.

- Se cortocircuitiamo i due ingressi tra loro, la tensione differenziale in ingresso sarà nulla, $v_{ID}=v_1-v_2=0$. La corrente i_{D1} e la i_{D2} saranno uguali; la i_{D1} coincide con la i_{D3} inoltre, che a sua volta viene specchiata dal MOS M4 dunque $i_{D4}=i_{D3}=i_{D1}$. Cortocircuitando l'uscita verso massa di segnale, per valutare la i_{OUT} avremo dunque, applicando la KCL sul nodo del drain di M2: $i_{OUT} = i_{D4}-i_{D2} = i_{D1}-i_{D2}=0$. Dunque se la tensione differenziale in uscita è nulla, anche la corrente d'uscita sarà nulla.
- Se invece applicassimo per esempio un segnale in ingresso a M1 e mettessimo l'uscita di M2 a massa di segnale avremmo $v_{ID}\neq 0$: cioè adesso sarebbe presente il modo differenziale in ingresso. La i_{D1} e la i_{D2} adesso sarebbero differenti tra loro, e in uscita avremmo $i_{OUT} = i_{D4}-i_{D2} = i_{D1}-i_{D2} \neq 0$. Dunque applicando una tensione di modo differenziale in ingresso, avremo una certa corrente in uscita.

Si noti come la corrente di uscita (ottenuta cortocircuitando l'uscita a massa di segnale, il che può voler dire per esempio porre sul drain di M2 un generatore DC per non perturbare il punto di lavoro del circuito) sia sempre data in ogni caso da $i_{OUT} = i_{D4}-i_{D2} = i_{D1}-i_{D2}$. Ecco per quale motivo tale amplificatore differenziale viene considerato un amplificatore in transconduttanza: la sua uscita, che sia vista in tensione o in corrente, è sempre proporzionale alla differenza tra due correnti, $i_{D1}-i_{D2}$ e tale fatto è proprio dovuto alla presenza dello specchio di corrente M3-M4 e alla KCL sul nodo di uscita. Dunque sebbene l'uscita sia single-ended, a tutti gli effetti in uscita ci ritroviamo un segnale differenziale.

La transconduttanza differenziale dell'OTA, essendo la corrente in uscita generata in seguito alla tensione differenziale v_{ID} in ingresso, può esser dunque così definita:

$$G_{md} = \frac{i_{OUT}}{v_{id}} = \frac{i_{D1} - i_{D2}}{v_{id}}$$

Ora, se applichiamo il solo modo differenziale ($v_{IC}=0$) esso può esser scomposto in $v_{in1}=v_{ID}/2$ e $v_{in2}=-v_{ID}/2$. Per il modo differenziale il punto in cui sono accoppiati i due source di M1 ed M2 si trova effettivamente a **massa virtuale** di segnale, dunque M1 ed M2 costituiscono per il modo differenziale degli stadi **common source**, che sappiamo avere una transconduttanza pari a quella del MOS stesso (g_{m1} per M1 e g_{m2} per M2). Unendo ciò al fatto che conosciamo le tensioni di ingresso applicate ad M1 ed M2, otteniamo le correnti di drain di segnale sui due MOS e dunque potremo calcolare la transconduttanza differenziale:

$$\begin{cases} i_{D1} = g_{m1}v_{in1} = g_{m1} \frac{v_{ID}}{2} \\ i_{D2} = g_{m2}v_{in2} = -g_{m2} \frac{v_{ID}}{2} \end{cases}$$

Inoltre $g_{m2}=g_{m1}$ in quanto, nel punto di lavoro, M1 ed M2 sono percorsi dalla stessa corrente statica pari a $i_{D1}=i_{D2}=I_{SS}/2$ (dove I_{SS} è la corrente fornita dal current sink M5, che costituisce il ramo di uscita di uno specchio di corrente; nel punto di lavoro statico tale corrente si ripartisce in due parti uguali, una nel ramo di M1 ed una nel ramo di M2). Quindi avremo in conclusione:

$$G_{md} = \frac{i_{OUT}}{v_{ID}} = \frac{i_{D1} - i_{D2}}{v_{ID}} = \frac{g_{m1} \frac{v_{ID}}{2} - (-g_{m2} \frac{v_{ID}}{2})}{v_{ID}} = \frac{v_{ID}}{2} \frac{g_{m1} + g_{m2}}{v_{ID}} = \frac{2g_{m1}}{2} = g_{m1}$$

Dunque la transconduttanza differenziale dell'OTA è pari a quella di un singolo stadio common source

avente transconduttanza pari a $g_{m1} = \sqrt{2k'_n * W_1/L_1 * I_{D1}^Q} = \sqrt{k'_n * W_1/L_1 * I_{SS}}$

Sebbene la transconduttanza differenziale sia dunque quella di uno stadio common source, la resistenza di uscita sarà molto elevata essendo presente sul ramo di uscita un carico attivo costituito da M4, dunque avremo:

$$R_{OUT} = r_{DS2} // r_{DS4} = \frac{1}{g_{ds2} + g_{ds4}} = \frac{1}{(\lambda_2 + \lambda_4) * I_{D2}^Q} = \frac{1}{(\lambda_2 + \lambda_4) * I_{SS}/2} = \frac{2}{(\lambda_2 + \lambda_4) * I_{SS}}$$

In definitiva dunque, in presenza del solo modo differenziale in ingresso, il segnale di uscita in tensione prelevato sul drain di M2 sarà dato da:

$$v_{out} = A_{VD} v_{ID} = G_{md} R_{OUT} * v_{ID}$$

E il guadagno di modo differenziale vale:

$$A_{VD} = \frac{v_{out}}{v_{ID}} = G_{md} R_{OUT}$$

Esso sarà molto elevato, in quanto la resistenza di uscita sarà nell'ordine dei kΩ.

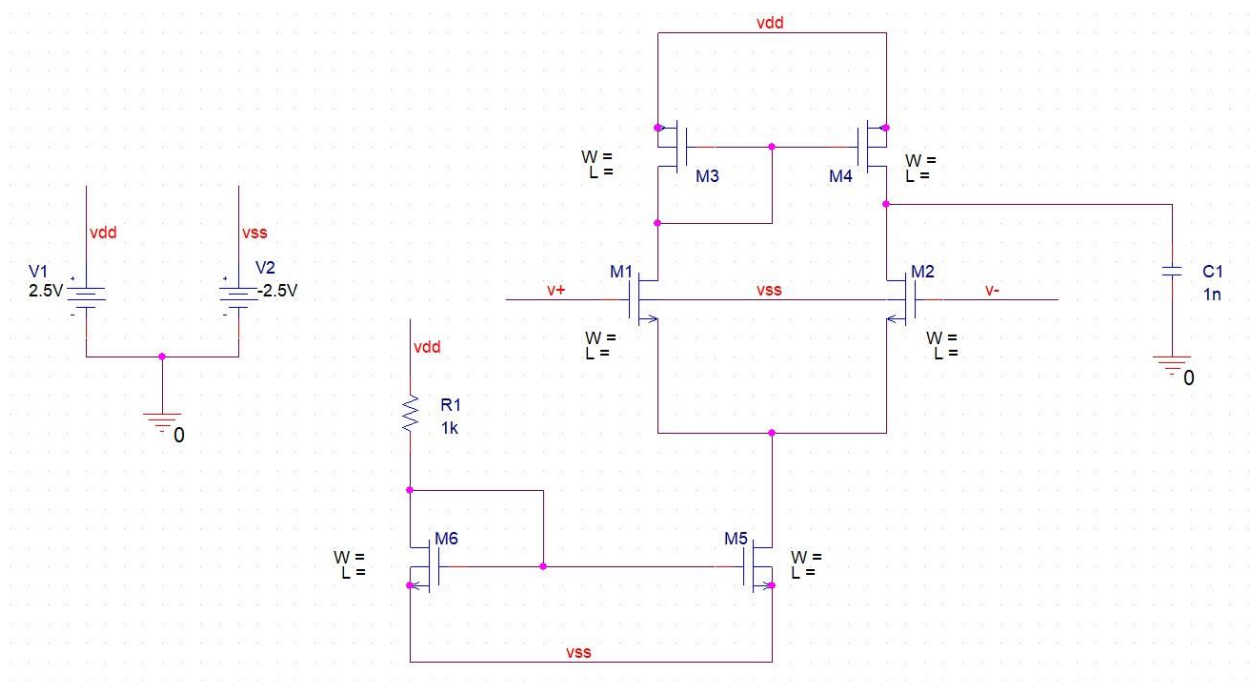
1.3 Analisi di modo comune

Applicare il modo comune in ingresso vuol dire porre $v_{ID}=0$, cioè il segnale applicato sui due ingressi è lo stesso ed è dato da $v_1=v_2=v_{IC}$ dove v_{IC} è detta tensione di ingresso di modo comune.

Teoricamente nell'OTA se $v_{ID}=0$, come abbiamo già visto, dovremmo avere $i_{OUT}=0$ e dunque nessun segnale in uscita. Tuttavia l'analisi fatta presupponeva che tutti i MOS fossero "matchati", cioè che M1-M2 avessero le stesse dimensioni, stessa cosa M3-M4. Nella realtà quando andiamo a realizzare un circuito integrato avremo sempre delle tolleranze nelle dimensioni W ed L dei MOS che andiamo a realizzare, quindi essi non saranno perfettamente matchati tra loro, e ciò dà origine a un'amplificazione del modo comune nell'OTA. Dipendendo dalle dimensioni fisiche dei MOS, A_{VC} non viene ricavato teoricamente nell'OTA (dato che teoricamente è nullo), ma potremo determinarlo sperimentalmente sull'OTA che andremo a realizzare.

2 Dimensionamento dell'OTA

Il circuito che andremo a realizzare in PSPICE è il seguente:



Tuttavia dobbiamo dimensionare gli aspect ratio W/L dei vari MOS, in modo che il nostro OTA rispetti determinate specifiche progettuali da noi richieste. Abbiamo due tipi di specifiche: i vincoli (constraints) imposti dalla tecnologia che stiamo utilizzando, e le specifiche intrinseche dell'OTA (guadagno di modo differenziale, risposta in frequenza, CMRR, ICMR, etc) che vogliamo esso presenti.

Specifiche tecnologia:

$$V_{DD} = -V_{SS} = 2,5V$$

$$k'_n = 110\mu A/V^2$$

$$k'_p = 24\mu A/V^2$$

$$\lambda_n = 0,019 V^{-1}$$

$$\lambda_p = 0,036 V^{-1}$$

$$V_{TN} = 0,77V$$

$$V_{TP} = 0,81V$$

Richieste progettuali specifiche OTA:

$$P_{diss} \leq 1mW$$

$$SR \geq 10 V/\mu s$$

$$C_L = 5pF$$

$$f_{-3dB} \geq 100kHz$$

$$-1,5V \leq ICMR \leq 2V$$

$$A_v \geq 100 V/V$$

Da tali specifiche possiamo ora dimensionare i W/L del nostro OTA, utilizzando le note formule teoriche.

Formule teoriche:

$$SR = I_{SS}/C_L$$

$$P_{diss} = (V_{DD} - V_{SS}) * I_{SS}$$

$$R_{OUT} = \frac{2}{(\lambda_2 + \lambda_4) * I_{SS}}$$

$$f_{-3dB} = \frac{1}{2\pi} \frac{1}{R_{OUT} C_L}$$

$$V_{IC}^{MAX} = V_{DD} - V_{SG3} + V_{TN1} \quad (\text{limite massimo ICMR})$$

$$A_{VD} = G_{MD} R_{OUT} = g_{m1} \frac{2}{(\lambda_2 + \lambda_4) * I_{SS}}$$

$$V_{IC}^{MIN} = V_{SS} + V_{DS5}^{SAT} + V_{GS1} \quad (\text{limite minimo ICMR})$$

Utilizzando tali formule e le richieste delle specifiche dell'OTA, dimensioniamo gli aspect ratio dei vari MOS che compongono l'OTA.

2.1 Specifica sullo slew rate

$$\begin{cases} SR = I_{SS}/C_L \\ SR \geq 10 \text{ V}/\mu s \end{cases} \Rightarrow I_{SS}/C_L \geq 10 \text{ V}/\mu s \Rightarrow$$

$$I_{SS} \geq C_L * 10 \frac{\text{V}}{\mu s} = 5 * 10^{-12} \text{ F} * 10^7 \frac{\text{V}}{\text{s}} = 50 \mu\text{A} \Rightarrow \boxed{I_{SS} \geq 50 \mu\text{A}} \quad \text{Vincolo inferiore sulla } I_{SS}$$

2.2 Specifica sulla potenza dissipata

$$\begin{cases} P_{diss} = (V_{DD} - V_{SS}) * I_{SS} \\ P_{diss} \leq 1 \text{ mW} \end{cases} \Rightarrow (V_{DD} - V_{SS}) * I_{SS} \leq 1 \text{ mW} \Rightarrow$$

$$I_{SS} \leq \frac{1 \text{ mW}}{(V_{DD} - V_{SS})} = \frac{1 * 10^{-3} \text{ W}}{5 \text{ V}} = 200 \mu\text{A} \Rightarrow \boxed{I_{SS} \leq 200 \mu\text{A}} \quad \text{Vincolo superiore } I_{SS}$$

Dalle specifiche sullo slew rate e quelle sulla potenza dissipata abbiamo trovato quindi che deve risultare

$$\boxed{50 \mu\text{A} \leq I_{SS} \leq 200 \mu\text{A}}$$

2.3 Specifica sulla frequenza di taglio

$$\begin{cases} f_{-3dB} = \frac{1}{2\pi R_{OUT} C_L} \\ f_{-3dB} \geq 100kHz \end{cases} \Rightarrow \frac{1}{2\pi R_{OUT} C_L} \geq 100kHz \Rightarrow R_{OUT} \leq \frac{1}{2\pi \cdot C_L \cdot 100kHz} = \frac{1}{2\pi \cdot 5 \cdot 10^{-12} \cdot 10^5}$$

$$\Rightarrow R_{OUT} \leq 318,3k\Omega$$

Dunque fissare un vincolo inferiore sulla frequenza di taglio, va ad imporre un vincolo superiore sulla resistenza di uscita (che non potrà superare tale valore). Ciò va ad influire sul guadagno in tensione, che potremo però comunque regolare modificando la transconduttanza differenziale dell'OTA. Dal vincolo trovato sulla resistenza di uscita, abbiamo:

$$\begin{cases} R_{OUT} = \frac{2}{(\lambda_2 + \lambda_4) \cdot I_{SS}} \\ R_{OUT} \leq 318,3k\Omega \end{cases} \Rightarrow \frac{2}{(\lambda_2 + \lambda_4) \cdot I_{SS}} \leq 318,3k\Omega \Rightarrow I_{SS} \geq \frac{2}{(\lambda_2 + \lambda_4) \cdot 318,3k\Omega}$$

$$I_{SS} \geq \frac{2}{(0,019+0,036) \cdot 318,3 \cdot 10^3} = 114,24\mu A \Rightarrow I_{SS} \geq 114,24\mu A$$

Dunque il vincolo sulla frequenza di taglio impone un altro limite inferiore alla corrente I_{SS} di polarizzazione dell'OTA, in quanto se diminuiamo la corrente oltre tale limite aumenta la resistenza di uscita, e si riduce così la banda a disposizione. Tale limite inferiore va ad aggiungersi alle altre condizioni che avevamo trovato per la I_{SS} , per rispettare i vincoli sulla potenza dissipata e sullo slew-rate, quindi insieme le due condizioni ci danno:

$$\begin{cases} 50\mu A \leq I_{SS} \leq 200\mu A \\ I_{SS} \geq 114,24\mu A \end{cases} \Rightarrow 114,24\mu A \leq I_{SS} \leq 200\mu A$$

L'ultima condizione trovata soddisfa contemporaneamente tutti i requirements su slew rate, potenza dissipata, e frequenza di taglio. Dobbiamo scegliere ora il valore esatto di I_{SS} in questo range. Al fine di mantenere un carattere low power del nostro OTA, ricordando che il limite superiore della I_{SS} era dato dalla potenza dissipata, manteniamoci attorno al limite inferiore, ponendo $I_{SS} = 115\mu A$.

2.4 Limite ICMR superiore

L'Input Common Mode Range è quel range di tensione di ingresso di modo comune che lascia l'OTA nella zona lineare della sua transcaratteristica, cioè quella zona in cui il guadagno A_v si mantiene costante; affinché avvenga ciò quindi tutti i MOS che compongono l'OTA devono mantenersi in saturazione. Ciò ci dà un limite minimo ed un limite massimo per l'ICMR, oltre i quali il punto di lavoro dell'OTA si sposta troppo al di fuori della zona lineare della transcaratteristica e qualche MOS inizia ad andare in triodo. Imponendo dunque che tutti i MOS dell'OTA funzionino in saturazione, si trovano le due formule per i limiti massimo e minimo dell'ICMR:

$$\begin{cases} V_{IC}^{MIN} = V_{SS} + V_{DS5}^{SAT} + V_{GS1} \\ V_{IC}^{MAX} = V_{DD} - V_{SG3} + V_{TN1} \end{cases}$$

Il limite di ICMR Massimo, V_{IC}^{MAX} , permette di fissare l'aspect ratio di M3 ed M4 (i due MOS dello specchio semplice che costituisce il carico attivo), in quanto appunto V_{IC}^{MAX} è correlata a V_{SG3} ed inoltre i due MOS M3 ed M4 devono avere lo stesso aspect ratio in quanto costituiscono uno specchio di corrente, non un moltiplicatore di corrente (solo in tal caso avremmo aspect ratio differenti).

Dall'equazione per V_{IC}^{MAX} , invertendola, e considerando che è stato richiesto un ICMR superiore di almeno 2V, abbiamo:

$$V_{SG3} = V_{DD} + V_{TN1} - V_{IC}^{MAX} = 2,5V + 0,77V - 2V = 1,27V$$

La V_{SG3} ora è correlata all'aspect ratio di M3 mediante la formula della corrente in saturazione, cioè:

$$I_{D3} = \frac{1}{2} k'_p \frac{W_3}{L_3} (V_{SG3} - |V_{TP}|)^2$$

che invertita ci dà:

$$V_{SG3} = \sqrt{\frac{2I_{D3}}{k'_p \frac{W_3}{L_3}}} + |V_{TP}|$$

Dunque la V_{SG3} , a parità di corrente I_{D3} (che ricordiamo esser pari a $I_{D3} = I_{D1} = I_{SS}/2$ in quanto la corrente di polarizzazione generata da M5 si suddivide in due parti uguali quando siamo nel punto di lavoro statico), viene determinata da W_3/L_3 che quindi andremo a fissare per avere la V_{SG3} desiderata (invertiamo o la formula precedente, oppure quella sulla corrente di drain di M3):

$$\frac{W_3}{L_3} = \frac{2I_{D3}}{k'_p * (V_{SG3} - |V_{TP}|)^2} = \frac{I_{SS}}{k'_p * (V_{SG3} - |V_{TP}|)^2} = \frac{115 * 10^{-6}}{24 * 10^{-6} * (1,27 - 0,81)^2} \approx 22,6$$

Abbiamo trovato l'aspect ratio di M3 ed M4 necessario ad avere un ICMR massimo di 2V.

Osservazione: se volessimo un limite superiore di ICMR più elevato (esempio 2,1V) dovremmo aumentare W_3/L_3 in quanto una V_{IC}^{MAX} più grande impone una V_{SG3} più piccola, ottenibile secondo la formula sopra soltanto imponendo un W_3/L_3 più grande. Quindi approssimiamo l'aspect ratio di M3 per eccesso, ponendo $W_3/L_3 = 23$, in modo da soddisfare sicuramente (a livello teorico) la V_{IC}^{MAX} richiesta. Vedremo tuttavia sperimentalmente che tale calcolo appunto è solo teorico, e nella pratica la V_{IC}^{MAX} sarà effettivamente più bassa di quella richiesta; talvolta non è possibile aumentarla neanche se aumentassimo W_3/L_3 , in quanto si tratta proprio di un limite progettuale di questo circuito: per migliorare il limite superiore dell'ICMR dovremmo proprio cambiare la tipologia di carico attivo utilizzato.

2.5 Guadagno in tensione A_v

$$\left\{ \begin{array}{l} A_{VD} = G_{MD} R_{OUT} = \frac{g_{m1}}{g_{ds2} + g_{ds4}} = \frac{\sqrt{2k'_n \frac{W_1}{L_1} I_{D1}^Q}}{(\lambda_2 + \lambda_4) I_{D2}^Q} = \frac{\sqrt{2k'_n \frac{W_1}{L_1} I_{SS}/2}}{(\lambda_2 + \lambda_4) I_{SS}/2} = \frac{2\sqrt{k'_n \frac{W_1}{L_1} \frac{1}{I_{SS}}}}{\lambda_2 + \lambda_4} \\ A_{VD} \geq 100 \text{ V/V} \end{array} \right.$$

$$\frac{2\sqrt{k'_n \frac{W_1}{L_1} \frac{1}{I_{SS}}}}{\lambda_2 + \lambda_4} \geq 100 \quad \rightarrow \quad 4 * \left(k'_n \frac{W_1}{L_1} \frac{1}{I_{SS}} \right) \geq 100^2 * (\lambda_2 + \lambda_4)^2 \quad \rightarrow$$

$$\frac{W_1}{L_1} \geq \frac{I_{SS}}{4k'_n} * 100^2 * (\lambda_2 + \lambda_4)^2 = \frac{115 * 10^{-6}}{4 * 110 * 10^{-6}} * 100^2 * (0,019 + 0,036)^2 = 7,9$$

$$\frac{W_1}{L_1} \geq 7,9$$

Dunque per avere un guadagno di 100V/V, M1 deve avere un aspect ratio di almeno 7,9.

Vedremo tuttavia che sarà necessario fare W_1/L_1 decisamente più grande di questo valore (tanto comunque rientriamo nelle specifiche richieste, il guadagno sarà più elevato di 100V/V) in quanto se utilizzassimo tale valore di aspect ratio per M1, rischieremmo di non far entrare mai in saturazione M5 (il mosfet che alimenta tutto l'OTA), lasciandolo sempre in triodo e dunque il circuito non funzionerebbe come deve.

2.6 Limite ICMR inferiore

La formula per il calcolo del limite inferiore dell'ICMR, come accennato, è:

$$V_{IC}^{MIN} = V_{SS} + V_{DS5}^{SAT} + V_{GS1}$$

Dunque l'ICMR inferiore dipende da M1 (che abbiamo già dimensionato fissando il guadagno A_v) e da M5, dunque resta da dimensionare quest'ultimo imponendo il vincolo sulla V_{IC}^{MIN} ; M6 infine avrà stesse dimensioni di M5, trattandosi di uno specchio di corrente i due mos devono avere stesso aspect ratio.

Calcoliamo la V_{GS1} ottenuta con il W_1/L_1 sopra determinato, e ricaviamo quindi poi la V_{DS5}^{SAT} necessaria ad avere la V_{IC}^{MIN} richiesta di -1,5V.

$$V_{GS1} = \sqrt{\frac{2I_{D1}}{k'_n \frac{W_1}{L_1}}} + V_{TN} = \sqrt{\frac{I_{SS}}{k'_n \frac{W_1}{L_1}}} + V_{TN} = \sqrt{\frac{115 * 10^{-6}}{110 * 10^{-6} * 7,9}} + 0,77V = 1,13V$$

Dunque, tenendo conto che dobbiamo avere $V_{IC}^{MIN} = -1,5V$ avremo:

$$V_{DS5}^{SAT} = V_{IC}^{MIN} - V_{SS} - V_{GS1} = -1,5V - (-2,5V) - 1,13V = -0,13V$$

Ciò rappresenta un problema: la V_{DS5}^{SAT} ci esce negativa, ciò vuol dire che M1 toglie dinamica ad M5, in quanto V_{GS1} è troppo elevata, ed M5 non entrerà mai in triodo in queste condizioni. Devo fare in modo che M5 vada in saturazione profonda, diminuendo la V_{GS1} . Per far ciò aumentiamo l'aspect ratio di M1, portandolo a 95:

$$\frac{W_1}{L_1} = 95$$

Ricalcoliamo la V_{GS1} ottenuta con tale cambio di aspect ratio:

$$V_{GS1} = \sqrt{\frac{I_{SS}}{k'_n \frac{W_1}{L_1}}} + V_{TN} = \sqrt{\frac{115 * 10^{-6}}{110 * 10^{-6} * 95}} + 0,77V = 0,875V$$

La relativa V_{DS5}^{SAT} adesso richiesta per rispettare i limiti dell'ICMR minimo sarà:

$$V_{DS5}^{SAT} = V_{IC}^{MIN} - V_{SS} - V_{GS1} = -1,5V - (-2,5V) - 0,875V = 0,125V$$

Adesso la V_{DS5}^{SAT} è positiva, e ciò implica che M5 potrà andare in saturazione.

Determiniamo ora infine W_5/L_5 semplicemente utilizzando la formula per la corrente di saturazione di M5:

$$I_{SS} = I_{D5} = \frac{1}{2} k'_n \frac{W_5}{L_5} (V_{GS5} - V_{TN5})^2$$

Ma $V_{GS5} - V_{TN5} = V_{DS5}^{SAT}$ quindi:

$$I_{SS} = I_{D5} = \frac{1}{2} k'_n \frac{W_5}{L_5} (V_{DS5}^{SAT})^2$$

Da cui:

$$\frac{W_5}{L_5} = \frac{2I_{SS}}{k'_n (V_{DS5}^{SAT})^2} = \frac{2 * 115 * 10^{-6}}{110 * 10^{-6} * 0,125^2} = 133,81 \approx 134$$

2.7 Tabella riassuntiva design OTA e dimensionamento resistenza dello specchio semplice

Con gli aspect ratio determinati, fissiamo $L=1\mu m$ per tutti i MOS e scaliamo quindi W adeguatamente in modo da ottenere gli aspect ratio trovati:

MOS	L	W
M1	$1 \mu m$	$95 \mu m$
M2	$1 \mu m$	$95 \mu m$
M3	$1 \mu m$	$23 \mu m$
M4	$1 \mu m$	$23 \mu m$
M5	$1 \mu m$	$134 \mu m$
M6	$1 \mu m$	$134 \mu m$

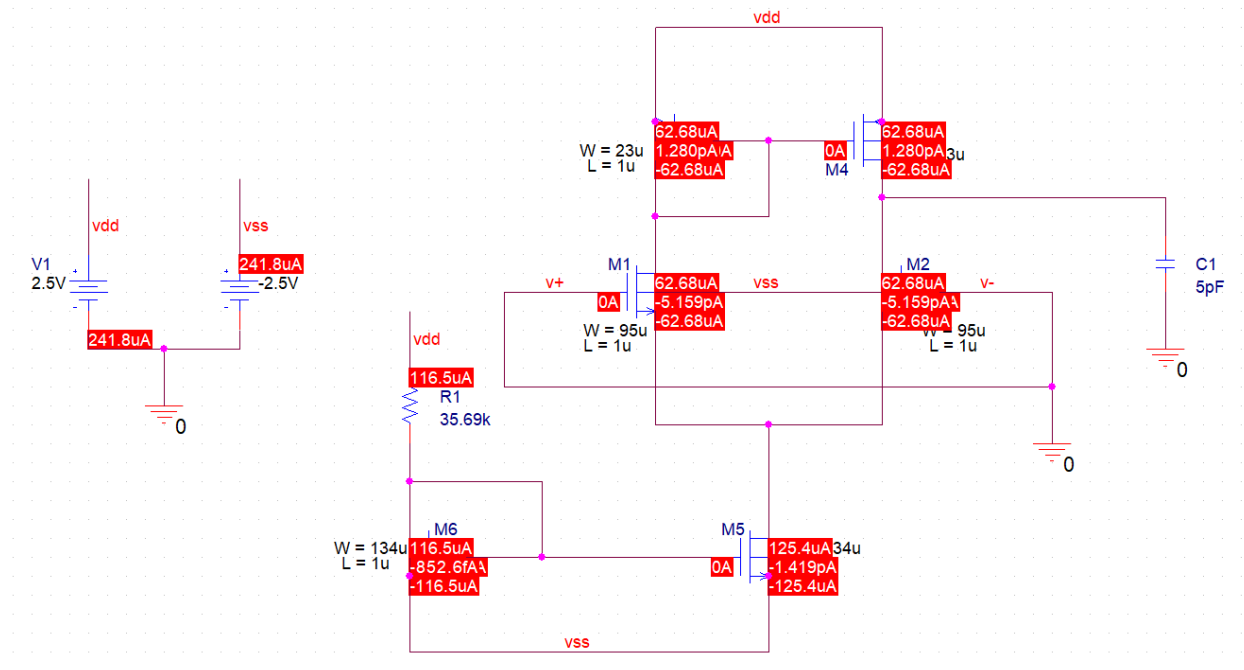
Infine, dimensioniamo la resistenza $R1$ che determina la corrente di riferimento nello specchio, che dev'essere pari a I_{SS} , tenendo conto che $V_{GS6}=V_{GS5}$:

$$V_{GS5} - V_{TN5} = V_{DS5}^{SAT} \quad \rightarrow \quad V_{GS5} = V_{DS5}^{SAT} + V_{TN5} = 0,125V + 0,77V = 0,895V$$

$$V_{DD} - V_{SS} = R_1 I_{RIF} + V_{GS6}$$

$$R_1 = \frac{V_{DD} - V_{SS} - V_{GS6}}{I_{RIF}} = \frac{V_{DD} - V_{SS} - V_{GS5}}{I_{SS}} = \frac{5V - 0,895V}{115 * 10^{-6} A} = 35,69 k\Omega$$

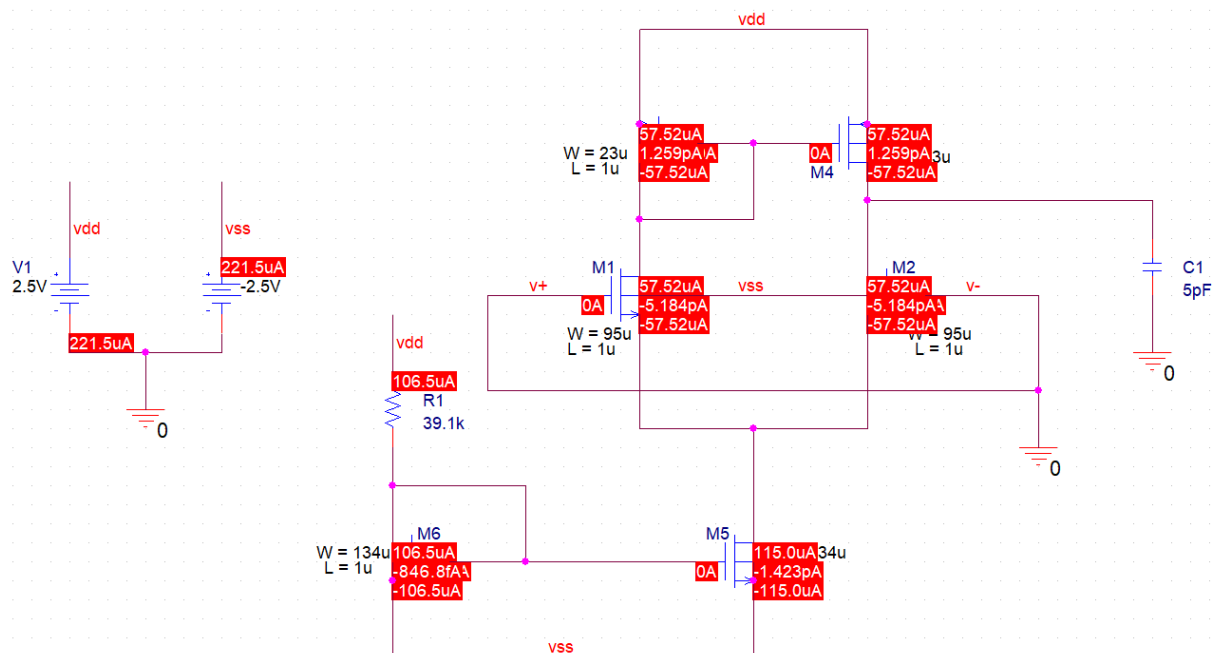
Osservazione: Il valore utilizzato dal docente per $R1$ durante l'esperienza di laboratorio è di $52k$; tuttavia tale valore non assicura la polarizzazione dell'OTA con $I_{SS}=115\mu A$, bensì impone $I_{SS}=80\mu A$ circa, dunque ho optato per utilizzare il valore sopra calcolato, che viene confermato effettivamente anche dall'analisi del bias point dello specchio semplice che polarizza l'OTA, riportato a pagina successiva:



Analisi bias point OTA per $R1=35,69k\Omega$

Si noti come per calcolare il bias point dell'OTA entrambi gli ingressi siano stati cortocircuitati tra loro (in modo da imporre $V_{ID}=0$) e siano stati posti a ground ($V_{IC}=0$).

Osserviamo come in M6 abbiamo effettivamente $116,5\mu A$ molto vicini ai $115\mu A$ richiesti, tuttavia in M5 a causa dell'effetto della modulazione della lunghezza di canale abbiamo $125\mu A$. Se vogliamo avere i $115\mu A$ richiesti, dobbiamo abbassare leggermente il valore della I_{RIF} e dunque alzare il valore di R1. Questo lo facciamo sperimentalmente in PSPICE eseguendo varie simulazioni del bias point ed ottenendo un valore più o meno preciso della I_{SS} per **$R1=39,1k\Omega$** . Utilizzeremo dunque questo valore per l'esperienza.

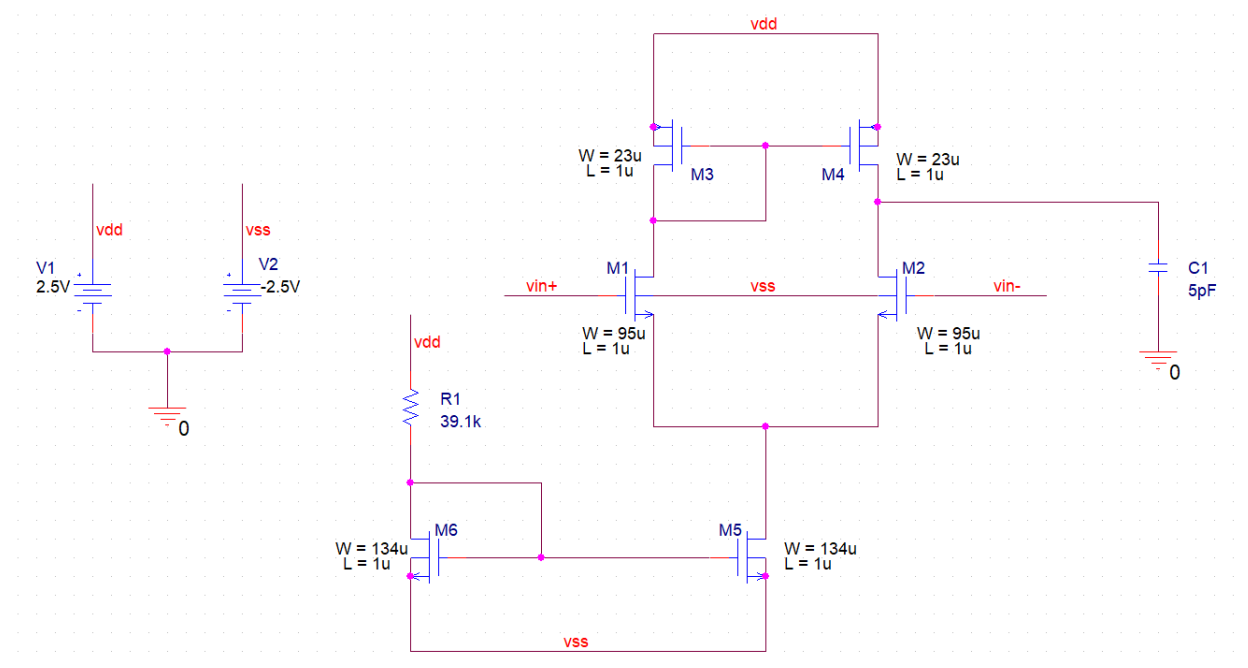


Bias point OTA per $R1=39,1k\Omega$

3 Analisi performance dell'OTA progettato

3.1 Verifica potenza dissipata

L'OTA progettato è qui sotto riportato, con tutti i componenti dimensionati opportunamente:



In primo luogo, dalla simulazione del bias point a pagina precedente possiamo osservare come il requirement sulla potenza sia stato rispettato:

$$P_{diss} = I_{ss} * (V_{dd} - V_{ss}) = 115 * 10^{-6} A * 5V = 0,575mW$$

Decisamente al di sotto della richiesta di mantenere la potenza dissipata al di sotto di 1mW.

Osservazione: nel calcolo della potenza dissipata abbiamo tenuto conto della sola potenza dissipata dall'OTA; se dovessimo tener conto di tutta la corrente erogata dal generatore, includendo quella necessaria a polarizzare il ramo di riferimento M6, la potenza dissipata sarebbe circa il doppio di quella appena calcolata, dunque circa 1mW. Infatti andando nell'analisi del bias point, e aprendo pspice nella sezione "view simulation output file" troviamo la potenza totale dissipata, cioè la potenza totale erogata dal generatore:

TOTAL POWER DISSIPATION 1.11E-03 WATTS

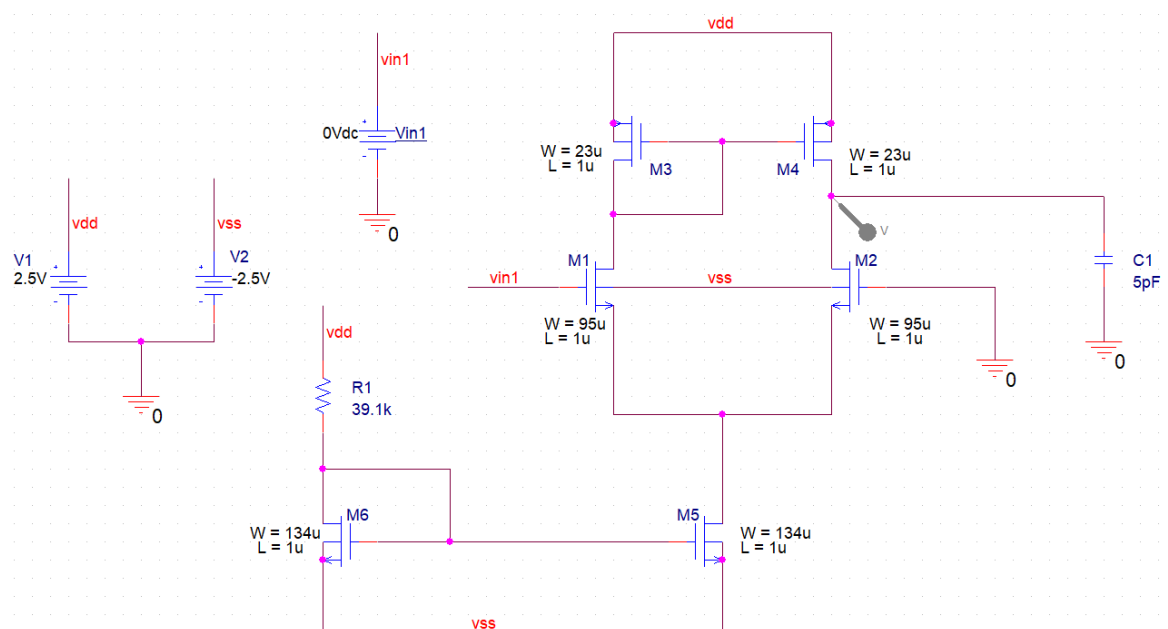
Di questa potenza (che supera di 0.11mW in teoria il requirements di 1mW) soltanto metà circa della potenza è assorbito dall'OTA in sé per sé, l'altra metà viene assorbita dal ramo di riferimento dello specchio che sta generando la tensione di riferimento per M5! Di questa potenza nel calcolo teorico non avevamo tenuto conto; il requirement di 1mW è relativo al solo OTA, senza considerare il ramo di riferimento dello specchio, quindi si può dire che la potenza assorbita è comunque in linea con quanto abbiamo progettato ($0,575mW < 1mW$).

3.2 Estrazione VTC dell'OTA e misura guadagno sulla VTC

Per estrarre la VTC dell'OTA dobbiamo porre a ground l'ingresso $vin-$ di M2, e porre un generatore DC denominato V_{IN1} sull'ingresso $vin+$ di cui dovremo poi fare lo sweep, in modo da avere:

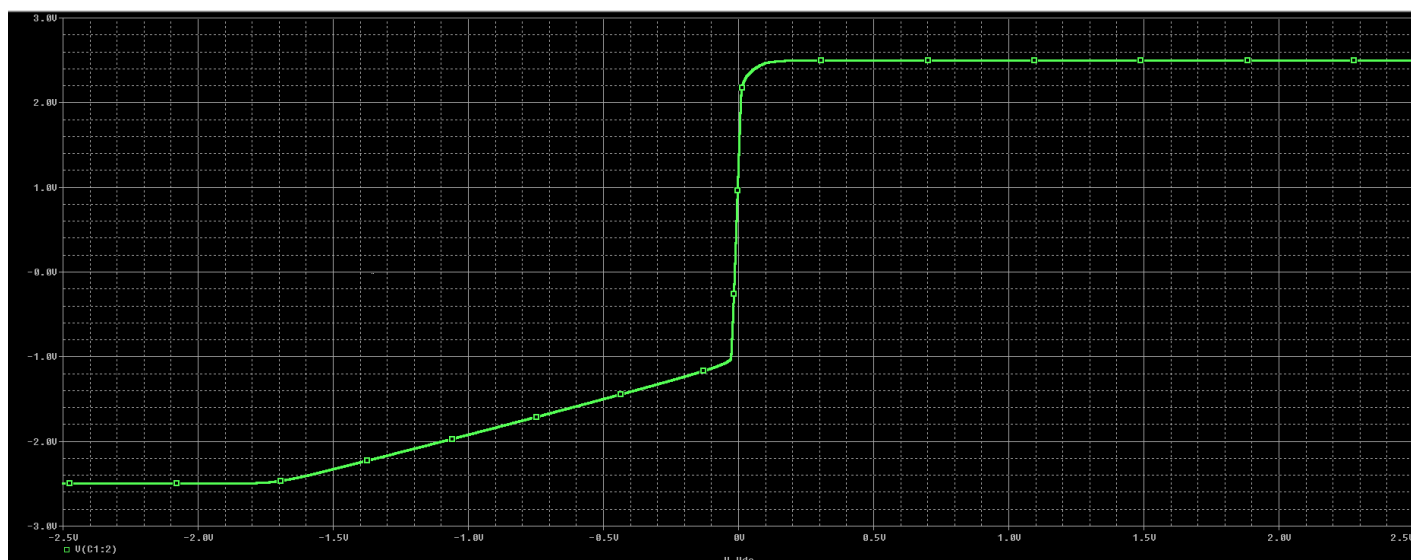
$$\begin{cases} V_{ID} = V_{IN+} - V_{IN-} = V_{IN1} \\ V_{IC} = \frac{V_{IN+} + V_{IN-}}{2} = \frac{V_{IN1}}{2} \end{cases}$$

Il circuito su cui dobbiamo lavorare è quindi il seguente (si noti l'ingresso 2 posto a massa):



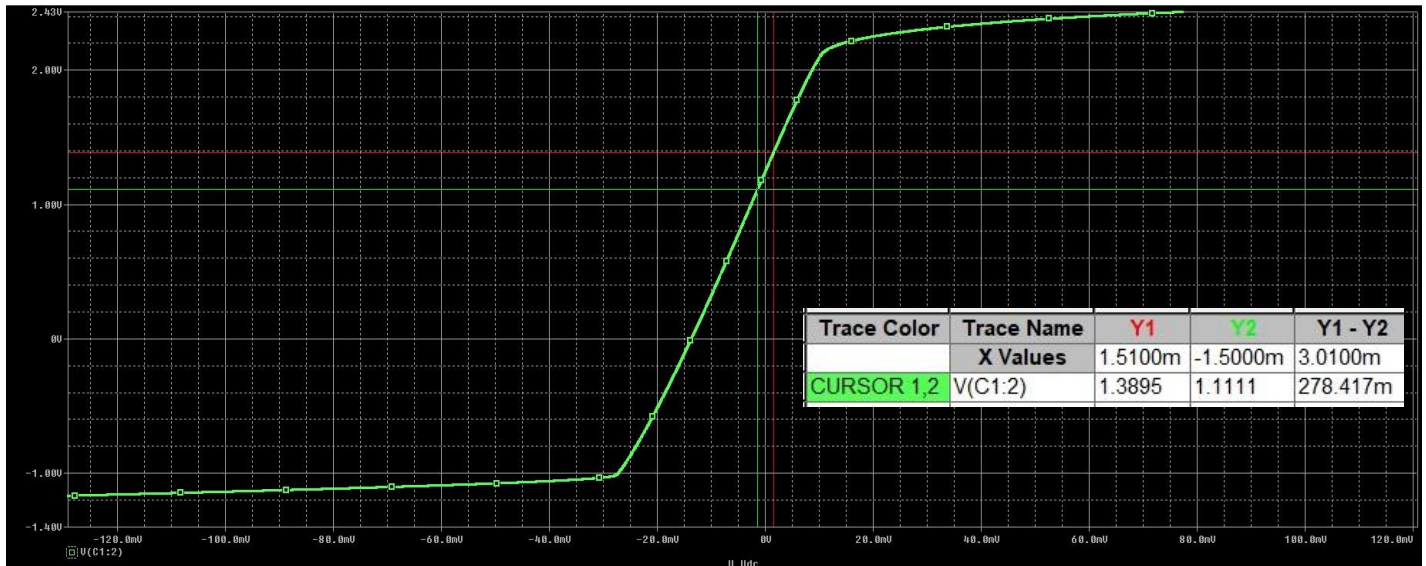
Con tale setup uno sweep del generatore DC V_{IN1} corrisponderà ad uno sweep della V_{ID} stessa (ATTENZIONE! anche V_{IC} varierà, non sarà nulla), e mettendo una sonda di tensione sull'uscita ricaveremo effettivamente la VTC $V_{OUT}(V_{IN1})$ dell'OTA.

Eseguiamo uno sweep del generatore in ingresso V_{IN1} da -2.5V a +2.5V (perché l'alimentazione è duale, l'ingresso va posto nello stesso range) con step 0.01mV. Sotto il risultato ottenuto.



VTC $V_{OUT}(V_{IN1})$ dell'OTA. Sull'asse delle ascisse abbiamo la V_{IN1} mentre su quello delle ordinate la V_{OUT}

Si noti come la VTC è abbastanza centrata in $V_{ID} = 0V$, anche se in tale punto non abbiamo in uscita esattamente $0V$, a causa dell'offset in uscita. Inoltre si noti come la zona lineare della VTC, in cui tutti i MOS sono in saturazione, sia abbastanza ristretta, e come essa abbia pendenza abbastanza ripida (dunque guadagno elevato). Misuriamo il guadagno, ingrandendo la VTC nell'intorno della zona lineare ed usando il solito metodo dei due cursori.



$$A_V = \frac{\Delta V_{OUT}}{\Delta V_{IN1}} = \frac{278,41mV}{3,01mV} = 92,5 \approx A_{VD}$$

Vediamo già che il guadagno è leggermente inferiore rispetto al guadagno di $100V/V$ richiesto.

In realtà il guadagno che stiamo misurando non è un guadagno di modo differenziale puro: abbiamo soltanto segnale sull'ingresso 1, mentre l'ingresso 2 è posto a ground. Ciò implica che il modo comune in ingresso non sarà nullo. Tuttavia il guadagno di modo comune è talmente piccolo che è trascurabile, e in prima approssimazione questo può esser indicato come il guadagno di modo differenziale.

Su tale circuito possiamo misurare anche un altro parametro dalla VTC: il **range di linearità**, cioè piazzandoci in $0V$ sull'asse delle ascisse della VTC (punto di riposo), qual è l'ampiezza massima di emivalore che posso assegnare a un segnale sinusoidale in ingresso (sull'input 1) affinché non venga distorto?



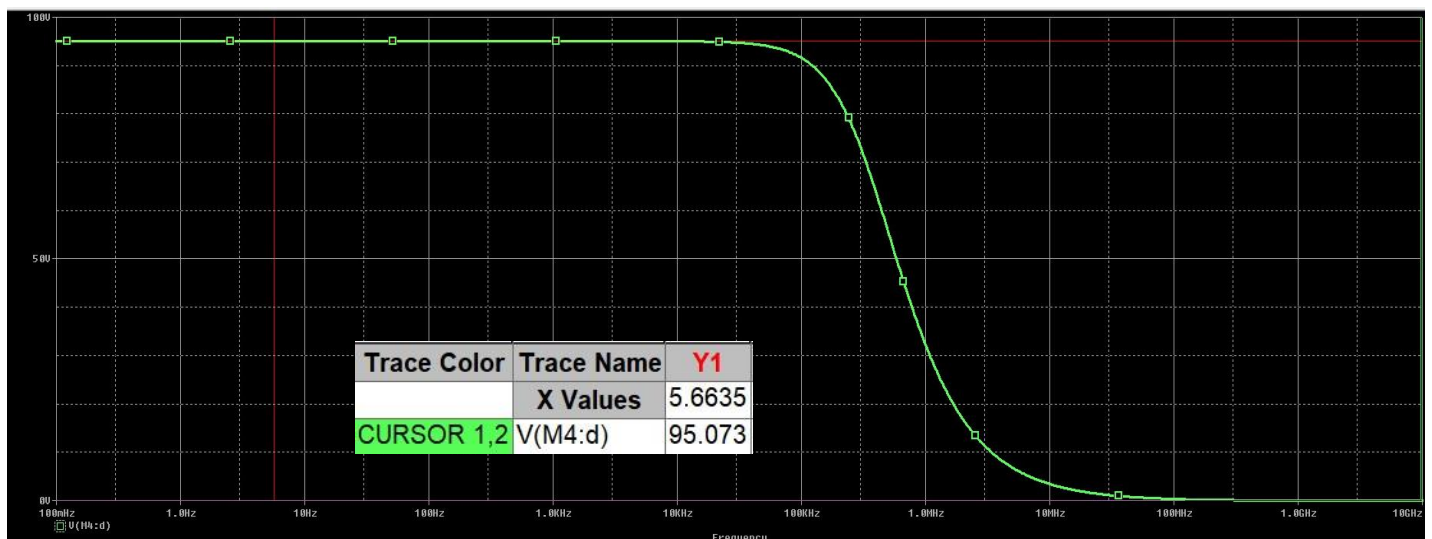
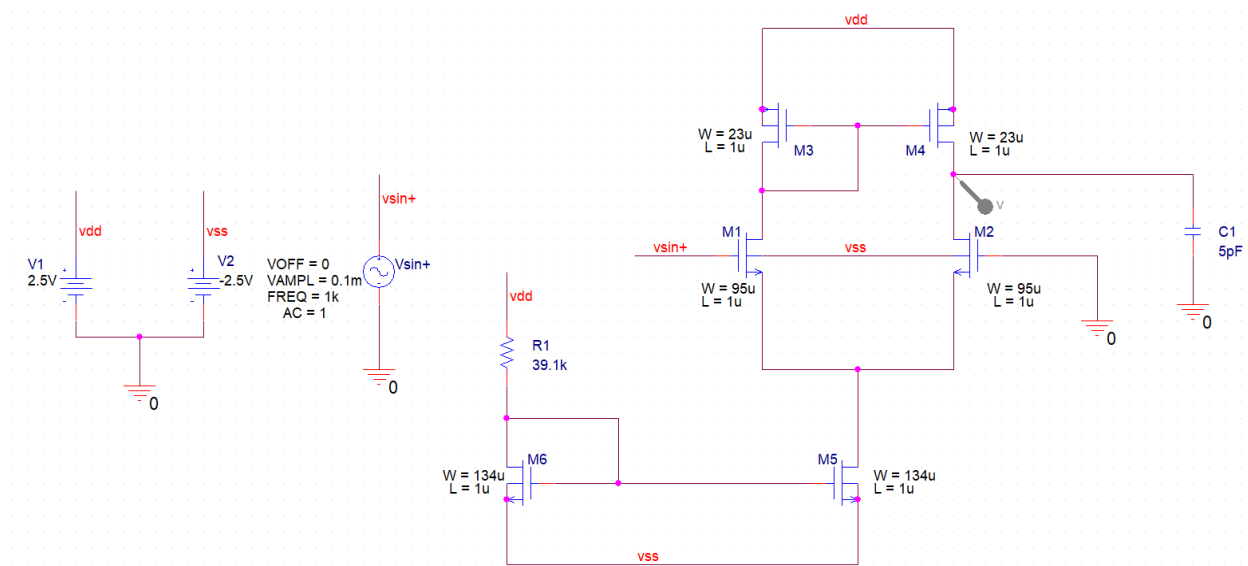
Come si può notare dalla misura sopra effettuata, tale ampiezza massima è di circa 10,36mV; essendo un emivalore, il range di linearità sarà pari al suo doppio (avendo la sinusoide anche escursione negativa nella parte negativa del segnale), dunque:

$$\text{Lin. Range} = 2 * 10,36\text{mV} = \mathbf{20,72\text{mV}}$$

Si noti che se decidessimo di polarizzare l'ingresso dell'OTA con una tensione DC negativa, andando a piazzare il punto di riposo più al centro della zona lineare, aumenteremmo il range di linearità.

3.3 Risposta in frequenza

Adesso, sempre lasciando l'ingresso 2 a ground, mettiamo un segnale sinusoidale sull'ingresso 1 usando il generatore Vsin, con offset nullo (quindi il quiescent point è in 0V sulla VTC), tensione di picco 0.1mV, frequenza 1kHz. Facciamo sweep AC da 0.1Hz a 10GHz, con andamento logaritmico e step di campionamento di 100 punti per decade. Potremo misurare così il guadagno A_v in banda passante (non sarà comunque un guadagno differenziale, in quanto ancora una volta l'ingresso 2 è a massa e quindi $V_{IC} \neq 0$), e la frequenza di taglio a -3dB. Sotto il circuito utilizzato ed i risultati ottenuti:



Frequency response (natural unit) for measurement of A_v gain

Come si può notare il guadagno misurato ora in banda passante è $A_{VD} \approx 95$, leggermente superiore rispetto a quello misurato sulla VTC. Utilizzeremo questo come guadagno di modo differenziale per il calcolo del CMRR. Sotto riportiamo la stessa risposta in frequenza in dB, ottenuta applicando l'operatore dB() alla grandezza plottata:



Frequency response in dB

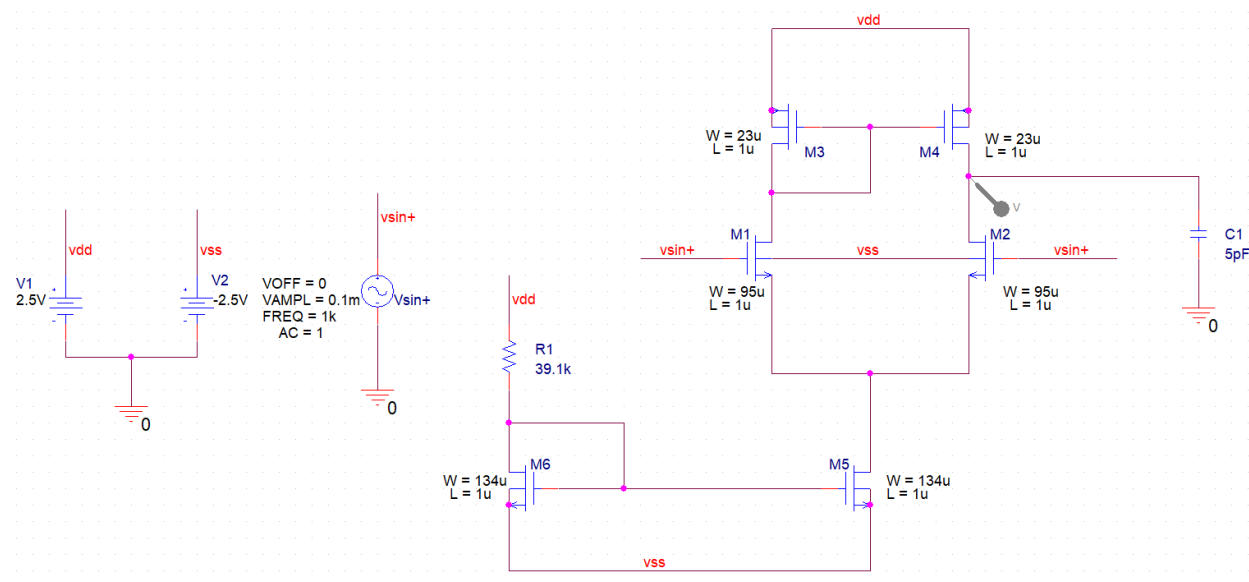
La frequenza di taglio, misurata a -3dB dal guadagno a centrobanda, è di $f_{-3dB} = 361,6kHz$. La specifica sulla risposta in frequenza, che richiedeva una frequenza di taglio di almeno 100kHz, è rispettata.

3.4 Guadagno di modo comune e CMRR

Come sappiamo il Common Mode Rejection Ratio di un amplificatore differenziale è la capacità di reiezione del modo comune, e si misura dunque come rapporto tra il guadagno di modo differenziale e quello di modo comune (il tutto, solitamente, espresso in dB). Teoricamente vorremmo un CMRR infinito, cioè guadagno di modo comune nullo, il che vuol dire che un eventuale modo comune in ingresso verrebbe del tutto soppresso in uscita. Ciò non è possibile, e avremo dunque un CMRR elevato ma finito. Abbiamo già il guadagno di modo differenziale, $A_{VD} \approx 95$, calcoliamo quello di modo comune e potremo calcolare il CMRR.

3.4.1 Calcolo guadagno di modo comune

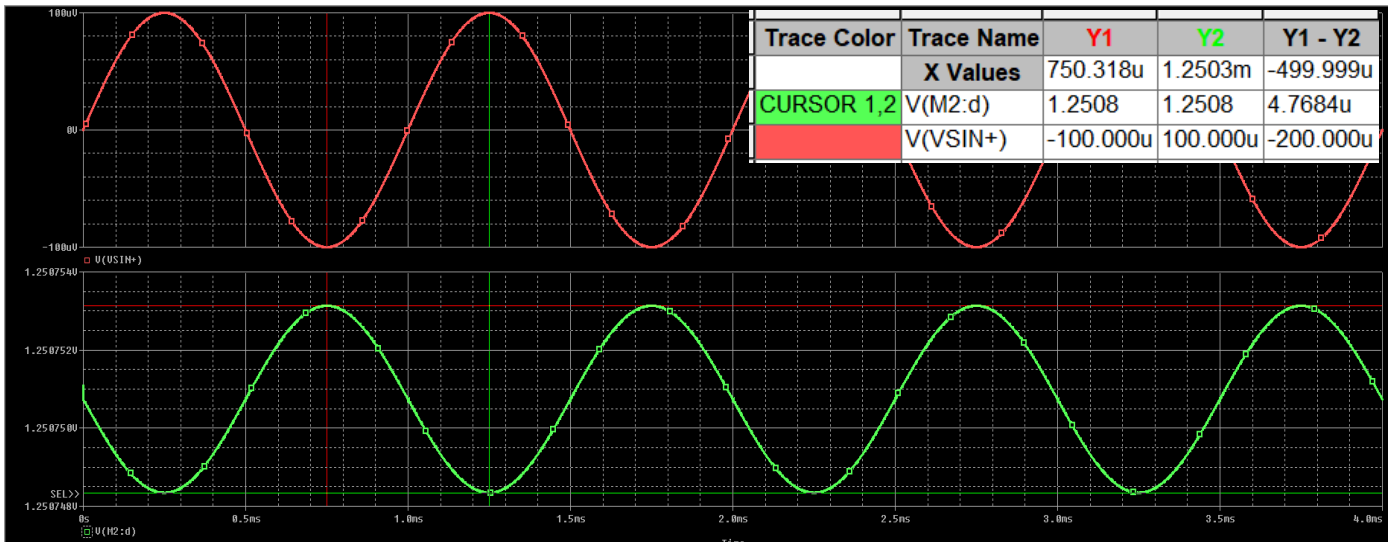
Il circuito per il calcolo del guadagno di modo comune è sotto riportato.



Come si può notare ad entrambi gli ingressi è stato posto lo stesso segnale, v_{SIN+} avente ampiezza di picco pari a 0.1mV. Esso costituirà il segnale di modo comune in ingresso, in quanto:

$$v_{IC} = \frac{v_{in1} + v_{in2}}{2} = \frac{v_{sin+} + v_{sin+}}{2} = v_{sin+}$$

Dunque v_{IC} ha ampiezza di picco 0.1mV ed ampiezza picco-picco 0.2mV. Il fatto che su entrambi gli ingressi abbiamo lo stesso segnale, ci assicura che il segnale di modo differenziale in ingresso sia nullo. Eseguiamo analisi transient, facendo runnare la simulazione per 4ms in modo da vedere più periodi ed impostiamo maximum step size 1 μ s in modo da incrementare la frequenza di “campionamento” del segnale di uscita e ridurre l’aliasing su di esso, che ne distorce la forma d’onda. Sotto il risultato ottenuto e le misurazioni effettuate utilizzando il metodo dei due cursori:



Forma d'onda rossa: segnale di modo comune in ingresso. Forma d'onda verde: segnale in uscita

$$A_{VC} = \frac{v_{OUT}}{v_{IC}} = \frac{4,77\mu V}{200\mu V} = 23,85 * 10^{-3}$$

Il guadagno di modo comune, come ci aspettiamo dalla teoria, è abbastanza basso. L’OTA fa un buon lavoro nella reiezione del modo comune.

3.4.2 Calcolo CMRR

$$CMRR_{dB} = 20 \log_{10} \left(\frac{A_{VD}}{A_{VC}} \right) = 20 \log_{10} \left(\frac{95}{23,85 * 10^{-3}} \right) = 72dB$$

Il CMRR, per trattarsi di un OTA realizzato a scopo didattico, è abbastanza elevato. Se volessimo aumentare ancora di più il CMRR dovremmo sostituire lo specchio semplice composto da M5-M6 con uno specchio avente una resistenza di uscita più elevata, ma che al contempo stesso possiede una buona compliance (per non andar a influire troppo pesantemente sull’ICMR), per esempio un self-biased cascode. Il motivo per cui aumentando la resistenza di uscita migliora il CMRR (e cioè diminuisce il guadagno di modo comune) è che quando applichiamo il modo comune è come se, al fine del guadagno

di modo comune, la coppia differenziale M1-M2 diventasse una coppia di stadi a degenerazione di source; più è elevata la resistenza di degenerazione presente sui source (e tale resistenza di degenerazione sarà appunto la resistenza di uscita dello specchio di corrente che polarizza la coppia differenziale), più piccolo sarà il guadagno di modo comune, in quanto ricordiamo che il guadagno di uno stadio a degenerazione di source è dato da:

$$A_v = \frac{g_m R_D}{1 + g_m R_S}$$

dove R_D è la resistenza di carico presente sul drain (sarà pari a $r_{DS2} // r_{DS4}$ in quanto in questo caso abbiamo un carico attivo), e R_S è la resistenza di degenerazione sul source che sarà pari in questo caso a $2R_{OUT}$ (con R_{OUT} resistenza dello specchio che polarizza la coppia differenziale).

3.5 Slew Rate (trattazione teorica “intuitiva” e misura sperimentale)

Lo slew rate costituisce una misura di quanto “veloce” è un OTA (o genericamente un amplificatore operazionale) nel portare la sua uscita dal livello di tensione basso al livello di tensione alto, o viceversa. Si distingue dunque tra slew rate “positivo” (da basso ad alto) e slew rate “negativo” (da alto a basso). Lo slew rate si misura solitamente in V/ μ s. Teoricamente lo slew rate è un parametro di grande segnale, in quanto stiamo facendo variare l’uscita tra i due livelli di saturazione dell’OTA. Tuttavia esso è strettamente correlato alla risposta in frequenza: un operazionale con una frequenza di taglio maggiore, avrà uno slew rate migliore (più elevato).

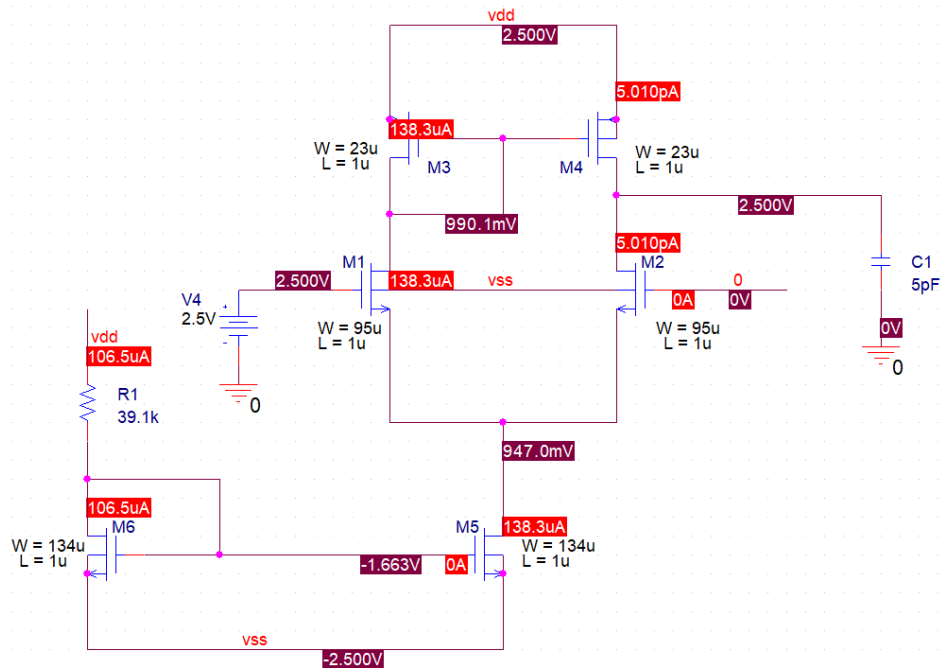
Teoricamente, lo slew rate è dato da:

$$SR = \frac{I_{SS}}{C_{OUT}}$$

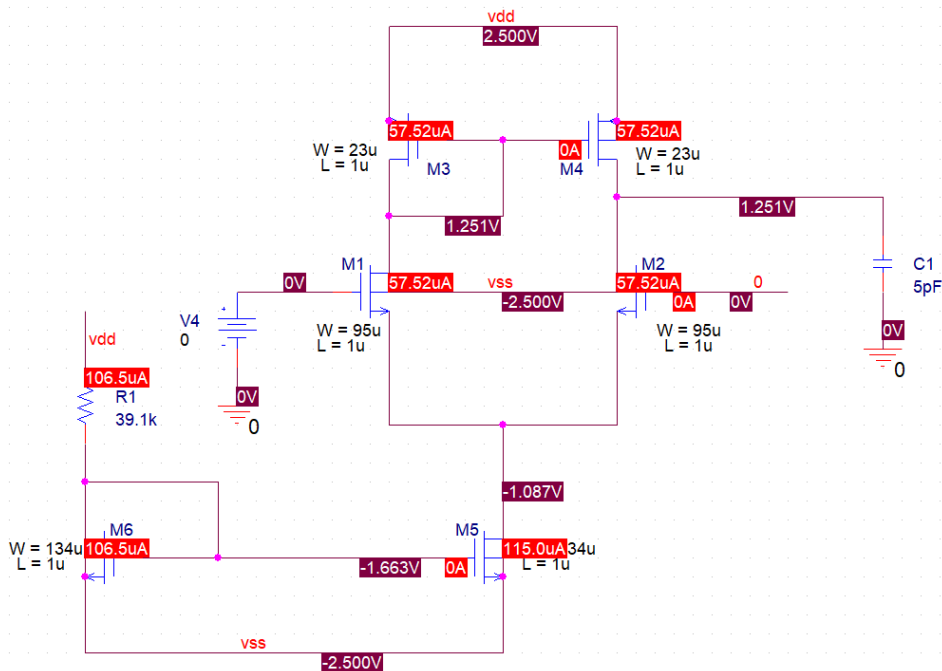
Dove generalmente C_{OUT} è la capacità di carico C_L . Si nota che, a parità di capacità di uscita, lo slew rate è direttamente proporzionale alla corrente di polarizzazione dello specchio, I_{SS} .

Questo perché come già detto lo slew rate è un parametro di grande segnale: esso si misura ponendo un segnale a gradino in ingresso all’operazionale, avente tensione tale da portare l’OTA in uno dei suoi due stati di saturazione (dove per saturazione si intende la saturazione dell’amplificatore, e non dei MOS che invece usciranno fuori dalla zona di saturazione).

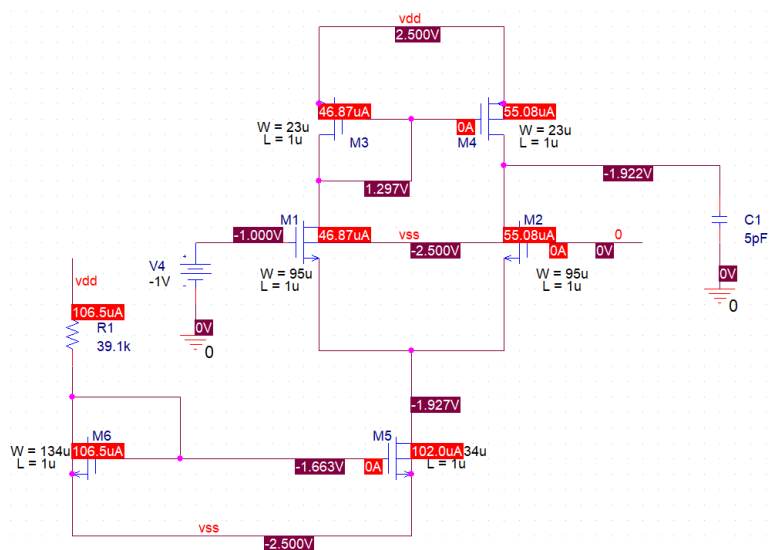
Se per esempio immettiamo un segnale a gradino sull’ingresso 1 che va da alto a basso (mentre l’uscita 2 è a massa), inizialmente quando il segnale di ingresso è a livello alto tutta la corrente I_{SS} generata dallo specchio andrà nel ramo di M1, e avremo corrente quasi nulla nel ramo di M2. Inoltre l’uscita sarà al livello di saturazione alto. Ciò è mostrato nella seguente simulazione bias, ponendo un generatore DC di 2.5V in ingresso all’OTA tale che lo porti in saturazione (simulazione della prima fase del segnale a gradino, da alto a basso):



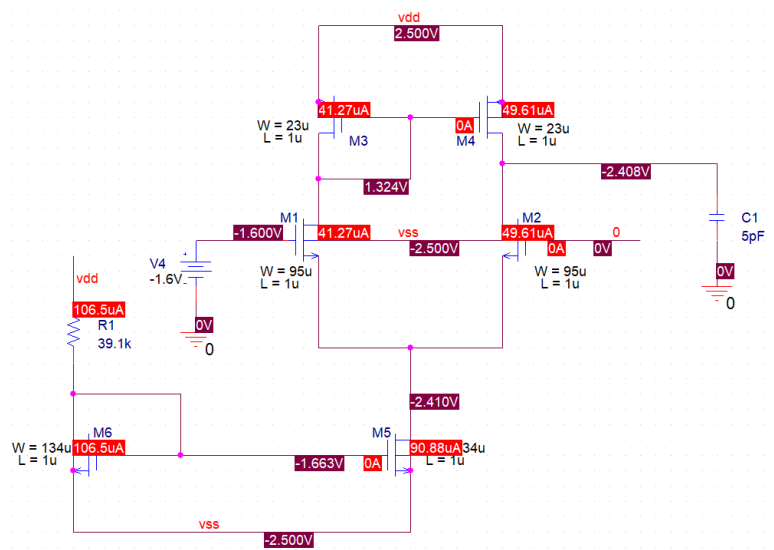
L'OTA è chiaramente saturato, con M1 in triodo (la V_{DS1} è di appena 40mV) ed M2 spento. Tutta la corrente I_{SS} scorre in M1. Appena la polarità del segnale a gradino cambia (dunque abbiamo un fronte di discesa) portandosi a livello basso (-2.5V) la corrente I_{SS} si sposterà rapidamente da M1 ad M2; questo stadio tuttavia non è un differenziale bilanciato, quindi non tutta la corrente I_{SS} andrà in M2 in realtà. Gran parte della I_{SS} va in M2 quando l'ingresso è intorno ad una certa tensione negativa abbastanza piccola vicina agli 0V, dopodichè appena la tensione in ingresso supera un certo valore negativo (misurato sperimentalmente intorno ai -1.5V) M5 inizia ad andare verso lo spegnimento, la I_{SS} diminuisce sempre più e dunque anche M1 ed M2 vanno verso lo spegnimento, non avendo più chi fornisce loro corrente, e in nessuno dei due scorre corrente (nel differenziale bilanciato invece avevamo che tutta la corrente I_{SS} va tutta in M2). Il risultato è che l'uscita dell'OTA ora si dovrà portare dal livello alto, 2.5V, al livello basso, -2.5V. Ciò è mostrato nelle simulazioni bias successive, imponendo una V_{in} prima di 0V, poi di -1V, di -1.6V e poi di -2.5V tale da portare l'OTA al livello di saturazione basso:



OTA con ingresso a 0V. Si noti come la corrente I_{SS} , ora al suo valore nominale di 115uA, si divide in due parti uguali nei due rami

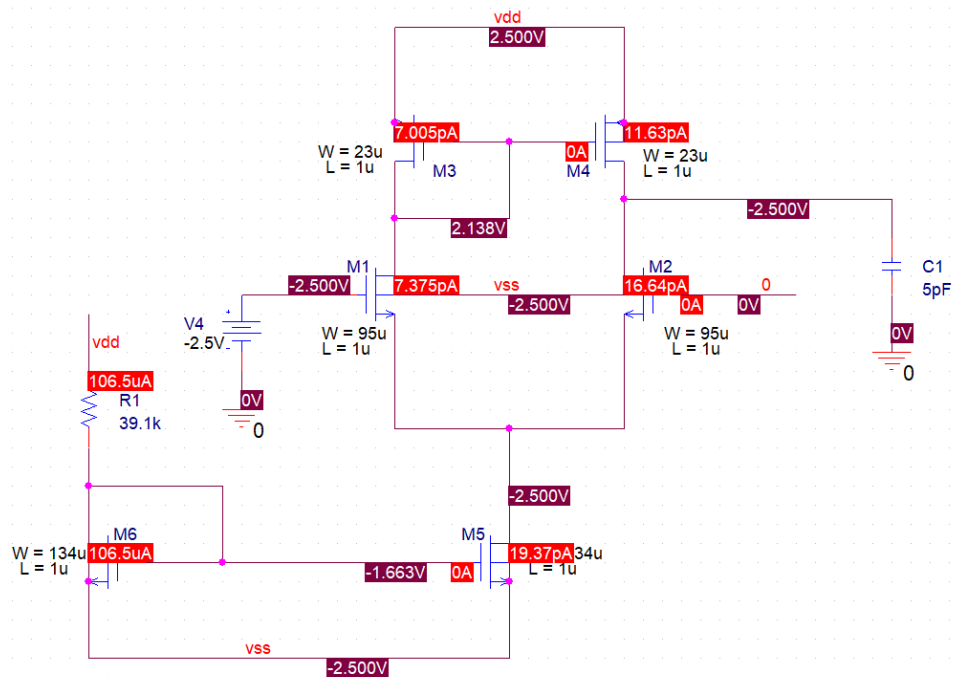


OTA con ingresso a -1V. La I_{ss} inizia a spostarsi prevalentemente sul ramo 2



OTA con ingresso a -1.6V. La I_{ss} inizia a decrescere velocemente

Il motivo per cui la I_{ss} decresce man mano che ci avviciniamo a -2.5V è dovuto al fatto che ci stiamo avvicinando sempre più ai limiti dell'ICMR (che calcoleremo nel capitolo successivo). Per $V_{in} = -2.5V$ entrambe le correnti in M1 ed M2 sono nulle, in quanto si annulla completamente la I_{ss} , essendo totalmente fuori dai limiti dell'ICMR (avevamo imposto un ICMR minimo di -1.5V). Il risultato è che la tensione di uscita sarà di -2.5V, per $V_{in} = -2.5V$:



OTA con ingresso a -2.5V. Si noti come abbiamo corrente nulla sia in M5 che in M1 ed M2, e come l'uscita si trovi a -2.5V, estremo "basso" della saturazione dell'OTA

In sostanza quando facciamo variare l'ingresso V_{in1} da 2.5V a -2.5V (mentre l'ingresso 2 è a ground), l'uscita varierà anch'essa da 2.5V a -2.5V. Tuttavia questa variazione di tensione non può avvenire in maniera quanto rapida desideriamo, c'è un limite legato alla possibilità dell'OTA di erogare corrente sul ramo di uscita e alla capacità di uscita stessa, in quanto sappiamo che per la legge delle capacità:

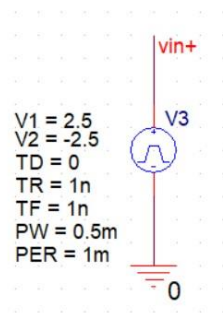
$$\frac{dv_{OUT}}{dt} = \frac{1}{C_{OUT}} i_{OUT}(t)$$

Dunque la capacità in uscita impone un vincolo a quanto velocemente può variare la tensione, e tale limite è legato alla corrente che l'OTA è capace di erogare in uscita.

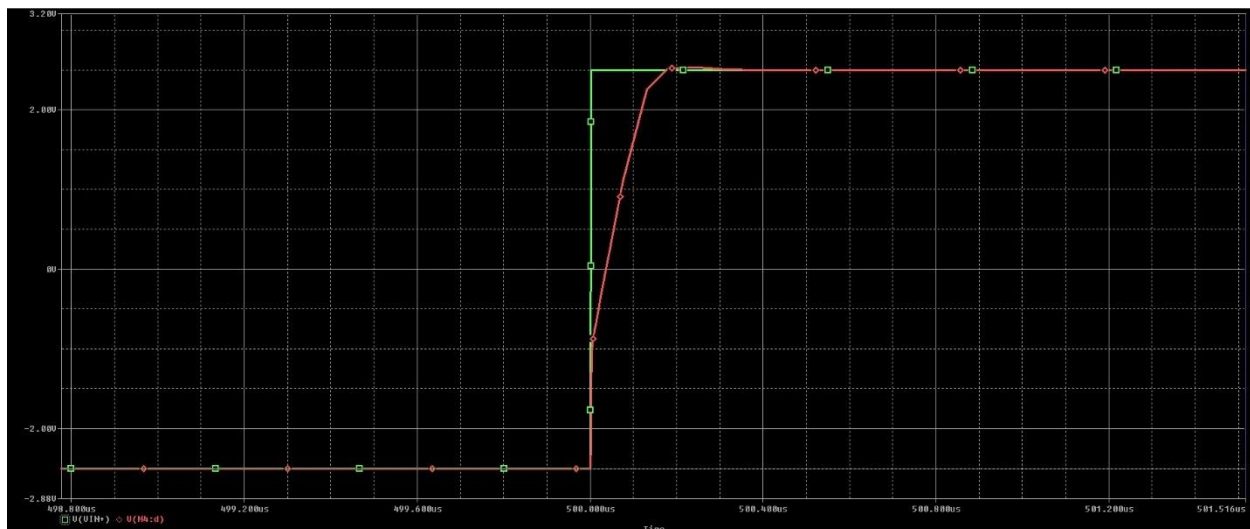
Tale corrente può essere al massimo I_{SS} ma in realtà abbiamo visto che è anche più bassa di essa in questo caso, in quanto appena usciamo un po' dal limite dell'ICMR (cosa che avviene sicuramente quando porto l'ingresso tra i due estremi Vdd e Vss) ho che M5 inizia a spegnersi e dunque riuscirà a caricare la capacità ancora meno velocemente (essendo più piccola la corrente di uscita).

3.5.1 Misura effettiva dello slew rate

Misuriamo ora lo slew rate ponendo l'ingresso 2 a ground, e sull'ingresso 1 poniamo un generatore di segnale rettangolare Vpulse avente i parametri così settati come in figura:

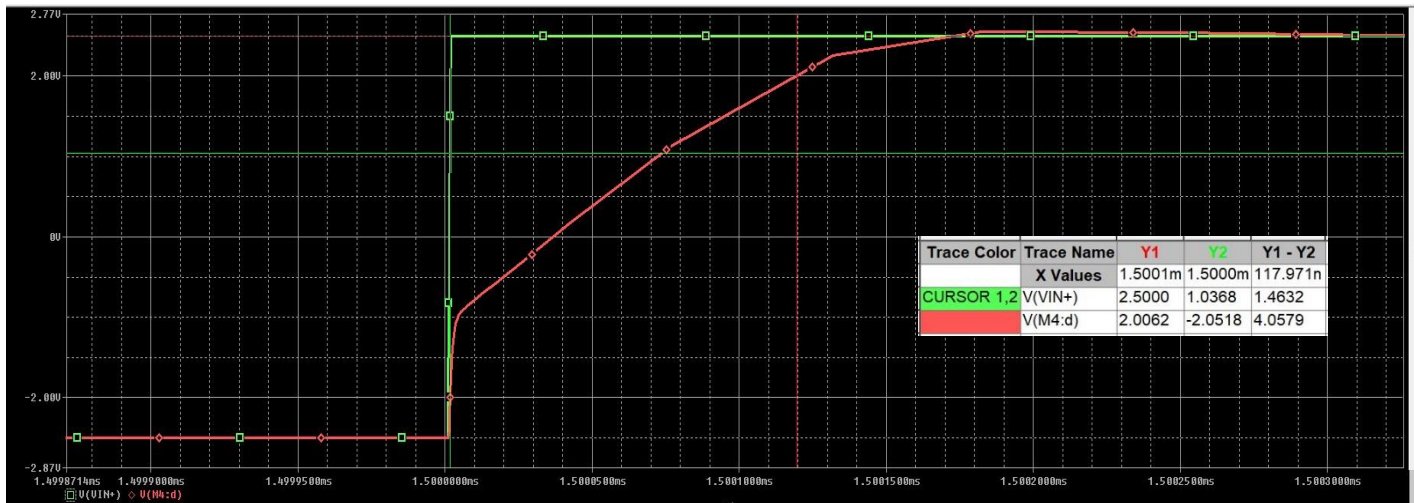


I livelli di tensione dell'ingresso sono tali da portare l'OTA ai limiti di saturazione basso ed alto (come se stesse funzionando da comparatore), e i tempi di salita e discesa TRise TFall sono stati messi apposta molto brevi (1ns): in questo modo stiamo spingendo l'OTA al caso limite, costringendo l'uscita a variare quanto più velocemente possibile, e dunque misureremo il limite intrinseco dello slew rate dell'OTA. Mettendo una probe di tensione sull'ingresso ed una sull'uscita, e ingrandendo su un fronte di salita, abbiamo il seguente andamento:



Verde: forma d'onda in ingresso, tempo di salita 1ns. Rosso: forma d'onda in uscita

Si noti come l'uscita non ce la fa a seguire con la stessa rapidità la forma d'onda in ingresso; si tratta proprio di un limite fisico intrinseco dell'OTA disegnato, non dipende dal segnale di ingresso. Solo se questo fosse molto più lento (tanto quanto lo slew rate dell'OTA) allora l'uscita potrebbe seguire con successo l'ingresso. Effettuiamo la misurazione dello slew rate positivo (sul fronte di salita) ingrandendo ancora di più l'immagine precedente:



Lo slew rate è misurato calcolando quanto tempo ci mette l'uscita a variare dal 10% del suo valore al 90%, dunque approssimativamente calcoliamo sul grafico quanto tempo ci mette a variare l'uscita da -2V a +2V:

$$SR_+ = \frac{\Delta V_{OUT}}{\Delta t_{10\% \text{ to } 90\%}} = \frac{4,05V}{117,97ns} \approx \frac{4,05V}{0,118\mu s} = 34,32 V/\mu s$$

Misuriamo ora lo slew rate negativo mettendoci su un fronte di discesa (la variazione di tensione la riportiamo in modulo):



$$SR_- = \frac{\Delta V_{OUT}}{\Delta t_{10\% \text{ to } 90\%}} = \frac{3,996V}{182,9ns} \approx \frac{4V}{0,183\mu s} = 21,85 V/\mu s$$

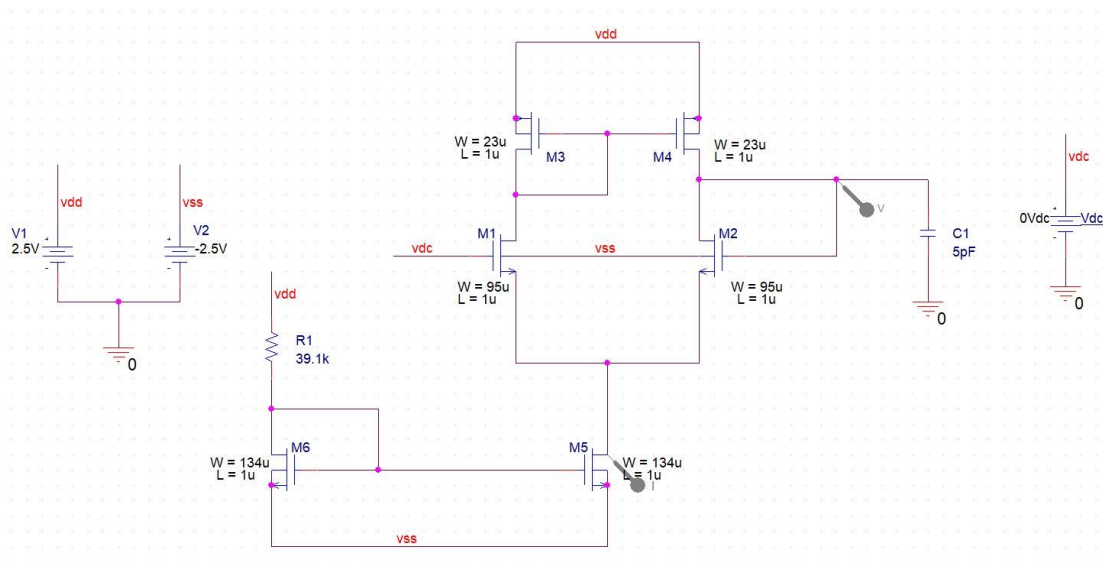
Come possiamo notare, lo slew rate misurato sul fronte di discesa è più piccolo (e dunque più critico) di quello misurato sul fronte di salita, dunque come slew rate nominale dell'OTA si prende quello peggiore, dunque $SR=21,85 \text{ V}/\mu\text{s}$. Si noti come anche la specifica sullo slew rate sia stata rispettata, era stato richiesto uno slew rate minimo di $10\text{V}/\mu\text{s}$.

3.6 ICMR

L'ICMR è definito come quel range di tensioni di modo comune in ingresso, V_{IC} , per le quali l'amplificazione di modo differenziale A_{VD} resta più o meno costante, intorno al suo valore nominale. Il motivo per cui uscendo dall'ICMR l'OTA perde le sue prestazioni è come visto che alcuni MOS vanno in triodo o verso lo spegnimento appena raggiungiamo i limiti dell'ICMR (quando vado verso il limite inferiore dell'ICMR, ho M5 che tende dapprima alla zona di triodo e poi allo spegnimento, facendo spegnere M1 ed M2; quando vado verso il limite superiore ho M1 che tende verso il triodo).

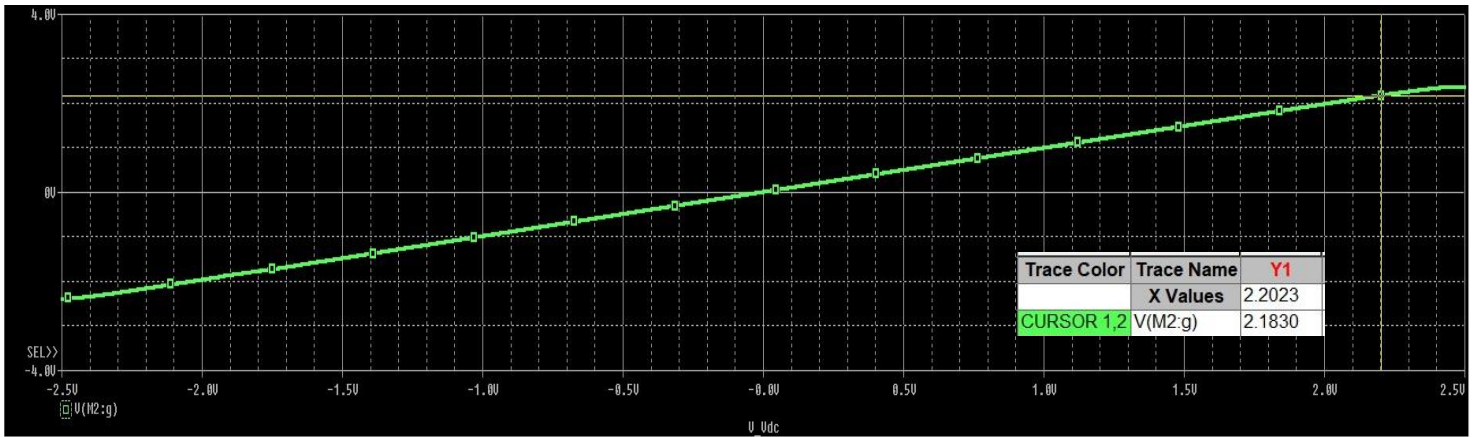
Per misurare effettivamente l'ICMR mettiamo l'ingresso V_{IN-} in cortocircuito con l'uscita, realizzando così la configurazione ad inseguitore di tensione dell'operazionale. L'uscita dovrà in teoria seguire l'ingresso. Quando smette di farlo, vuol dire che siamo usciti fuori dall'ICMR. Questo ci determina il limite superiore (positivo) dell'ICMR.

Per misurare invece il limite inferiore (negativo) dell'ICMR dobbiamo monitorare la corrente di drain di M5. Quando troveremo il "ginocchio" su tale caratteristica, avremo il passaggio di M5 dalla saturazione al triodo, e quindi la corrente I_{D5} inizierà a diminuire vertiginosamente causando un calo delle prestazioni dell'OTA. E' qui che dobbiamo misurare il limite inferiore dell'ICMR, proprio sul ginocchio della corrente I_{D5} . Il circuito realizzato per effettuare le due misure è sotto riportato:



Si noti la configurazione a buffer tra l'uscita e l'ingresso V_{IN-} .

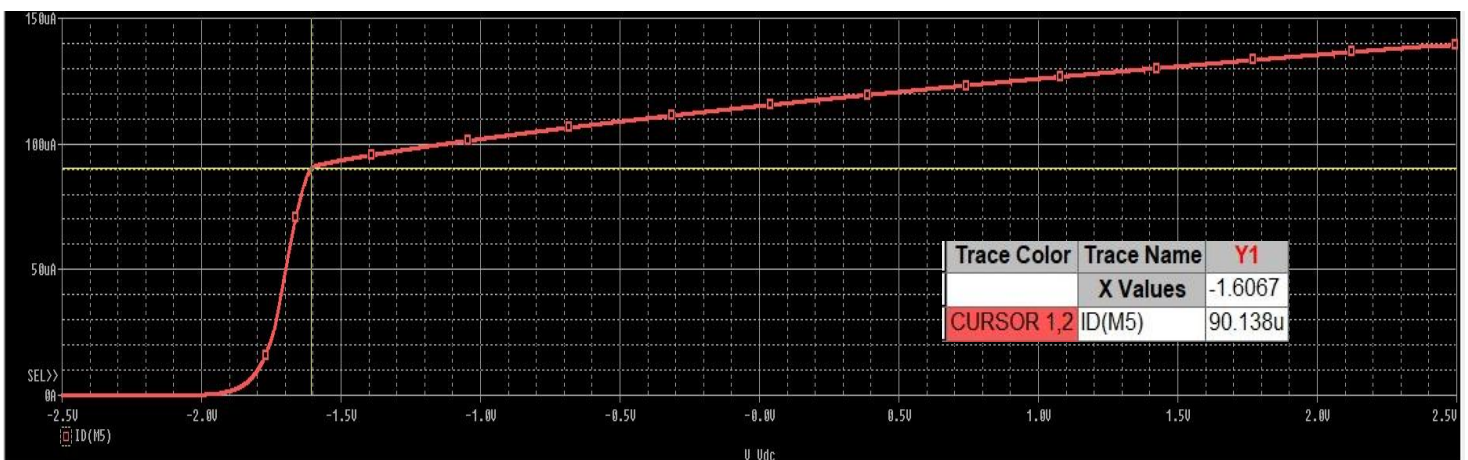
Facciamo un DC sweep del generatore di tensione posto sull'ingresso V_{IN+} portandolo da -2.5V a 2.5V con step di 0.1mV. Poniamo una probe di tensione sull'uscita, e una probe di corrente sul drain di M5. A pagina successiva riporto i grafici e le misure ottenute.



A circa 2,2V in ingresso l'uscita smette di seguire precisamente l'input, ciò è segno che abbiamo raggiunto il limite superiore dell'ICMR, in quanto la configurazione inseguitore di tensione smette di comportarsi da tale, dunque:

$$V_{IC}^{MAX} = 2,2V$$

Nel grafico successivo invece riportiamo la corrente di drain di M5:



Come si può notare se aumentiamo la tensione di ingresso oltre il limite del ginocchio, la I_{D5} (che altri non è che la nostra I_{SS}) inizia a diminuire vertiginosamente, e dunque peggiorano le prestazioni dell'OTA. Ciò è segno che abbiamo raggiunto il limite inferiore dell'ICMR, dunque:

$$V_{IC}^{MIN} = -1,6V$$

Entrambi i dati ci dicono che le richieste di progettazione sono state soddisfatte, in quanto era stato richiesto che fosse:

$$-1,5V \leq ICMR \leq 2V$$

Abbiamo dunque abbondantemente soddisfatto le richieste sull'ICMR.

4 Riassunto risultati ottenuti, confronto con l'OTA progettato dal docente e conclusioni

Riassumo sotto i risultati ottenuti dalle misure, assieme ad un confronto con i risultati ottenuti dall'OTA progettato dal docente, che presenta una resistenza $R1$ dello specchio semplice M5-M6 pari a $52\text{k}\Omega$. Tale valore di resistenza non garantiva una corrente I_{SS} pari a $115\mu\text{A}$, valore nominale che avevamo scelto per la corrente di polarizzazione della coppia differenziale, dunque ho preferito utilizzare il valore ricavato dai calcoli teorici, dopo averne effettuato un fine-tuning con l'analisi del bias point per ottenere esattamente una I_{SS} di $115\mu\text{A}$ nel punto di lavoro DC.

Parametro	OTA relativo a questa esperienza	OTA progettato dal docente
R1	39,1 kΩ	52 kΩ
I_{SS}^Q	115 μA	
Potenza dissipata (dal solo OTA)	0,575mW	0,400mW
VTC Gain	92,5 V/V	96,25 V/V
Range di linearità in ingresso	20,72mV	18mV
AC Gain	95 V/V	100 V/V
Frequenza di taglio	361,6 kHz	300 kHz
CMRR	72dB	72dB
Slew rate fronte salita	34,32 V/μs	26,3 V/μs
Slew rate fronte discesa	21,85 V/μs	16,4 V/μs
Limite inferiore ICMR (V_{IC}^{MIN})	- 1,6 V	-1,6 V
Limite super. ICMR (V_{IC}^{MAX})	2,2 V	2,2 V

Come si può notare le differenze più grandi (dovute al solo cambio di valore di $R1$ tra i due OTA) sono:

- La I_{SS} , che nell'OTA progettato dal docente è inferiore a quella nominale scelta di $115\mu\text{A}$
- il guadagno, che nell'OTA da me progettato è leggermente inferiore ai 100 V/V richiesti
- la frequenza di taglio, che è superiore di 60kHz circa nell'OTA da me progettato (ovviamente diminuendo il guadagno nel mio OTA, aumenta la frequenza di taglio, valendo anche per l'OTA il trade-off guadagno/frequenza, se aumento uno diminuisce l'altro e viceversa)
- lo slew rate, che ovviamente è più elevato nell'OTA avente I_{SS} più elevata. Si noti come miglioramento delle prestazioni in frequenza e miglioramento dello slew rate vanno di pari passo.

Si noti come l'OTA da me progettato mediante le formule teoriche rispetta effettivamente tutte le richieste della traccia, con la sola esclusione del guadagno che è inferiore del 5% rispetto a quanto richiesto. Ciò è assolutamente normale, in quanto con i calcoli "a mano" è impossibile ottenere la precisione assoluta; ma ci avviciniamo molto al progetto che vogliamo realizzare, delineando una "bozza" su cui poi possiamo effettuare un fine-tuning per ottenere le specifiche

desiderate (in questo caso andando a ritoccare il valore di R_1 , portandolo appunto a 52k; andremo a perdere in banda passante, restando comunque decisamente sopra i 100kHz, ma miglioreremo il guadagno portandolo a circa 100 V/V, dunque rispettando così tutte le specifiche).

Inoltre la comparazione tra i due OTA, perfettamente uguali ma aventi una corrente di polarizzazione più elevata rispetto all'altro, ci permette di notare come **a parità di altri parametri il guadagno e la frequenza dell'OTA sono controllati esclusivamente dalla I_{SS}** , che si può regolare tramite il resistore R_1 . Ciò ci suggerisce che mettendo in configurazione buffer l'OTA (in modo da avere guadagno unitario) e controllando la I_{SS} mediante un generatore controllato opportunamente disegnato, possiamo realizzare un filtro controllato elettronicamente (Voltage Controlled Filter), denominato a volte **filtro Gm-C**, in quanto si basa sull'utilizzo di un elemento denominato "transconduttore", realizzato appunto con l'OTA in configurazione buffer, e un condensatore, cioè la capacità di uscita. Regolando opportunamente la I_{SS} mediante il generatore controllato (per esempio potremmo applicare una tensione di controllo opportunamente generata direttamente sul gate di M_5 , eliminando il ramo di riferimento costituito da M_6 e generando dunque così una I_{SS} controllata dalla tensione di controllo) potremo variare la frequenza di taglio del sistema, ottenendo così appunto un filtro controllato in tensione semplicemente variando la transconduttanza dell'OTA (ecco il motivo per cui viene chiamato filtro Gm-C). Questa rappresenta una delle applicazioni pratiche più interessanti degli OTA, oltre ovviamente all'utilizzo come stadio di ingresso degli amplificatori differenziali.