



CViTEK 音频硬件、结构设计以及器件选用说明

Version: 0.1.1
Release date: 2021-9-06

© 2018-2019 Crystal Vision Intelligence Inc.

This document contains information that is proprietary to Crystal Vision Intelligence Inc.

Unauthorized reproduction or disclosure of this information in whole or in part is strictly prohibited.

修订记录

Revision	Date	Author	Description
0.1.1	2021/09/06	Marlon.Zhang	Initial

法律声明

This data sheet contains information that is confidential to Crystal Vision Intelligence Inc. Unauthorized use or disclosure of the information contained herein is prohibited. You may be held responsible for any loss or damages suffered by Crystal Vision Intelligence Inc. for your unauthorized disclosure hereof, in whole or in part.

Information herein is subject to change without noticed. Crystal Vision Intelligence Inc. does not assume any responsibility for any use of, or reliance on, the information contained herein.

THIS DATA SHEET AND ALL INFORMATION CONTAINED HEREIN IS PROVIDED "AS IS" WITHOUT WARRANTY OF ANY KIND, WHETHER EXPRESS, IMPLIED, STATUTORY, OR OTHERWISE. CRYSTAL VISION INTELLIGENC INC. SPECIFICALLY DISCLAIMS ALL IMPLIED WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, AND FITNESS FOR A PARTICULAR PURPOSE. NEITHER DOES CRYSTAL VISION INTELLIGENC INC. PROVIDE ANY WARRANTY WHATSOEVER WITH RESPECT TO THE SOFTWARE OF ANY THIRD PARTY WHICH MAY BE USED BY, INCORPORATED IN, OR SUPPLIED WITH THIS DATA SHEET, AND USER AGREES TO LOOK ONLY TO SUCH THIRD PARTY FOR ANY WARRANTY CLAIM RELATING THERETO. CRYSTAL VISION INTELLIGENC INC. SHALL ALSO NOT BE RESPONSIBLE FOR ANY CRYSTAL VISION INTELLIGENC DELIBERABLES MADE TO USER'S SPECIFICATION OR TO CONFORM TO A PARTICULAR STANDARD OR OPEN FORUM.

目 录

修订记录.....	2
法律声明.....	3
目 录.....	4
1 概述.....	5
1.1 概述.....	5
1.2 读者对象.....	5
2 原理图与 PCB 设计.....	6
2.1 原理图设计.....	6
2.1.1 SOC Audio GND 设计.....	6
2.1.2 Audio in 原理图设计.....	6
2.1.3 AEC 原理图设计.....	7
2.1.4 Audio out 原理图设计.....	8
2.2 PCB 设计要求.....	8
2.2.1 SOC Audio GND 设计.....	8
2.2.2 Audio in 与 Audio out 信号设计.....	8
2.2.3 AEC 信号设计.....	9
2.2.4 功放设计.....	9
3 音频电声器件选型.....	10
3.1 MIC 选型.....	10
3.1.1 AMP 选型.....	10
3.1.2 Speaker 选型.....	10
4 结构设计说明.....	11
4.1 MIC 结构设计说明.....	11
4.2 Speaker 结构设计说明.....	11
5 总结.....	12

1 概述

1.1 概述

本文档主要介绍 CViTEK 音频设计，包括 MIC、Line in、Audio out、AEC 等在电路图&PCB 设计、结构设计、元器件选型等时需要注意的相关事项与建议。

1.2 读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师
- 结构工程师
- 音频工程师
- PCB Layout 设计工程师

2 原理图与 PCB 设计

2.1 原理图设计

2.1.1 SOC Audio GND 设计

为避免 SOC VDDC&TPU GND 对 Audio GND 造成影响，则 SOC Audio 相关 GND 必须独立出来用 OR 电阻与整个 GND 连接，仅要求 SOC 端需要独立，Audio in 和 Audio out 终端无需独立 GND，详见各 SOC 参考设计电路图；

2.1.2 Audio in 原理图设计

Audio in 如果采用咪头等，要独立供电。

如果采用 Line_in，要做电阻分压后到 CViTEK 的 SOC，一般串联 10K，下地 4.7K 分压。

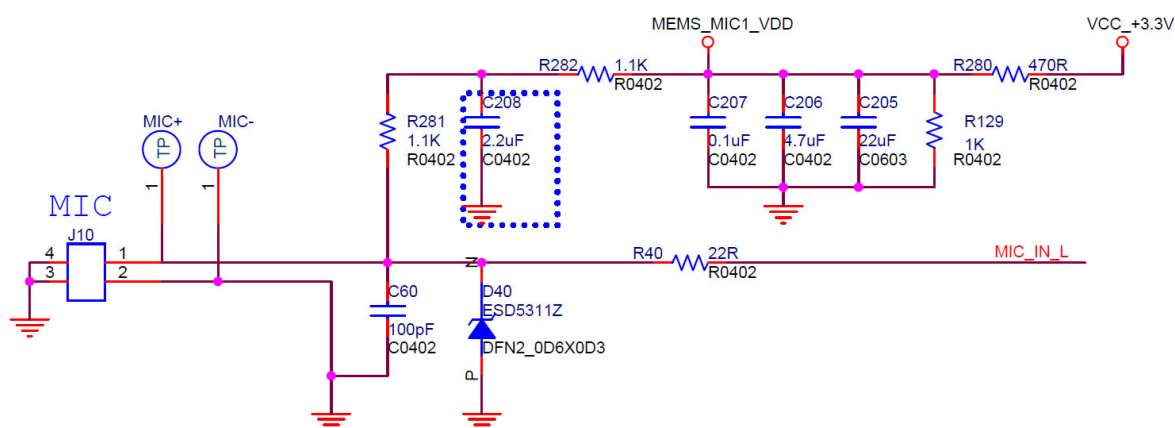
如果采用 MIC 输入，首先要明确是单端 MIC 还是差分 MIC。

单端 MIC：明确其 MIC 的工作电压范围，确保在正常电压范围。

差分 MIC：CViTEK 目前不支持标准的差分 MIC，请找相关同仁评估需求。

供电方式，CViTEK SOC 无 MICBIAS 功能，可采用如下 3 种方式：

1) 采用电阻分压式供电，其 22uF/10uF 一定不能改小，配合 4.7uF+0.1uF，电阻要用 1K 以内，满足一般 MIC 工作电流 500uA 以内的要求；



2) 采用给 Sensor 模拟电压供电 LDO 输出的 2.9V 或者 2.8V，其噪声小，符合 MIC 要求；

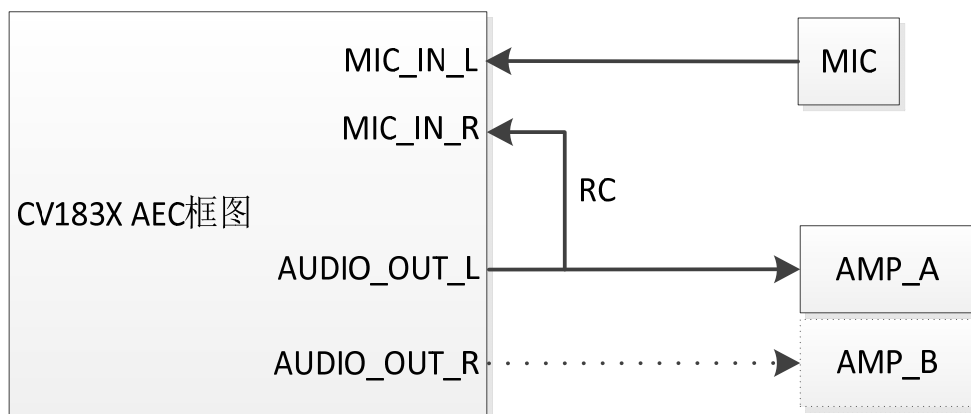
- 3) 其他 Loading 小并且负载单纯的 LDO，只要输出电压范围在 MIC 要求的工作电压范围即可；
- 4) 如上 3 种供电方式，优选“1”Layout 设计方便，验证结果 OK；

2.1.3 AEC 原理图设计

CViTEK 自家 AEC 算法采用硬回踩（软回踩请与 CViTEK 同仁沟通，此处不做详细说明），硬回踩对信号流有要求，并且一定要从 SOC 端引回踩，不能从功放后端引回踩，详见 CViTEK 各 SOC 参考设计电路图，简单说明如下：

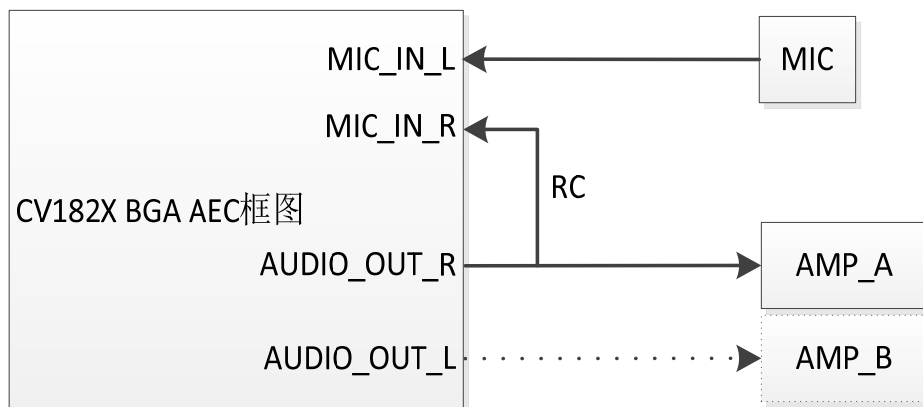
1、CV183X 系列 AEC 设计信号流要求如下：

MIC 从 SOC_MIC_IN_L 进，音频主输出挂在 SOC_AUDIO_OUT_L，之后从 SOC_AUDIO_OUT_L 做 RC 回踩到 SOC_MIC_IN_R；要特别注意 MIC IN 的 L、R 不能反，AUDIO OUT 的 L、R 不能反；

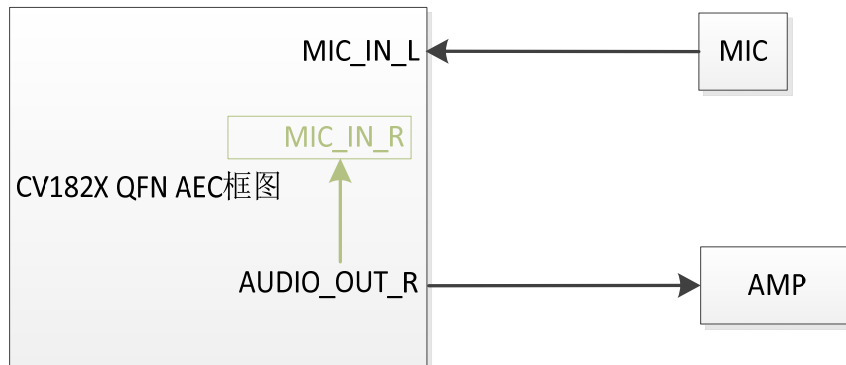


2、CV182X 系列分 BGA 和 QFN，其 AEC 设计信号流要求如下：

BGA：MIC 从 SOC_MIC_IN_L 进，音频主输出挂在 SOC_AUDIO_OUT_R，之后从 SOC_AUDIO_OUT_R 做 RC 回踩到 SOC_MIC_IN_R；要特别注意 MIC IN 的 L、R 不能反，AUDIO OUT 的 L、R 不能反；



QFN: MIC 从 SOC_MIC_IN_L 进, 音频输出挂在 SOC_AUDIO_OUT_R, 之后从 SOC 内部回踩到 SOC_MIC_IN_R;



2.1.4 Audio out 原理图设计

CViTEK Audio out DC 偏置电压在 0.837V。

AMP 电路图设计以通用的方式即可, CViTEK 不做特殊要求。

AMP 的放大倍数要设置合理, 建议的方法是用 0dB 的 Audio 文件, 通过软件把 Audio out Swing 设置到最大, AMP 的放大倍数在此时设置合适的值, 确保功放输出不会出现消顶消低失真, 则既能保证声音够大, 又能保证不会爆音(爆音会影响到 AEC 的效果)。

2.2 PCB 设计要求

2.2.1 SOC Audio GND 设计

SOC Audio GND 与 SOC GND 的 OR 电阻摆放位置要适当远离 SOC 核心区域 GND (此为 SOC VDDC&TPU GND, 较脏)。

2.2.2 Audio in 与 Audio out 信号设计

Audio in 的隔直电容靠近 SOC 端; Audio out 隔直电容如果有 2 颗, 1 颗靠近 SOC 端, 1 颗靠近 AMP 端, 如果仅仅 1 颗优先靠近 AMP 端; Audio in 与 Audio out 走线要尽量远离功率器件和功率走线, 要远离 PWM/CLK/IIC/SPI/UART 等电平变化的信号线, Audio 信号要全程包 GND。

2.2.3 AEC 信号设计

AEC 器件和走线，适当靠近 SOC 端即可，全程包 GND。

2.2.4 功放设计

功放输入端和输出端不能交叉，功放供电电容要尽可能靠近功放，功放输出与 Speaker 座子直接的走线至少要 2 个 VIA 增加通流能力。

3 音频电声器件选型

3.1 MIC 选型

从成本角度考虑，推荐采用引线式模拟单端 MIC，MIC 的指标要求如下：

1. SNR（信噪比） $\geq 58\text{dB}$ （市面上大多数 MIC 都能满足要求）；
2. Sensitivity（灵敏度）：一般选择 -26dB 左右；
3. MIC 建议选择全向型，指向型有拾音角度限制对 MIC 声音大小和 AEC 效果都有一定影响，当然特殊产品一定要指向型也 OK；

3.2 AMP 选型

模拟 AMP 选型以通用型号即可，注意 AMP 功率与 Speaker 功率匹配。

如果要用 IIS AMP，要特别注意找 CVITEK 同仁深入评估其对 AEC 的影响，如果无 AEC 要求则正常设计即可，因为 IIS AMP 只能从 AMP 后端采样，部分 AMP 的工作模式导致后端 audio 信号波形不是直接的 audio 信号波形，要做转换或者有失真，对影响 AEC 效果。

3.3 Speaker 选型

Speaker 推荐的参数指标如下：

1. Sound Pressure Level(S.P.L): $\geq 89\text{dB}$ ，SPL 值越大，其灵敏度越高；
2. 单体基频(F_0): $< 1\text{KHz}$ ，考虑到结合整机结构音腔后， F_0 会发生正偏移（变化后的基频也不能大于 1KHz ），因此建议单体基频最好在 600Hz 左右；单体频响曲线在 1KHz 以上高频段，曲线越平坦越好，在这一频段尽量少一些峰值脉冲波形；
3. 额定阻抗：2W 选择 $4\Omega \pm 15\%$ ，1W 选择 $8\Omega \pm 15\%$ ；
4. 失真率(T.H.D): $\leq 10\%$ ；
5. 音腔：最好是自带后音腔；

4 结构设计说明

4.1 MIC 结构设计说明

注意事项如下：

1. MIC 一定要有单独的音腔设计，音腔能增加 MIC 采集同样音量时信号的幅度；MIC 器件需要外带防震橡胶套，胶套越厚，防震效果越好；
2. MIC 朝向与 Speaker 最好方向相反；如果无法做到，二者之间角度尽量确保让声音信号耦合越小越好；
3. MIC 在结构上的接收孔，一般开 0.8~1.2mm 圆孔，不能太大，会影响音腔的效果。

4.2 Speaker 结构设计说明

注意事项如下：

1. Speaker 要有单独的音腔设计；
2. Speaker 需要有橡胶减震垫，减震垫厚度，经验值 1.2mm，太薄会导致 Speaker 本身的音效变差，同时机械振动传递到结构导致 MIC 破音、回音消除效果差等问题，减震垫不仅需要包裹到 Speaker 周围，还需要在 Speaker 正面非振膜区域；
3. Speaker 与音腔内壁间距的设计，推荐 Speaker 振膜最大幅度处离音腔结构内壁的间距在 1mm~1.2mm 左右；严禁 Speaker 振膜在发声振动时，振膜能贴到机壳内壁；
4. Speaker 发声孔开孔横截面积面积之和相对 Speaker 振膜面积要大于 10~15%；开孔大小在保证防尘兼顾美观的情况下尽量大一些；
5. 不管采用 Speaker 固定螺丝还是打胶的方式，音腔结构尺寸都要包含减震尺寸并确保减震垫充分发挥了作用；

5 总结

在音频设计上，很多厂家和工程师认为产品的音效仅仅取决于音频算法，这是非常片面的认识，音效是一个系统性问题，硬件设计、器件特性、结构设计、算法设计等各自都要做到位，才能让产品的最终效果符合预期。