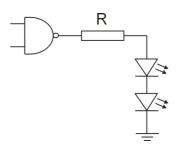
TEORÍA 1er. Parcial (5 cuestiones) (6 puntos). Puntuación: BIEN +1.2 ptos., MAL -0.3 ptos, N.C.: 0

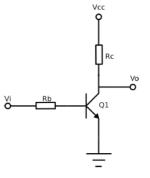
- 1. Dado el circuito de la figura con diodos LED, indique cuál de las siguientes afirmaciones es la **CORRECTA**, teniendo en cuenta que para los LED V_{LED} =1.5V e I_{LED} =10mA, y para la puerta NAND V_{OL} =0.15V y V_{OH} =4.5V.
- [A] Los LED brillarán adecuadamente con una resistencia R mayor que 150Ω.
- [B] Los LED brillarán adecuadamente con una resistencia menor o igual que 300Ω .
- [C] Los LED brillarán adecuadamente con una resistencia R de 150Ω .
- [D] Los LED no llegarán a brillar para ninguno de los niveles lógicos de salida de la puerta NAND.



2. Indique la zona de trabajo del transistor de la figura para una entrada de 3.7 V:

(DATOS: Vcc = 5V; Rb = 100 k Ω ; Rc = 2 k Ω , Q1: $V_{BE(ON)}$ = 0.7V, $V_{CE(SAT)}$ = 0.2V, β = 100)

- [A] CORTE
- [B] ACTIVA
- [C] En el límite entre ACTIVA y SATURACIÓN
- [D] SATURACIÓN



- 3. Con respecto a los parámetros característicos de las familias lógicas y considerando una puerta con salida estándar, marque la respuesta FALSA:
- [A] Un valor negativo de I_{OH} indica que la corriente sale desde la puerta.
- [B] El margen de ruido a nivel alto se define como: NM_H=V_{OHmin}-V_{IHmin}.
- [C] Si la tensión de salida es V_{OH} < V_{OHmin}, no será interpretada correctamente por otra puerta de la misma familia **en ningún caso**.
- [D] Para que la conexión entre dos puertas lógicas funcione de forma adecuada, se ha de cumplir, entre otras cosas que, V_{OL} <= V_{ILmax}.
- 4. Se quiere conectar las salidas de 2 componentes con salida en colector abierto de una familia lógica alimentada a 5 V, y éstas, a su vez a 3 entradas de componentes de la misma familia. Las especificaciones de la familia se indican en la tabla adjunta (teniendo en cuenta que I_{OHmax} = 100 μ A para los componentes en colector abierto). El valor máximo que puede tener la resistencia R_{PU} para respetar las especificaciones y el margen de ruido de la familia, será:

V _{IHmin}	V _{ILmax}	V _{OHmin}	V _{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I _{IHmax}	I _{ILmax}	I _{Ohmax(fugas)}	I _{OLmax}
40 uA	-1.6 mA	100 μΑ	16 mA

[A] $0.41 \text{ k}\Omega$. [B] $25.7 \text{ k}\Omega$.

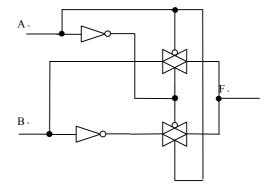
[C] $6.6 \text{ k}\Omega$.

[D] 8,12 k Ω .

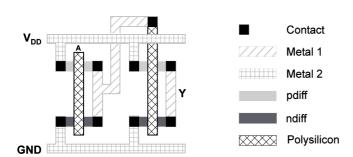
- 5. ¿Cuál de las siguientes afirmaciones sobre el transistor Mosfet es FALSA?
- [A] La corriente de puerta l_G es siempre cero, ya que está aislada.
- [B] Un Mosfet de canal N se encontrará saturado siempre que se cumpla que V_{DS} < (V_{GS}-V_T)
- [C] En la zona de saturación, I_{DS} se mantendrá constante para una V_{GS} dada, aunque varíe la V_{DS} .
- [D] En la zona óhmica y para valores reducidos de V_{DS} , el MOSFET se comporta como una resistencia dependiente de V_{GS} .

TEORÍA 2º. Parcial (8 cuestiones) (6 puntos). Puntuación: BIEN +0.75 ptos., MAL -0.18 ptos, N.C.: 0

- 1. El circuito CMOS de la figura se comporta como:
- [A] Un buffer
- [B] Un inversor con salida triestado
- [C] Un multiplexor 2x1 con canales A y B
- [D] Una función XOR (OR-Exclusiva) de A y B



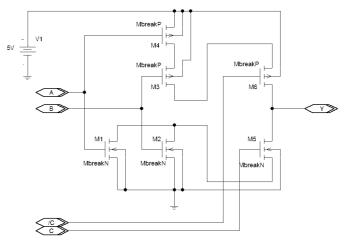
- 2. Con relación a la familia lógica CMOS, indique cuál de las siguientes afirmaciones es FALSA.
- [A] El incremento de la tensión de alimentación V_{DD} reduce los tiempos de retardo de propagación e incrementa el consumo dinámico.
- [B] La subfamilia 74HCXXX es una CMOS de alta velocidad con entradas compatibles TTL.
- [C] En CMOS estándar, la inmunidad al ruido (NM) es aproximadamente un 30% de la tensión de alimentación (V_{DD}).
- [D] En CMOS estándar, el fabricante recomienda un FAN-OUT de 50 para no incrementar los tiempos de retardo y el consumo dinámico.
- 3. ¿Qué tipo de circuito implementa el layout de la figura?



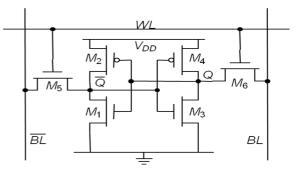
- [A] Un inversor triestado
- [B] Un buffer
- [C] Un buffer triestado
- [D] Una puerta de transmisión CMOS

- 4. Señalar la afirmación FALSA de las siguientes acerca de las memorias semiconductoras:
- [A] Las memorias PROM son memorias no volátiles, de acceso aleatorio.
- [B] Las celdillas de las ROM son fijadas en el proceso de fabricación, por lo que no son programables por el usuario final.
- [C] Las memorias SRAM son de acceso aleatorio y no volátiles, ya que no es necesario que sean refrescadas.
- [D] Las EPROM y las FLASH se basan en celdillas de tipo transistor FAMOS, con una puerta flotante para poner al corte los transistores seleccionados.

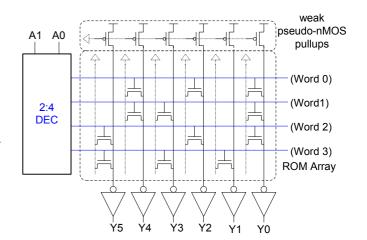
- 5. figura siguiente muestra una puerta lógica de tecnología CMOS. Asumiendo que /C es la inversa de la entrada C, ¿Qué función lógica realiza el circuito?
- [A] Y es una puerta NOR (de las entradas A y B) con salida triestado, siendo la entrada C la entrada de control del triestado.
- [B] Y es una puerta NAND (de las entradas A y B) con salida triestado, siendo la entrada C la entrada de control del triestado.
- [C] Y es una puerta NAND (de las entradas A, B y C).
- [D] Y es una puerta NOR (de las entradas A, B y C).



- 6. En relación con un C.I. de memoria DRAM de 2Mx1, podemos afirmar que:
- [A] Su estructura interna podría ser una matriz de 2¹¹ filas x 2¹⁰ columnas
- [B] Posee una capacidad de 2MBytes.
- [C] Utiliza 20 líneas de direcciones y 1 de datos.
- [D] Si agrupamos 8 del mismo tipo podemos obtener una memoria de 16MBytes.
- 7. Dada la celda de memoria de la figura, indicad la respuesta CORRECTA:
- [A] Es una celda de memoria DRAM 6T
- [B] El proceso de lectura es: precargar BL y /BL a V_{DD}, activar WL a 1 y leer de las líneas de bit.
- [C] Los datos de entrada se sitúan en /BL, y los de salida en BL
- [D] Los transistores de paso M5 y M6 permiten el acceso a la celda en lectura/escritura, cuando WL="0"



- 8. Dada la memoria de la figura, indicad la respuesta FALSA:
- [A] Es una memoria ROM de 4 palabras de 6 bits
- [B] Si A1=1 y A0=1, en el bus de datos se leerá la palabra 100101
- [C] La presencia de un transistor pone un 0 en la celda, que se lee 1 en la salida Yx.
- [D] Los transistores son colocados en el proceso de fabricación, no permitiendo su modificación posterior, y confiriéndole no volatilidad a este tipo de memorias.



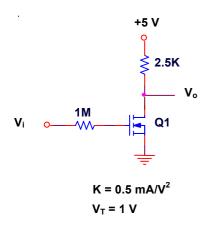
PAGINA INTENCIONADAMENTE EN BLANCO

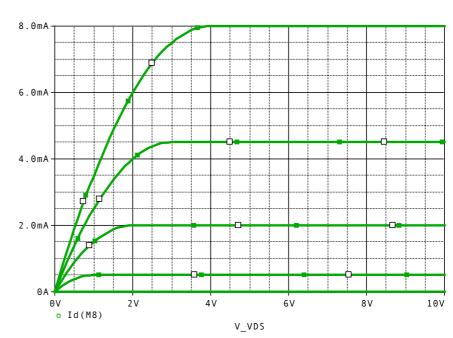
Apellidos: Nombre:

PROBLEMA 1 (4 Ptos.),

El circuito de la figura es un inversor NMOS. Se pide:

Nota: En zona óhmica utilice la expresión aproximada $I_{DS} \approx 2K(V_{GS} - V_T) V_{DS}$, y en saturación $I_{DS} = K(V_{GS} - V_T)^2$





Nota: Las curvas representadas son para incrementos de 1V de V_{GS}.

A) [0.8] Calcule el punto de trabajo Q (V_{GS} , V_{DS} , I_{DS}) y el valor lógico de salida V_o con una entrada a "1" (V_i = 5V). Justifique la respuesta con las necesarias demostraciones.

	$V_{GS} = (V)$	V _{DS} =	(V) I _{DS} =	(mA)	V _o = " "
--	----------------	-------------------	-----------------------	------	----------------------

B) [0.8] Calcule el punto de trabajo $Q(V_{GS}, V_{DS}, I_{DS})$ y el valor de salida V_o con una entrada no digital de V_i = 2V. Justifique la respuesta con las necesarias demostraciones.

C) [0.8] Escriba la ecuación de la recta de carga. Obtenga los puntos de corte con los ejes y dibuje sobre las curvas características, la recta de carga y los <u>dos puntos de trabajo de los apartados anteriores indicando A y B respectivamente</u>. Justifique analíticamente la respuesta.

D) [0.8] Se quiere mejorar la tensión de salida a nivel bajo, de modo que sea menor o igual que 0.2V. Calcule el nuevo valor de la resistencia de drenador R_D . Suponga $V_i = 5V$.

R_D =

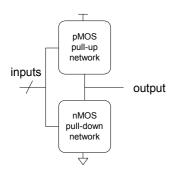
E) [0.8] Partiendo del diseño inicial del inversor, diseñe una puerta NOR de 3 entradas y calcule la tensión de salida V_o cuando hay 2 entradas a 5V y la tercera a 0V. Datos: R_D = 2.5kOhm, K = 0.5mA/V², V_T = 1V

V_o = Volts

Problema 2 (Segundo PARCIAL) (4 PTOS)

A. (1 pto.) Se pretende diseñar la función $F = AB + \overline{AC}$ en lógica CMOS complementaria. Dibuje un esquema con transistores. Justifique el diseño.

Nota: utilice el símbolo simplificado de los transistores



B. (1 pto.) Suponga que el circuito pertenece a un chip con una tensión de alimentación V_{DD} = 2.5V y frecuencia de reloj fclock = 1GHz. Además el factor de actividad medio de las entradas es α = 0.4 y la capacidad media por transistor es C_L = 10 fF (1fF = 10^{-15} F). Calcule la **potencia dinámica** aproximada del circuito, en mW. Incluya en el cómputo los transistores de los inversores necesarios para generar las variables negadas.

- C. (1 pto.) Modifique el esquema de la figura para dotar al circuito de salida triestado. Añada los transistores y las señales de control necesarias.
 - Dibuje el esquema
 - Explique el funcionamiento

- D. **(1 pto.)** Efectúe un diseño alternativo del circuito, basado en **puertas de transmisión CMOS**. <u>Nota orientativa</u>: utilice la estructura del multiplexor inversor.
 - Explique brevemente el diseño
 - Dibuje el esquema con transistores