

SOLUCIONES

EXAMEN DE TCO

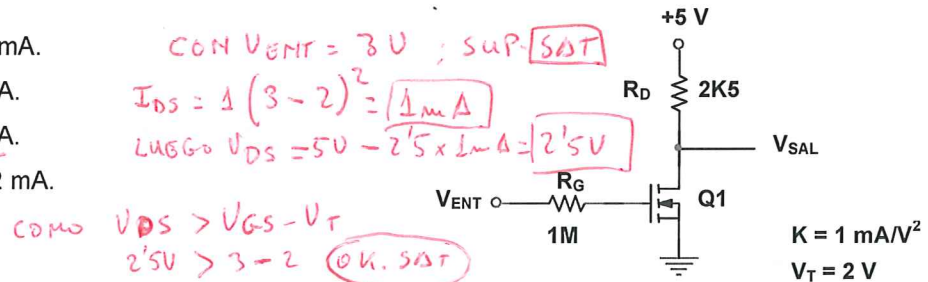
5 de Mayo de 2014

Tipo A

10 Cuestiones de TEORIA (6 puntos) . Puntuación: BIEN:+0.6 puntos., MAL: -0.15 puntos, N.C: 0

1. Indique el punto de trabajo del transistor MOSFET de la figura cuando $V_{ENT} = 3V$

- [A] $V_{DS} = 1.5 V$, $I_{DS} = 1.4 mA$.
- [B] $V_{DS} = 3 V$, $I_{DS} = 0.8 mA$.
- [C] $V_{DS} = 2.5 V$, $I_{DS} = 1 mA$.
- [D] $V_{DS} = 0.2 V$, $I_{DS} = 1.92 mA$.

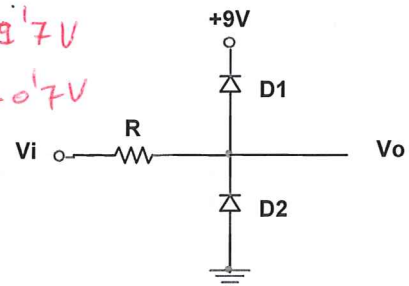


2. Dado el siguiente circuito recortador a dos niveles, indique el rango de valores que pueden obtenerse en la salida del mismo si la entrada varía entre $-10V$ y $+10V$ ($V_f = 0.7V$ para ambos diodos).

- [A] $0.7 V \leq V_o \leq 9.7V$
- [B] $-0.7V \leq V_o \leq 9.7V$
- [C] $-0.7V \leq V_o \leq 8.3V$
- [D] $0V \leq V_o \leq 5V$

$V_{oMAX} = 9V + V_f = 9.7V$

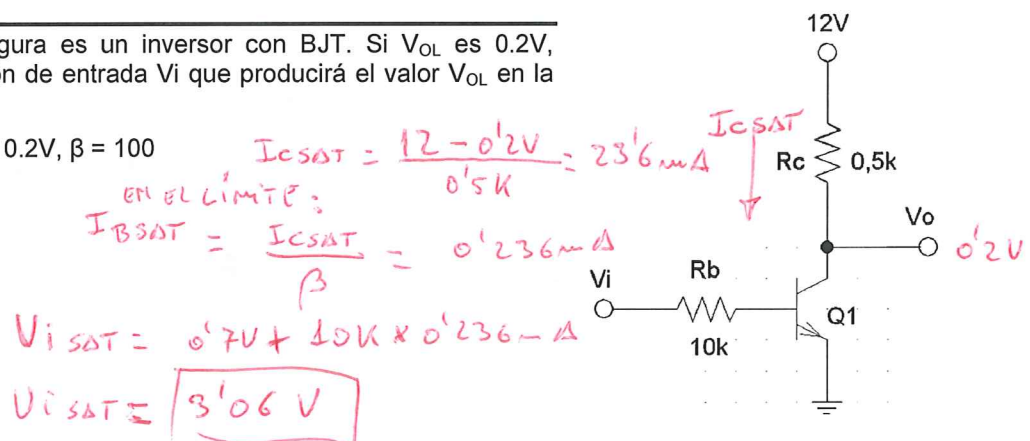
$V_{oMIN} = 0V - V_f = -0.7V$



3. El circuito de la figura es un inversor con BJT. Si V_{OL} es $0.2V$, indique la mínima tensión de entrada V_i que producirá el valor V_{OL} en la salida.

$V_{BE(ON)} = 0.7V$, $V_{CE(SAT)} = 0.2V$, $\beta = 100$

- [A] $0.96V$
- [B] $1.66V$
- [C] $2.36V$
- [D] $3.06V$



4. De entre las siguientes afirmaciones acerca del uso de diodos y BJTs en aplicaciones digitales, señale la respuesta FALSA:

- [A] Se puede construir una puerta OR de tres entradas con tres diodos, una resistencia y cables. ✓ OK
- [B] La tensión de salida a nivel bajo de un inversor basado en BJT NPN es aproximadamente la tensión V_{CEsat} del transistor. ✓ OK
- [C] Se pueden construir puertas NAND y NOR usando únicamente diodos, resistencias y cables. NO
- [D] El consumo de un inversor basado en BJT NPN es nulo cuando la salida está a nivel alto y en vacío (sin conectarle nada). ✓ OK

5. En las tablas adjuntas se indican las características eléctricas de dos familias lógicas A y B. Señale la afirmación CORRECTA:

Familia A			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2V	0.7V	2.5V	0.4V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 μ A	-400 μ A	-400 μ A	4 mA

Familia B			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
3.5V	1.5V	4.95V	0.05V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
10pA	-10pA	-0.5mA	0.5mA

[A] La familia A tiene MEJOR margen de ruido que la familia B, ya que es MENOR. NO

[B] La familia B tiene MEJOR fan-out que la familia A, ya que es MAYOR. SI

[C] El fan-out de la familia A es 20. NO

[D] El margen de ruido de la familia A es 0.5V. NO

6. ¿Cuál de las siguientes afirmaciones sobre el transistor MOSFET de acumulación de canal N es FALSA?

[A] La Fuente y el Drenador son zonas semiconductoras altamente dopadas de tipo N, mientras que el Substrato es de tipo P. ✓

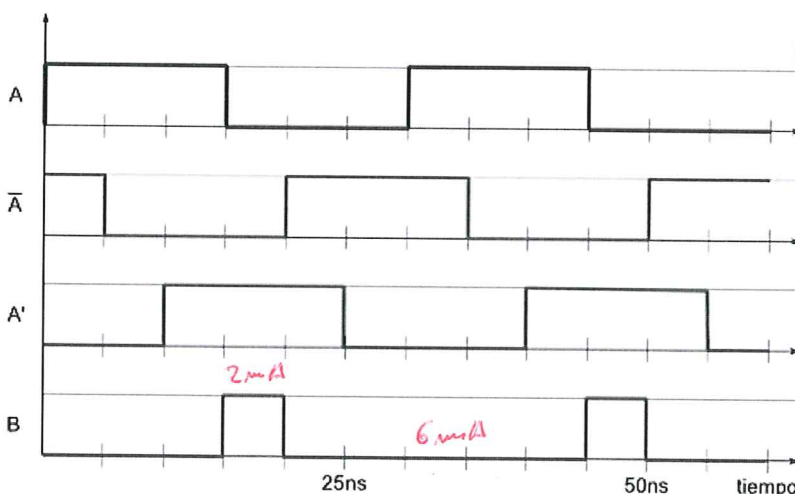
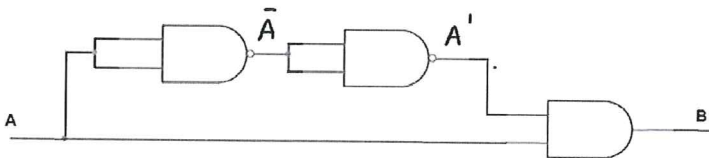
[B] La Puerta está unida a una capa muy fina de aislante, lo que justifica que la corriente por dicho terminal se considere nula ($I_G = 0$). ✓

[C] En un transistor MOSFET que se encuentre en conducción ($I_{DS} > 0$), si alguno de los terminales del transistor está conectado al Substrato sabremos que se trata del Drenador. NO

[D] En un transistor MOSFET que se encuentre en conducción ($I_{DS} > 0$), dependiendo de la zona de funcionamiento, el dispositivo puede comportarse como una resistencia (zona lineal/óhmica) ó como una fuente de corriente (saturación). ✓

7. Para el circuito de la figura, se ha dibujado el cronograma en las distintas salidas, siendo la señal A la entrada al mismo. Se puede afirmar que:

Datos: $V_{CC} = 5V$; $I_{CCL} = 6 \text{ mA}$ e $I_{CCH} = 2 \text{ mA}$, y el retardo de propagación medio de una puerta es de 5ns.



[A] La potencia estática promedio consumida por cada puerta NAND es 30mW.

[B] La potencia estática promedio consumida por la puerta AND es 26.7mW. ✓

[C] La potencia estática promedio consumida por el conjunto del circuito es 100mW.

[D] Para realizar los cálculos de la potencia estática promedio consumida, se necesita conocer la frecuencia de la señal de entrada.

$$\overline{W}_{AND} = \frac{(2 \text{ mA} \times 5V) * 1 + (6 \text{ mA} \times 5V) * 5}{6} = \frac{10 + 150}{6} = 26.7 \text{ mW}$$

8. Se quiere conectar una salida TTL en colector abierto con una entrada de un circuito lógico CMOS alimentado a +9V. Indique la respuesta CORRECTA:

Familia A (TTL colector abierto)			Familia B (CMOS +9V)			
V_{OLmax}	I_{OHmax} (fugas)	I_{OLmax}	V_{IHmin}	V_{ILmax}	I_{IHmax}	I_{ILmax}
0.4 V	100 μ A	16 mA	6.3 V	2.7 V	0.1 μ A	-0.1 μ A

- [A] Es necesario conectar una resistencia de pull-up entre la salida y la alimentación de +9V. El valor de la resistencia debe estar comprendido entre 0.54K Ω y 26.97K Ω . $R_{MIN} = \frac{9V - V_{OLmax}}{I_{OL} - I_{IL}} = \frac{8.6V}{16mA - 0.1\mu A} = 0.54K\Omega$
- [B] Se pueden conectar directamente.
- [C] Es necesario poner un buffer TTL en la salida para compatibilizar la corriente a nivel bajo.
- [D] Es necesario conectar una resistencia de pull-up entre la salida y la alimentación de +9V. El valor de la resistencia debe estar comprendido entre 2.1K Ω y 41.4K Ω . $R_{MAX} = \frac{9V - 6.3V}{100\mu A + 0.1\mu A} = \frac{2.7V}{0.1001mA} = 26.97K\Omega$

9. Se desea conectar entre sí dos familias lógicas A y B (A \rightarrow B) cuyas especificaciones se indican en las tablas adjuntas. Seleccionar la opción CORRECTA de entre las que siguen:

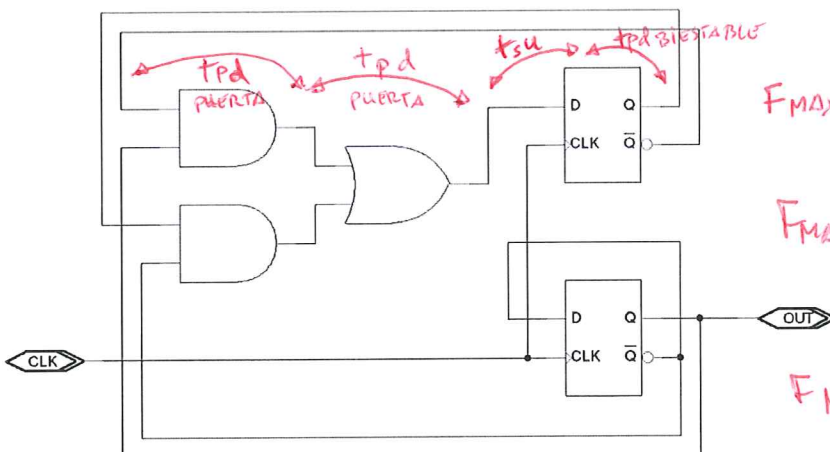
Familia A (+5V)				Familia B (+12V)			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}	V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V	8.3 V	3.7 V	11.9 V	0.1 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}	I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μ A	-1.6 mA	-400 μ A	16 mA	100 pA	-100 pA	-0.5 mA	0.5 mA

- [A] Se puede realizar la conexión directamente. **NO**
- [B] Los niveles lógicos son compatibles y el margen de ruido global es de 0.7V **NO**
- [C] No hay compatibilidad en tensiones, por lo que hay que añadir un buffer en colector abierto, entre A y B con una resistencia de pull-up a su salida conectada a +12V. **SI**
- [D] Las corrientes son incompatibles, por lo que hay que añadir entre A y B un buffer amplificador de corriente. **NO**

10. Dado el siguiente circuito secuencial, implementado con biestables D, señalar la afirmación CORRECTA:

Parámetros temporales: Biestable: (Set up: $t_{su} = 20$ ns, Hold: $t_h = 5$ ns, Retardo: $t_{pd(max)} = 40$ ns), Puertas AND y OR: (Retardo: $t_{pd(max)} = 20$ ns).

- [A] La frecuencia máxima de funcionamiento es de 10MHz.
- [B] La frecuencia máxima de funcionamiento es de 11.76MHz.
- [C] El circuito cumple la condición de set-up para cualquier frecuencia.
- [D] El circuito no funciona bien por los retardos excesivos a la salida de los biestables.



$$F_{max} = \frac{1}{2 \times t_{pd}(\text{PUERTAS}) + t_{su} + t_{pd}(\text{BIEST.})} =$$

$$F_{max} = \frac{1}{2 \times 20ns + 20ns + 40ns} =$$

$$F_{max} = \frac{1}{100ns} = 10 \text{ MHz}$$

(PAGINA INTENCIONADAMENTE EN BLANCO)

Apellido:

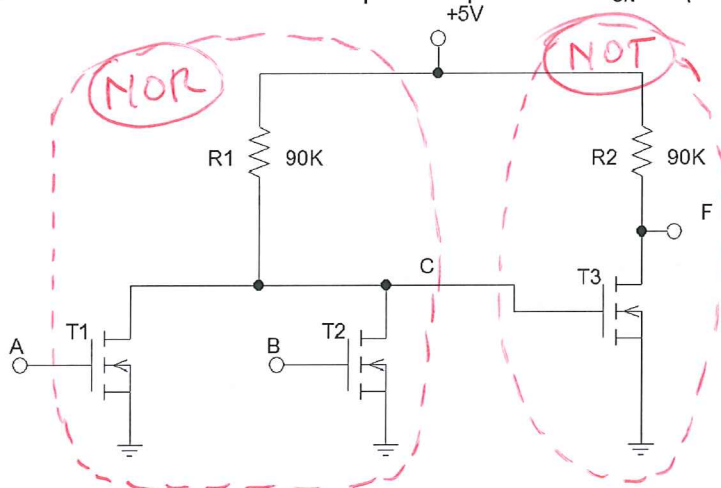
SOLUCIONES

Nombre:

PROBLEMA 1 (4 PUNTOS)

El circuito de la figura implementa una determinada función lógica F con transistores NMOS. Se pide:

Nota: En zona óhmica utilice la expresión aproximada $R_{ON} \approx 1/(2K(V_{GS} - V_T))$, y en saturación $I_{DS} = K(V_{GS} - V_T)^2$



Parámetros transistores:

 $V_T = 1V$ $K = 0.1 \text{ mA/V}^2$

COMO LOS TRANSISTORES SON IGUALES, R_{ON} VALDRÁ LO MISMO PARA TODOS ELLOS:

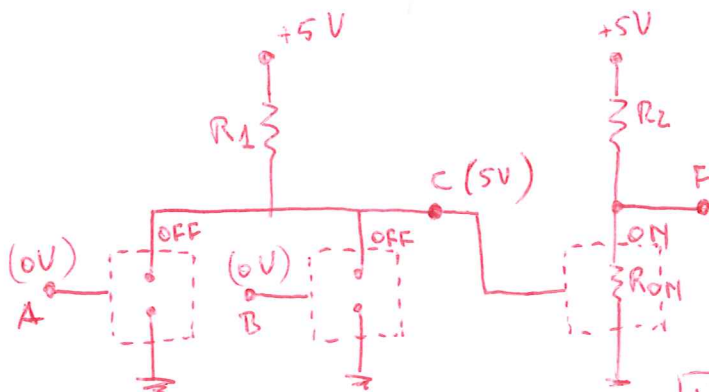
$$R_{ON} = \frac{1}{2 \times 0.1 \times (5 - 1)} = 1.25 \text{ K}\Omega$$

[A] (0.8 Puntos) Analice el funcionamiento del circuito para la combinación de entradas $A = B = 0V$ ("0" lógico):

- Indique el estado de los transistores

T1: OFF	T2: OFF	T3: ON
---------	---------	--------

- Dibuje el circuito eléctrico equivalente (cada MOSFET en ON se representa por su R_{ON}) y calcule la tensión en C y en F. Justifique el estado de los transistores.



T1 Y T2 ESTÁN EN OFF, YA QUE SUS ENTRADAS SON 0V.

POR TANTO: $V(C) = 5V$

T3 ESTARÁ EN ON, YA QUE $V_C = 5V$ POR ELLO; $R_{ON} = 1.25 \text{ K}\Omega$ Y LA TENSIÓN EN F SERÁ:

$$V_F = 5V \cdot \frac{R_{ON}}{R_2 + R_{ON}} = \frac{1.25 \times 5}{91.25} = 0.685V$$

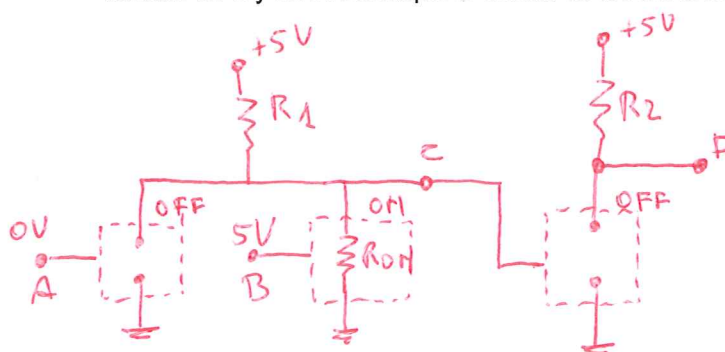
$$V_F = 0.685V$$

[B] (0.8 Puntos) Analice el funcionamiento del circuito para la combinación de entradas $A = 0V$ ("0" lógico), $B = 5V$ ("1" lógico):

- Indique el estado de los transistores

T1: OFF	T2: ON	T3: OFF
---------	--------	---------

- Dibuje el circuito eléctrico equivalente (cada MOSFET en ON se representa por su R_{ON}) y calcule la tensión en C y en F. Justifique el estado de los transistores.



COMO $V_A = 0V \Rightarrow T1 \rightarrow OFF$

COMO $V_B = 5V \Rightarrow T2 \rightarrow ON$

POR TANTO: $V_C \Rightarrow$ DIVISOR RESISTIVO

$$V_C = 5 \times \frac{1.25K}{91.25K} = 0.685V$$

$$V_C = 0.685V$$

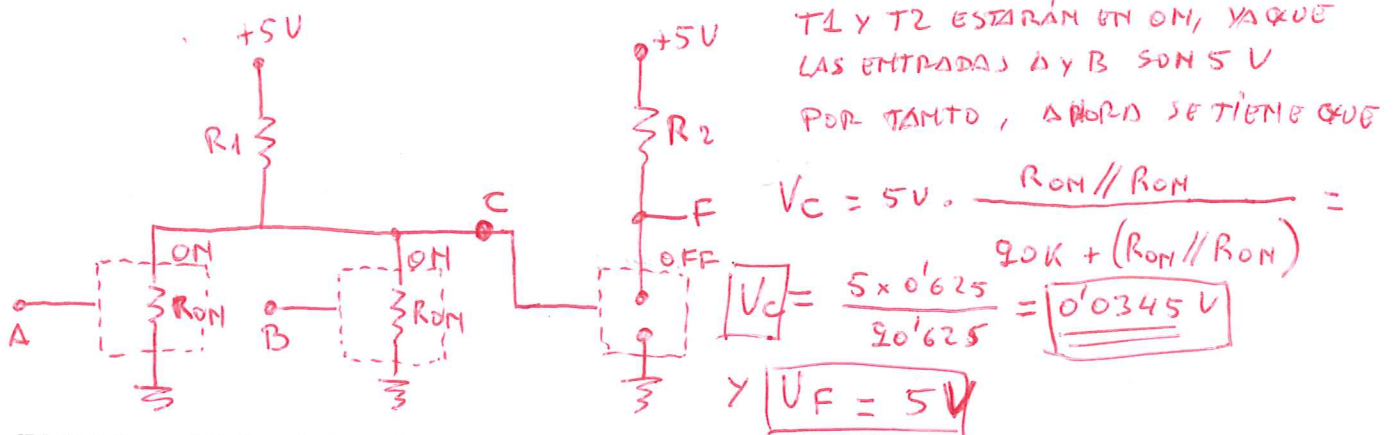
POR ELLO: $V_F = 5V$

[C] (0.8 Puntos) Analice el funcionamiento del circuito para la combinación de entradas A = 5V ("1" lógico), B = 5V ("1" lógico):

- Indique el estado de los transistores

T1:	ON	T2:	ON	T3:	OFF
-----	----	-----	----	-----	-----

- Dibuje el circuito eléctrico equivalente (cada MOSFET en ON se representa por su R_{ON}) y calcule la tensión en C y en F. Justifique el estado de los transistores.



[D] (0.8 Puntos) Rellene la tabla de verdad del circuito lógico e indique la función lógica F

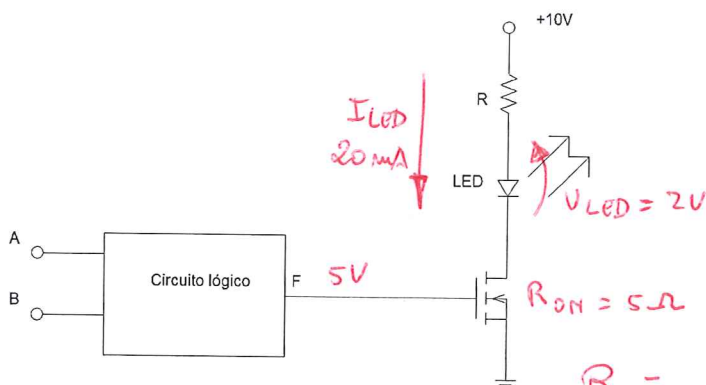
A	B	F (nivel lógico)	Función lógica:
0	0	0	OR
0	1	1	F =
1	0	1	$F = A + B$
1	1	1	

[E] (0.8 Puntos) Para controlar el encendido de un LED por parte del circuito lógico anterior, se diseña el siguiente esquema. Calcule el valor de R para conseguir una iluminación adecuada del LED.

Suponga que:

$$V_{LED} = 2V, I_{LED} = 20mA$$

El Mosfet externo tiene una $R_{on} = 5\Omega$ para una $V_{GS} = 5V$



DEL CIRCUITO, SE TIENE QUE:

$$(R + R_{on}) = \frac{10V - V_{LED}}{I_{LED}}$$

POR TANTO:

$$R = \frac{10 - 2V}{20mA} - 0.005k\Omega$$

$$R = 0.4k\Omega - 0.005k\Omega = 0.395k\Omega$$