

Práctica 8. Entregable

CONFIGURACIÓN Y PRESTACIONES DE LOS MÓDULOS DE MEMORIA

Introducción

Esta práctica se plantea como una tarea entregable y no tiene asignada una sesión de laboratorio. En ella se hace uso del programa de análisis de información del sistema CPU-Z con el propósito de analizar la configuración de memoria principal de un computador. Ello se complementará con el análisis de la hoja de características de los módulos de memoria empleados en el computador. Adicionalmente, se llevará a cabo el cálculo de algunas medidas de prestaciones de los mismos, como puedan ser latencias y anchos de banda. La práctica está orientada al uso de módulos de memoria SDRAM comerciales, por lo que es necesario saber interpretar y familiarizarse con datos reales.

Adicionalmente, la realización completa de esta práctica requiere la instalación previa del programa CPU-Z en algún equipo al que el estudiante tenga acceso, así como la localización de la hoja de características de los módulos de memoria del equipo en cuestión.

Objetivos

- Extraer información acerca de la capacidad y estructura de los módulos de memoria
- Extraer e interpretar la información acerca de las características temporales de los módulos de memoria
- Obtener o calcular las medidas de prestaciones más significativas de los módulos de memoria
- Saber reproducir la secuencia temporal de órdenes y transferencia de datos (cronograma) en el acceso a un cierto número de bloques de memoria

Para poder cumplir con estos objetivos y resolver las cuestiones propuestas, el estudiante encontrará en PoliformaT, además de este boletín, lo siguiente:

- Versión del programa CPU-Z para instalar sobre Windows. Este también podrá obtenerse a través del siguiente enlace: <http://www.cpuid.com/softwares/cpu-z.html>
- Hoja de características proporcionada por el fabricante para los módulos de memoria que se usan de ejemplo en la primera parte de esta práctica.
- Vídeos ilustrativos sobre las principales características de las memorias SDRAM.
- Hoja de respuestas para rellenar y entregar a través de la tarea correspondiente abierta en PoliformaT

Parámetros temporales fundamentales de las memorias SDRAM

Como es sabido, el acceso habitual a la memoria por parte del controlador de memoria se realiza a través de bloques (ráfaga de varias palabras). Este es el caso en el acceso a bloques para el llenado de la memoria cache. A su vez, las memorias SDRAM son capaces de transferir una palabra cada ciclo de reloj, caso de las SDRAM, o dos palabras en el caso de las DDR SDRAM (una palabra en cada uno de los flancos de subida y de bajada del reloj). En cualquier caso, la primera palabra del bloque se transfiere tras un cierto número de ciclos de reloj (latencia) desde el inicio de la operación de lectura. Las operaciones de lectura de bloques serán las únicas que se considerarán en esta práctica.

Los distintos accesos a memoria comportan la generación de una serie de órdenes sujetas a unas estrictas exigencias temporales, tal y como establecen los correspondientes protocolos o cronogramas de lectura de los chips de memoria. En este sentido, el acceso a un cierto bloque de memoria requiere, en primer lugar, activar la correspondiente fila dentro del banco en que se ubica el bloque, enviando la orden de ACTIVACIÓN junto con la dirección de fila y el número de banco. A continuación, se debe ordenar la lectura del bloque, enviando la orden de LECTURA junto con la dirección de columna de la primera palabra del mismo y el número de banco.

Una vez activada una determinada fila en un cierto banco, es posible lanzar sucesivas órdenes de LECTURA sobre bloques pertenecientes a dicha fila. Sin embargo, para acceder a bloques pertenecientes a una fila diferente dentro del mismo banco se requiere realizar una operación de PRECARGA de la fila actual antes de activar la nueva fila. Esta operación tiene como finalidad restaurar los valores iniciales de voltaje de las líneas de bit y dejar los amplificadores preparados para aceptar una nueva fila. Por otra parte, es posible activar filas en bancos diferentes y mantenerlas simultáneamente abiertas (tantas filas como bancos existan en el chip SDRAM), lanzando órdenes de LECTURA de forma intercalada o aleatoria sobre las mismas.

Los cronogramas de lectura de la SDRAM imponen una serie de condiciones temporales a la hora del envío de las distintas órdenes y de transferencia de los datos, debiendo respetar unas distancias temporales mínimas (ciclos de reloj) entre los mismos. Los principales parámetros temporales que rigen la lectura de un bloque de memoria se pueden apreciar en la Figura 1. En el caso de memorias DDR SDRAM, los datos son transferidos en cada uno de los flancos de subida y de bajada del reloj (dos palabras por ciclo), mientras que las SDRAM transmiten únicamente una palabra por cada ciclo.

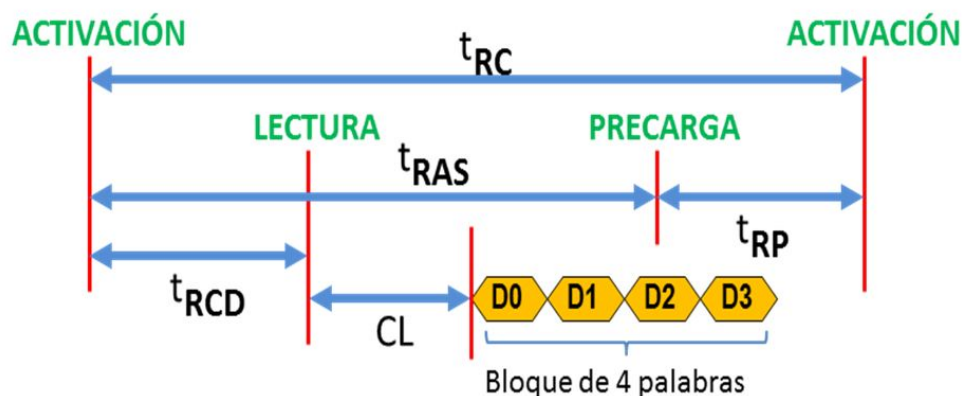


Figura 1. Parámetros temporales básicos en una operación de lectura de bloque de memoria

CL	Latencia de CAS: Número de ciclos de reloj que la memoria tarda en proporcionar la primera palabra del bloque desde el envío de la orden de LECTURA. El resto de palabras del bloque se van proporcionando al ritmo que marca el ciclo de reloj o los flancos de subida y bajada del mismo
T_{RCD}	Tiempo mínimo entre órdenes de ACTIVACIÓN y LECTURA/ESCRITURA sobre un mismo banco
T_{RP}	Tiempo mínimo entre órdenes de PRECARGA y ACTIVACION sobre un mismo banco
T_{RAS}	Tiempo mínimo entre órdenes de ACTIVACIÓN y PRECARGA sobre un mismo banco
T_{RC}	Tiempo mínimo entre órdenes de ACTIVACIÓN dentro de un mismo banco

Las correspondientes hojas de características de los chips SDRAM proporcionan los valores de los distintos parámetros temporales expresados en nanosegundos (*ns*). La mayor parte de estos parámetros, como es el caso de los parámetros T_{RCD} , T_{RP} , T_{RAS} y T_{RC} listados anteriormente, establecen requisitos temporales mínimos que se han de garantizar. Por ejemplo, la separación entre dos órdenes de ACTIVACIÓN dirigidas al mismo banco debe ser, como mínimo, T_{RC} , pero nada impide que entre los mismos exista una mayor distancia temporal. Para su aplicación práctica (exigencias temporales que ha de satisfacer el controlador de memoria) en un entorno síncrono, como es el caso de la placa base de un computador, se acostumbra a expresar dichos parámetros en ciclos de reloj. Para ello, se divide el valor real del parámetro en *ns* entre el ciclo de reloj y se redondea al entero superior. La temporización de los chips SDRAM, en ciclos de reloj, se acostumbra a expresarla en el formato estándar establecido por JEDEC (*Joint Electron Device Engineering Council*): CL- T_{RCD} - T_{RP} - T_{RAS} . Esta temporización depende de la frecuencia de trabajo de los chips SDRAM, dando lugar a diferentes temporizaciones que, de forma estándar, se denominan como JEDEC #1, JEDEC #2, JEDEC #3, ... (ver Figura 3)

Es importante saber interpretar correctamente los anteriores parámetros temporales. Así, por ejemplo, el parámetro T_{RC} impone el tiempo mínimo que ha de separar dos órdenes de ACTIVACIÓN sobre un mismo banco. Sin embargo, la generación de la segunda orden de ACTIVACIÓN no sólo depende de T_{RC} , sino de cuándo se haya generado la orden de PRECARGA, de la que debe distanciarse, al menos, T_{RP} . A su vez, la generación de la orden de PRECARGA no debe tener lugar hasta haber transcurrido, al menos, T_{RAS} desde la generación de la orden previa de ACTIVACIÓN. Ello significa que el momento en el que se genera una determinada orden deberá satisfacer al mismo tiempo todos los parámetros temporales, siendo el que imponga el condicionante más restrictivo el que determine el tiempo mínimo de generación de dicha orden. Así, la distancia temporal entre dos órdenes consecutivas de ACTIVACIÓN corresponderá a:

$$\text{máx} (T_{RC}, T_{RAS}+T_{RP}, t_{PRECARGA}+T_{RP})$$

donde $t_{PRECARGA}$ representa la distancia temporal real ($>T_{RAS}$) entre la orden de PRECARGA y la generación de la orden previa de ACTIVACIÓN. Obsérvese que dicho tiempo podría dilatarse como consecuencia del tamaño del bloque, pues una generación prematura, aún satisfaciendo T_{RAS} , truncaría el acceso a dicho bloque.

La SDRAM dispone de dos formas de realizar la precarga: (1) de forma explícita, a través de la generación de una orden de PRECARGA, y (2) de forma implícita o automática, a través de la orden de AUTO-PRECARGA. Esta última se ordena junto a la orden de LECTURA a través de una línea de dirección no usada en el direccionamiento de columna (línea A₁₀ en el ejemplo de la Figura 2), con lo que se evita malgastar posteriormente un ciclo de reloj para el envío explícito de la orden de PRECARGA. Sin embargo, tiene el mismo efecto que esta última y está sujeta a las mismas restricciones temporales (T_{RAS} desde el envío de la orden de ACTIVACIÓN), con la ventaja de que la precarga se realiza de forma automática y en el momento óptimo¹.

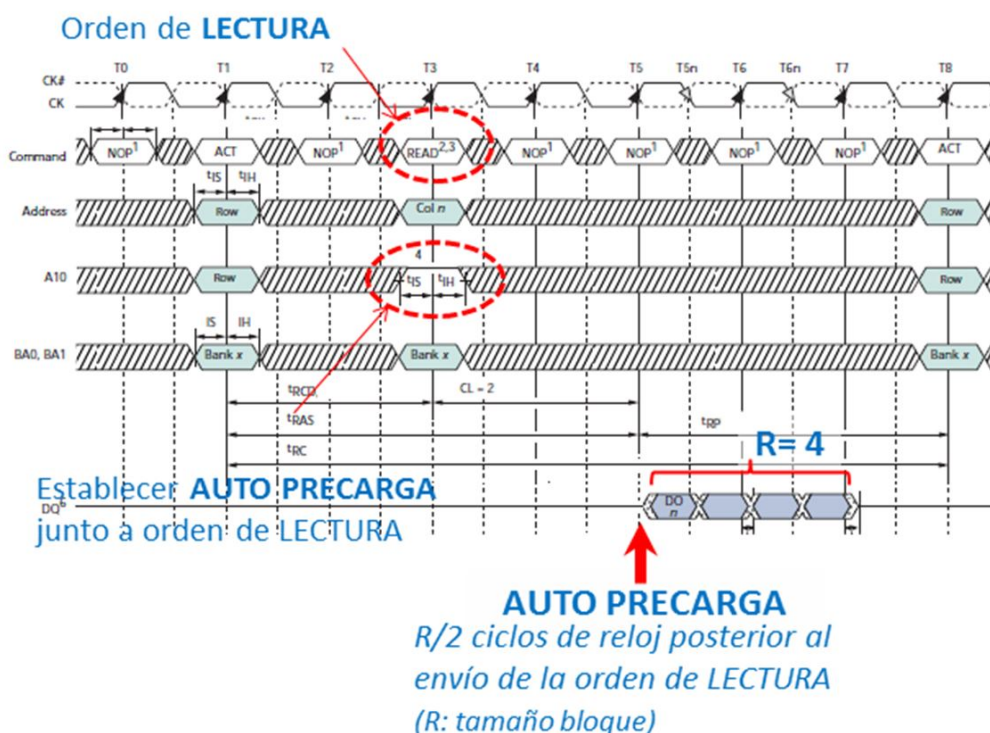


Figura 2. Habilidad de la AUTO-PRECARGA. Memoria DDR

Finalmente, recordar que las memorias SDRAM requieren un refresco periódico de sus filas con objeto de garantizar la integridad de la información. Hay distintas modalidades de refresco, pero la más habitual es el refresco distribuido de las distintas filas a lo largo del periodo de refresco (del orden de ms). Para ello, las SDRAM disponen de la orden de AUTO-REFRESH, la cual refresca la misma fila en todos los bancos a la vez, estando la dirección de fila a refrescar contenida en un registro interno de la memoria y que se incrementa automáticamente. La operación de refresco no se puede realizar simultáneamente al acceso a memoria. En particular, el parámetro T_{RFC} indica el tiempo mínimo que ha de haber entre la orden de AUTO-REFRESH y el envío de una orden de ACTIVACIÓN, tiempo durante el cual no es posible el acceso a la memoria.

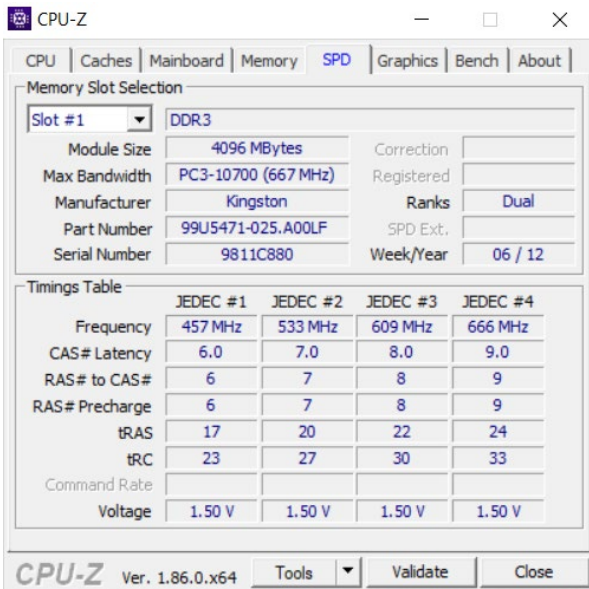
¹ Dado un bloque de tamaño R palabras, el instante óptimo de la precarga suele acontecer R ciclos de reloj posterior al envío de la orden de LECTURA, caso de memorias SDRAM simples, o $R/2$ ciclos de reloj posterior en el caso de memorias DDR SDRAM, como se aprecia en la Figura 2. En este caso, al tratarse de un bloque de 4 palabras ($R=4$) y ser la SDRAM de tipo DDR, la precarga se hará efectiva 2 ciclos de reloj posterior al envío de la orden de LECTURA, coincidiendo con el volcado de la primera palabra del bloque. Obsérvese que en esta ocasión se respeta el tiempo T_{RAS} , en caso contrario, la precarga no se podría efectuar en el momento óptimo. En cualquiera de los casos, desde que la precarga es efectiva hasta que se puede enviar una nueva orden de ACTIVACIÓN debe transcurrir, al menos, un tiempo T_{RP} .

Ejercicios propuestos: Obtención de las características de los módulos de memoria SDRAM

Para la realización de la primer parte de la práctica se deben consultar dos documentos. Por un lado, la **hoja de especificaciones generales de los módulos de memoria** que proporciona el fabricante (archivo kvr1333d3n9_4g.pdf en PoliformaT); y por otro lado, los datos obtenidos sobre la configuración del subsistema de Memoria en un computador determinado tras ejecutar en él el **programa de análisis CPU-Z** y que se muestran en las Figuras 3 y 4.

La hoja de especificaciones de los módulos de memoria proporciona información escueta acerca de ellos. En particular, se puede encontrar en ella información sobre el tamaño y estructura de los módulos, el tipo y frecuencia máxima de trabajo de los chips de memoria que contienen y algunos de los parámetros temporales más relevantes de los módulos. También se indican los valores paramétricos con los que ha sido configurado el SPD (*Serial Presence Detect*) de los módulos de memoria, una pequeña memoria EEPROM grabada en el momento de la fabricación del módulo.

El programa CPU-Z, por su parte, proporciona información adicional sobre el tamaño, tipo, frecuencia de trabajo y características temporales de los módulos de memoria tal como están configurados en el computador en que se ejecuta. Esta información se recoge en las pestañas *SPD* y *Memory*. CPU-Z obtiene parte de esta información accediendo al SPD del módulo de memoria. Esa misma información es accedida durante el arranque por el BIOS² con la finalidad de configurar el controlador de memoria de acuerdo con los requisitos temporales del módulo de memoria y la frecuencia de trabajo del bus que une procesador y memoria.



The screenshot shows the CPU-Z application window with the SPD tab selected. It displays the following information:

Memory Slot Selection				
Slot #1	DDR3			
Module Size	4096 MBytes	Correction		
Max Bandwidth	PC3-10700 (667 MHz)	Registered		
Manufacturer	Kingston	Ranks	Dual	
Part Number	99U5471-025.A00LF	SPD Ext.		
Serial Number	9811C880	Week/Year	06 / 12	

Timings Table				
	JEDEC #1	JEDEC #2	JEDEC #3	JEDEC #4
Frequency	457 MHz	533 MHz	609 MHz	666 MHz
CAS# Latency	6.0	7.0	8.0	9.0
RAS# to CAS#	6	7	8	9
RAS# Precharge	6	7	8	9
tRAS	17	20	22	24
tRC	23	27	30	33
Command Rate				
Voltage	1.50 V	1.50 V	1.50 V	1.50 V

At the bottom, it shows 'CPU-Z Ver. 1.86.0.x64' and buttons for 'Tools', 'Validate', and 'Close'.

Figura 3. Características de los módulos de memoria proporcionadas por el fabricante

La Figura 3 muestra la información disponible en la pestaña SPD correspondiente a una de las ranuras de inserción de memoria (Slot#1), existiendo una configuración idéntica para el resto de

² El BIOS (*Basic Input Output System*) es el *firmware* (software almacenado en una memoria no volátil) que se encarga, entre otras funciones, de comprobar y configurar el hardware antes del arranque del sistema operativo.

slots. Téngase en cuenta esta información para responder correctamente las cuestiones planteadas. En particular, se pueden observar las distintas configuraciones programables en el SPD en función de la frecuencia de trabajo de los módulos de memoria (JEDEC #1, ..., JEDEC #4).

Por otro lado, bajo la pestaña *Memory* se puede encontrar el valor de los principales parámetros temporales de los módulos de memoria, particularizados a la frecuencia a la que trabajan en el equipo en el que se hallan instalados, como se aprecia en la Figura 4 a modo de ejemplo.

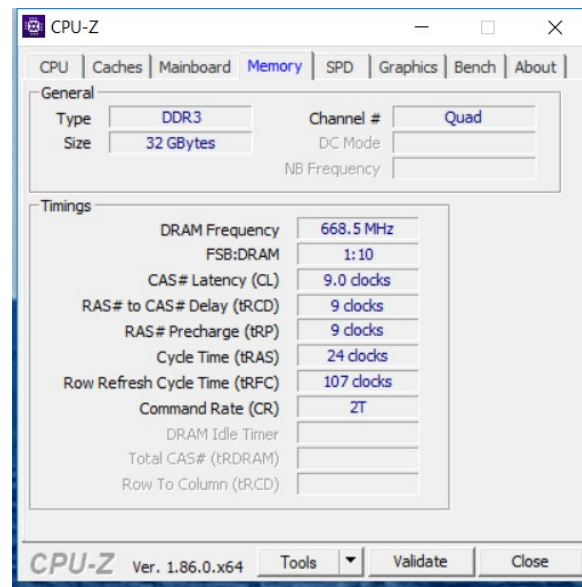


Figura 4. Principales parámetros temporales de los módulos de memoria en función de su frecuencia de trabajo

PARTE I. Análisis de la configuración de memoria del equipo ejemplo

1. Desde los datos proporcionados por la hoja de especificaciones de los módulos (archivo kvr1333d3n9_4g.pdf) y el programa CPU-Z (Figuras 3 y 4) rellénese la siguiente tabla. Recuérdese que la figura 3 muestra información solo de un *slot*, pero existe un segundo con idénticas características.

Información sobre la capacidad y organización de los módulos de memoria

Número total de módulos DIMM	
Tamaño de los módulos DIMM que forman la memoria <i>Expresado en MB</i>	
Tamaño total de la memoria principal disponible <i>Expresado en GB</i>	
Número de canales de memoria	

Capacidad en palabras x tamaño_palabra de los módulos DIMM	
Número de filas de chips en cada módulo	
Capacidad de los chips de memoria de los módulos (expresada en palabras x tamaño_palabra)	
Número total de chips de memoria contenidos en un módulo	
Tipo de chips de memoria SDRAM que se utilizan (DDR, DDR2, DDR3, DDR4)	

Información sobre frecuencia de trabajo y ancho de banda de los módulos

Frecuencia de reloj a la que trabajan los buses externos de los módulos en el equipo del laboratorio	
Ancho de banda pico de los módulos en el equipo del laboratorio <i>Expresado en MB/s</i>	
Nomenclatura estándar de los módulos empleados en el equipo del laboratorio (PC-xx00, PC2-xx00, PC3-xxx00, PC4-xxx00)	
Frecuencia de reloj máxima a la que podrían trabajar los buses externos de los chips de memoria de los módulos	
Tasa máxima de transferencia que podrían alcanzar los chips de memoria de los módulos (palabras que se transfieren por segundo) <i>Expresada en millones de transferencias por segundo (MT/s)</i>	
Ancho de banda pico máximo que podrían alcanzar los chips de memoria de los módulos <i>Expresado en MB/s</i>	

- En la hoja de especificaciones se indica que los chips de memoria de los módulos son de tipo DDR3-1333 ¿Qué significado tiene el valor 1333?

3. A partir de los datos proporcionados por la hoja de especificaciones de los módulos (kvr1333d3n9_4g.pdf) y el programa CPU-Z, rellénese la siguiente tabla con los valores de los principales parámetros temporales:

	ns	Ciclos Reloj
t_{CK} (ciclo de reloj)		
T_{RAS}		
T_{RC}		
T_{RFC}		

Nota: El número de ciclos de reloj debe ser siempre un entero, por lo que, en caso de necesidad, éste deberá ajustarse al entero superior. En caso de que el ciclo de reloj (t_{CK}) no se indicase explícitamente en la hoja de características, éste se deberá calcular a partir de la frecuencia a la que el módulo de memoria se ha programada a través de su SPD

4. Exprese la temporización del chip SDRAM en el formato estándar establecido por JEDEC (Joint Electron Device Engineering Council): JEDEC #X: CL- T_{RCD} - T_{RP} - T_{RAS}

JEDEC	#		:		--		--		--	
-------	---	--	---	--	----	--	----	--	----	--

5. ¿Cuánto valdría CL si la frecuencia de trabajo de los buses externos de los módulos de memoria fuera de 500 MHz?
6. ¿Cuál sería el **tiempo de acceso** de los módulos de memoria contabilizado desde el inicio de la operación de lectura (envío del comando de ACTIVACIÓN) hasta la obtención del primer dato del bloque?

	Ciclos Reloj	ns
Tiempo de acceso		

PARTE II. Cronograma de lectura de 3 bloques de 4 palabras. ► Ayudados por la Figura 2 y por los valores de los parámetros temporales obtenidos en el Ejercicio 1, represéntese sobre el cronograma la temporización del envío de las sucesivas órdenes (*command*), de las correspondientes direcciones de fila o columna y del volcado de los datos correspondientes al acceso a 3 bloques pertenecientes a filas distintas de un mismo banco. Los comandos corresponderán a los de activación (A) y lectura (R). La dirección podrá ser de filas (F_i) o de columnas (C_i), donde el subíndice indica el número de orden del bloque (0 ... 2) al que hacen referencia. Finalmente, los datos se expresarán en la forma D_i , donde el subíndice i hace referencia a la palabra (0 ... 3) dentro de cada uno de los bloques. Asimismo, **deberán marcarse con una (P) sobre la línea de órdenes los ciclos de reloj en los que se realizan las precargas**. Recuérdese que al tratarse de una SDRAM de tipo DDR, en cada ciclo de reloj se transfieren dos palabras. **Nota:** No hace falta representar el envío de los comandos NOP

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17	T18	T19	T20	T21	T22	T23	T24	T25	T26	T27	T28	T29	T30	T31	T32	T33	T34	T35	T36
Orden																																				
Dirección																																				
Datos																																				

	T37	T38	T39	T40	T41	T42	T43	T44	T45	T46	T47	T48	T49	T50	T51	T52	T53	T54	T55	T56	T57	T58	T59	T60	T61	T62	T63	T64	T65	T66	T67	T68	T69	T70	T71	T72
Orden																																				
Dirección																																				
Datos																																				

	T73	T74	T75	T76	T77	T78	T79	T80	T81	T82	T83	T84	T85	T86	T87	T88	T89	T90	T91	T92	T93	T94	T95	T96	T97	T98	T99	T100	T101	T102	T103	T104	T105	T106	T107	T108
Orden																																				
Dirección																																				
Datos																																				

PARTE III. Análisis de la configuración de memoria del equipo del estudiante

Para llevar a cabo esta parte de la práctica el estudiante deberá instalar en su equipo personal el programa CPU-Z, bien desde el archivo proporcionado en PoliformaT o bien a través del enlace: <http://www.cpubid.com/software/cpu-z.html>

El archivo se deberá ejecutar en el equipo del estudiante para conocer las características más importantes del sistema. La información de memoria obtenida se deberá completar con los datos extraídos de la hoja de especificaciones proporcionada por el fabricante de los chips. Esta hoja de especificaciones es, generalmente, fácil de obtener a través de una consulta en cualquier buscador. Por ejemplo, para una memoria fabricada por Kingston cuyo identificativo fuese KHX1600C10D3B1/8G (*Part Number*) bastaría con teclear en cualquier buscador “Kingston KHX1600C10D3B1/8G” para obtener las hojas de especificaciones correspondientes.

1. Copiar y pegar las capturas de pantalla obtenidas de la ejecución de CPU-Z sobre vuestro computador y que se corresponden con las pestañas *SPD* y *Memoria*, equivalentes a las mostradas en Figuras 3 y 4.
2. A partir de los datos proporcionados por el programa CPU-Z acerca de la configuración de memoria del equipo en el que se halla instalado, rellénese la tabla que aparece a continuación:

Identificativo de la memoria proporcionado por el fabricante	
Número total de módulos DIMM	
Tamaño total de la memoria principal disponible <i>Expresado en GB</i>	
Frecuencia de reloj a la que trabajan los buses externos de los módulos SDRAM en el equipo analizado <i>Expresada en MHz</i>	
Ciclo de reloj al que trabajan los buses externos de los módulos SDRAM en el equipo analizado <i>Expresado en ns</i>	
Ancho de banda pico de los módulos SDRAM en el equipo analizado <i>Expresado en MB/s</i>	
Nomenclatura estándar de los módulos empleados en el equipo analizado <i>(PC-xx00, PC2-xx00, PC3-xx00)</i>	

3. Expresar la temporización del chip SDRAM en el formato estándar establecido por JEDEC (*Joint Electron Device Engineering Council*): {CL- T_{RCD} - T_{RP} - T_{RAS} }, de acuerdo a la temporización JEDEC #i requerida con arreglo a la frecuencia de los buses de la SDRAM

JEDEC	#		:		--		--		--	
-------	---	--	---	--	----	--	----	--	----	--

- 4.Cuál sería el **tiempo de acceso** de los módulos de memoria contabilizado desde el inicio de la operación de lectura (envío de la orden de ACTIVACIÓN) hasta la obtención del primer dato del bloque?

	Ciclos Reloj	ns
Tiempo de acceso		

5. Localizar la hoja de características de los módulos de memoria que, según CPU-Z, se encuentran instalados en el equipo analizado. Adjuntar copia de tales hojas como anexo al final de este entregable.

Nota: En ocasiones, el identificador de memoria ofrecido por CPU-Z no se corresponde con el real, el cual se puede observar abriendo el equipo y examinando la leyenda contenida sobre los módulos DIMM instalados. Si se puede realizar fácilmente esta operación indique a continuación la identificación auténtica de los módulos

--

6. A partir de los datos proporcionados por la hoja de características de los módulos de memoria que ha localizado (según identificador ofrecido por CPU-Z), rellénese la tabla que aparece a continuación:

Capacidad en palabras × tamaño_palabra de los módulos DIMM	
Número de filas en la que se organizan los chips dentro de cada módulo	
Número total de chips de memoria contenidos en un módulo	
Capacidad en palabras × tamaño_palabra de los chips de memoria de los módulos	
Tipo de chips de memoria SDRAM que se utilizan (DDR, DDR2, DDR3, DDR4)	
Frecuencia de reloj máxima a la que pueden trabajar los buses externos de los módulos de memoria <i>Expresada en MHz</i>	

Tasa máxima de transferencia que podrían alcanzar los
módulos (palabras que se transfieren por segundo)

Expresada en millones de transferencias por segundo (MT/s)

Ancho de banda pico que podrían alcanzar los módulos

Expresado en MB/s