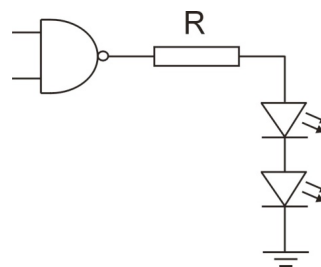


1. Dado el circuito de la figura con diodos LED, indique cuál de las siguientes afirmaciones es la **CORRECTA**, teniendo en cuenta que para los LED $V_{LED}=1.5V$ e $I_{LED}= 10mA$, y para la puerta NAND $V_{OL}=0.15V$ y $V_{OH}=4.5V$.

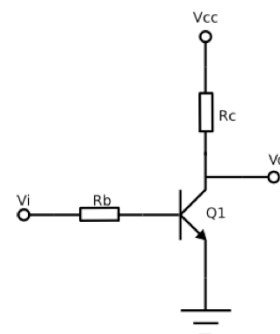
- [A] Los LED brillarán adecuadamente con una resistencia R mayor que 150Ω .
 [B] Los LED brillarán adecuadamente con una resistencia menor o igual que 300Ω .
 [C] Los LED brillarán adecuadamente con una resistencia R de 150Ω .
 [D] Los LED no llegarán a brillar para ninguno de los niveles lógicos de salida de la puerta NAND.



2. Indique la zona de trabajo del transistor de la figura para una entrada de $3.7 V$:

(DATOS: $V_{CC} = 5V$; $R_b = 100 k\Omega$; $R_c = 2 k\Omega$, Q1: $V_{BE(ON)} = 0.7V$, $V_{CE(SAT)} = 0.2V$, $\beta = 100$)

- [A] CORTE
 [B] ACTIVA
 [C] En el límite entre ACTIVA y SATURACIÓN
 [D] SATURACIÓN



3. Con respecto a los parámetros característicos de las familias lógicas y considerando una puerta con salida estándar, marque la respuesta FALSA:

- [A] Un valor negativo de I_{OH} indica que la corriente sale desde la puerta.
 [B] El margen de ruido a nivel alto se define como: $NM_H = V_{OHmin} - V_{IHmin}$.
 [C] Si la tensión de salida es $V_{OH} < V_{OHmin}$, no será interpretada correctamente por otra puerta de la misma familia **en ningún caso**.
 [D] Para que la conexión entre dos puertas lógicas funcione de forma adecuada, se ha de cumplir, entre otras cosas que, $V_{OL} \leq V_{ILmax}$.

4. Se quiere conectar las salidas de 2 componentes con salida en colector abierto de una familia lógica alimentada a $5 V$, y éstas, a su vez a 3 entradas de componentes de la misma familia. Las especificaciones de la familia se indican en la tabla adjunta (teniendo en cuenta que $I_{OHmax} = 100 \mu A$ para los componentes en colector abierto). El valor máximo que puede tener la resistencia R_{PU} para respetar las especificaciones y el margen de ruido de la familia, será:

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	$I_{OHmax(fugas)}$	I_{OLmax}
40 μA	-1.6 mA	100 μA	16 mA

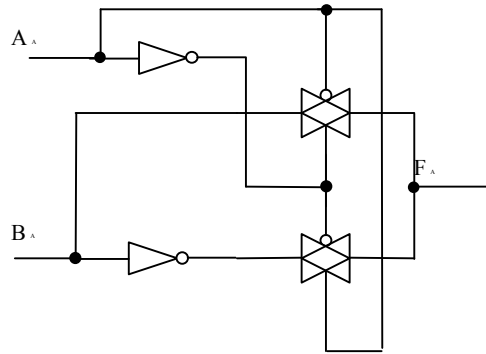
- [A] 0.41 k Ω .
 [B] 25.7 k Ω .
 [C] 6.6 k Ω .
 [D] 8,12 k Ω .

5. ¿Cuál de las siguientes afirmaciones sobre el transistor Mosfet es FALSA?

- [A] La corriente de puerta I_G es siempre cero, ya que está aislada.
 [B] Un Mosfet de canal N se encontrará saturado siempre que se cumpla que $V_{DS} < (V_{GS} - V_T)$
 [C] En la zona de saturación, I_{DS} se mantendrá constante para una V_{GS} dada, aunque varíe la V_{DS} .
 [D] En la zona óhmica y para valores reducidos de V_{DS} , el MOSFET se comporta como una resistencia dependiente de V_{GS} .

1. El circuito CMOS de la figura se comporta como:

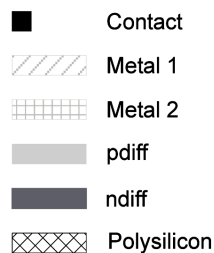
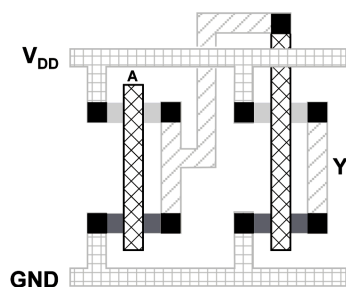
- [A] Un buffer
- [B] Un inversor con salida triestado
- [C] Un multiplexor 2x1 con canales A y B
- [D] Una función XOR (OR-Exclusiva) de A y B



2. Con relación a la familia lógica CMOS, indique cuál de las siguientes afirmaciones es **FALSA**.

- [A] El incremento de la tensión de alimentación V_{DD} reduce los tiempos de retardo de propagación e incrementa el consumo dinámico.
- [B] La subfamilia 74HCXXX es una CMOS de alta velocidad con entradas compatibles TTL.
- [C] En CMOS estándar, la inmunidad al ruido (NM) es aproximadamente un 30% de la tensión de alimentación (V_{DD}).
- [D] En CMOS estándar, el fabricante recomienda un FAN-OUT de 50 para no incrementar los tiempos de retardo y el consumo dinámico.

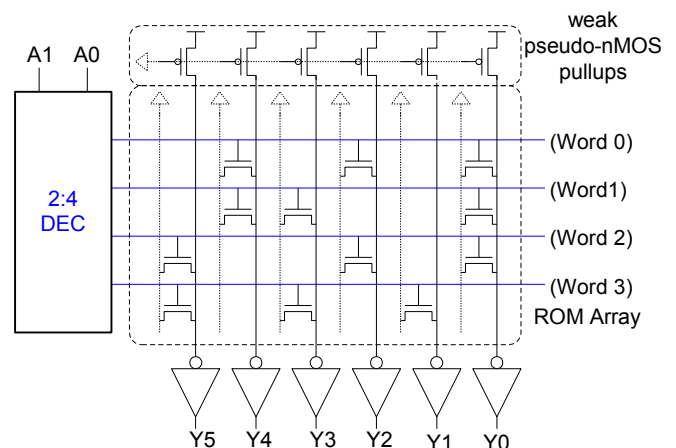
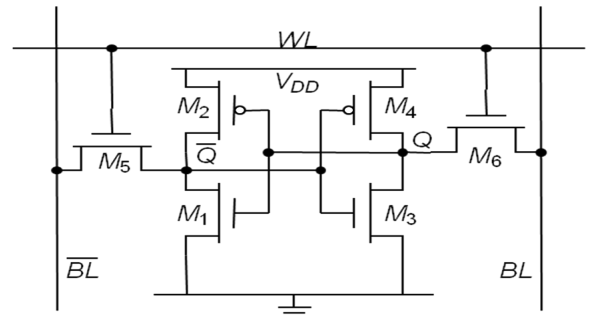
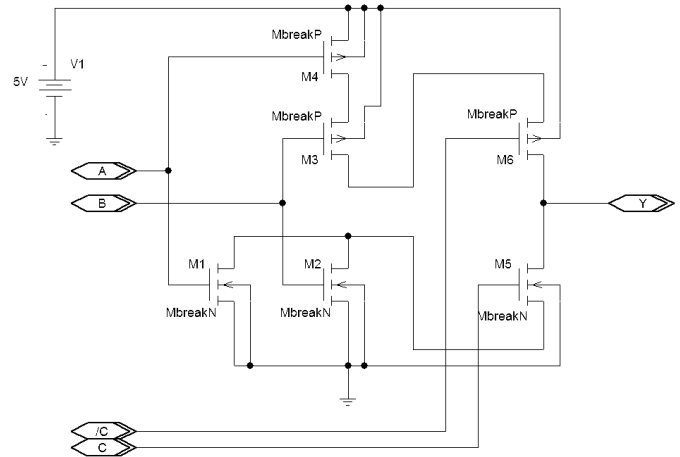
3. ¿Qué tipo de circuito implementa el *layout* de la figura?



- [A] Un inversor triestado
- [B] Un buffer
- [C] Un buffer triestado
- [D] Una puerta de transmisión CMOS

4. Señalar la afirmación **FALSA** de las siguientes acerca de las memorias semiconductoras:

- [A] Las memorias PROM son memorias no volátiles, de acceso aleatorio.
- [B] Las celdillas de las ROM son fijadas en el proceso de fabricación, por lo que no son programables por el usuario final.
- [C] Las memorias SRAM son de acceso aleatorio y no volátiles, ya que no es necesario que sean refrescadas.
- [D] Las EPROM y las FLASH se basan en celdillas de tipo transistor FAMOS, con una puerta flotante para poner al corte los transistores seleccionados.



PAGINA INTENCIONADAMENTE EN BLANCO

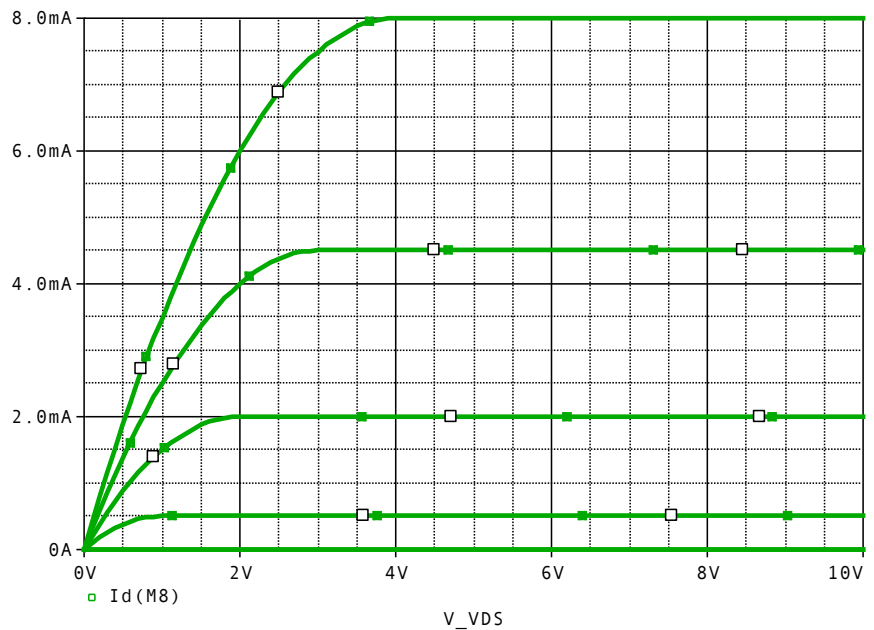
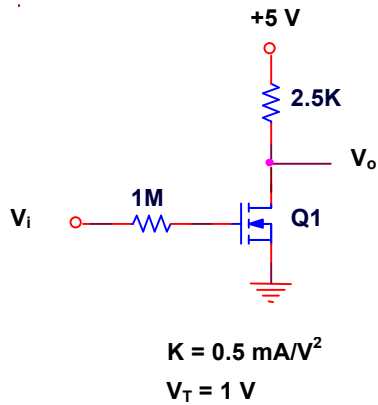
Apellidos:

Nombre:

PROBLEMA 1 (4 Ptos.),

El circuito de la figura es un inversor NMOS. Se pide:

Nota: En zona óhmica utilice la expresión aproximada $I_{DS} \approx 2K(V_{GS} - V_T) V_{DS}$, y en saturación $I_{DS} = K(V_{GS} - V_T)^2$



Nota: Las curvas representadas son para incrementos de 1V de V_{GS} .

A) [0.8] Calcule el punto de trabajo Q (V_{GS} , V_{DS} , I_{DS}) y el valor lógico de salida V_o con una entrada a "1" ($V_i = 5V$). Justifique la respuesta con las necesarias demostraciones.

$V_{GS} =$	(V)	$V_{DS} =$	(V)	$I_{DS} =$	(mA)	$V_o =$	" "
------------	-----	------------	-----	------------	------	---------	-----

B) [0.8] Calcule el punto de trabajo Q (V_{GS} , V_{DS} , I_{DS}) y el valor de salida V_o con una entrada no digital de $V_i = 2V$. Justifique la respuesta con las necesarias demostraciones.

$V_{GS} =$	(V)	$V_{DS} =$	(V)	$I_{DS} =$	(mA)	$V_o =$	" "
------------	-----	------------	-----	------------	------	---------	-----

C) [0.8] Escriba la ecuación de la recta de carga. Obtenga los puntos de corte con los ejes y dibuje sobre las curvas características, la recta de carga y los dos puntos de trabajo de los apartados anteriores indicando A y B respectivamente. Justifique analíticamente la respuesta.

D) [0.8] Se quiere mejorar la tensión de salida a nivel bajo, de modo que sea menor o igual que 0.2V. Calcule el nuevo valor de la resistencia de drenador R_D . Suponga $V_i = 5V$.

$R_D =$

E) [0.8] Partiendo del diseño inicial del inversor, diseñe una puerta **NOR** de **3** entradas y calcule la tensión de salida V_o cuando hay **2** entradas a **5V** y la **tercera** a **0V**. Datos: $R_D = 2.5k\Omega$, $K = 0.5mA/V^2$, $V_T = 1V$

$V_o =$ Volts

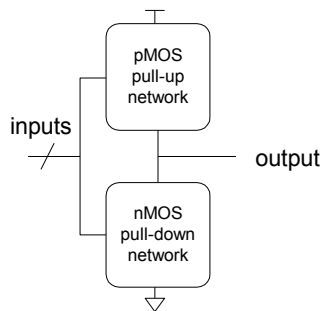
Apellidos:

Nombre:

Problema 2 (Segundo PARCIAL) (4 PTOS)

- A. (1 pto.) Se pretende diseñar la función $F = AB + \overline{AC}$ en **lógica CMOS complementaria**. Dibuje un esquema con transistores. Justifique el diseño.

Nota: utilice el símbolo simplificado de los transistores



- B. (1 pto.) Suponga que el circuito pertenece a un chip con una tensión de alimentación $V_{DD} = 2.5V$ y frecuencia de reloj $f_{clock} = 1GHz$. Además el factor de actividad medio de las entradas es $\alpha = 0.4$ y la capacidad media por transistor es $C_L = 10 \text{ fF}$ ($1\text{fF} = 10^{-15}\text{F}$). Calcule la **potencia dinámica** aproximada del circuito, en mW. Incluya en el cómputo los transistores de los inversores necesarios para generar las variables negadas.

- C. (1 **pto.**) Modifique el esquema de la figura para dotar al circuito de **salida triestado**. Añada los transistores y las señales de control necesarias.
- Dibuje el esquema
 - Explique el funcionamiento
- D. (1 **pto.**) Efectúe un diseño alternativo del circuito, basado en **puertas de transmisión CMOS**. Nota orientativa: utilice la estructura del multiplexor inversor.
- Explique brevemente el diseño
 - Dibuje el esquema con transistores