

ModelSim仿真入门

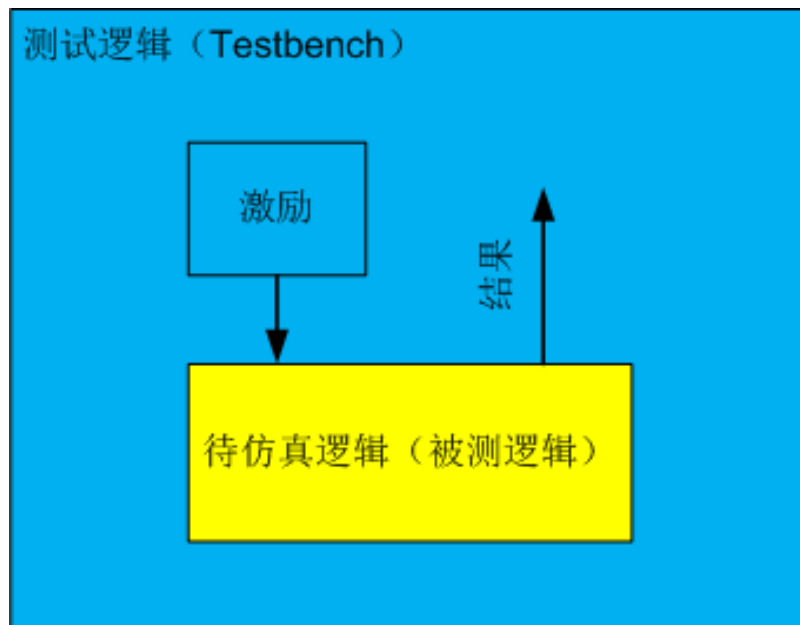
华中科技大学电工电子科技创新中心
电工电子工程基础II

内容

- 使用ModelSim仿真Verilog HDL
- 编写仿真平台（Testbench）
- 编译和仿真
- 查看仿真结果

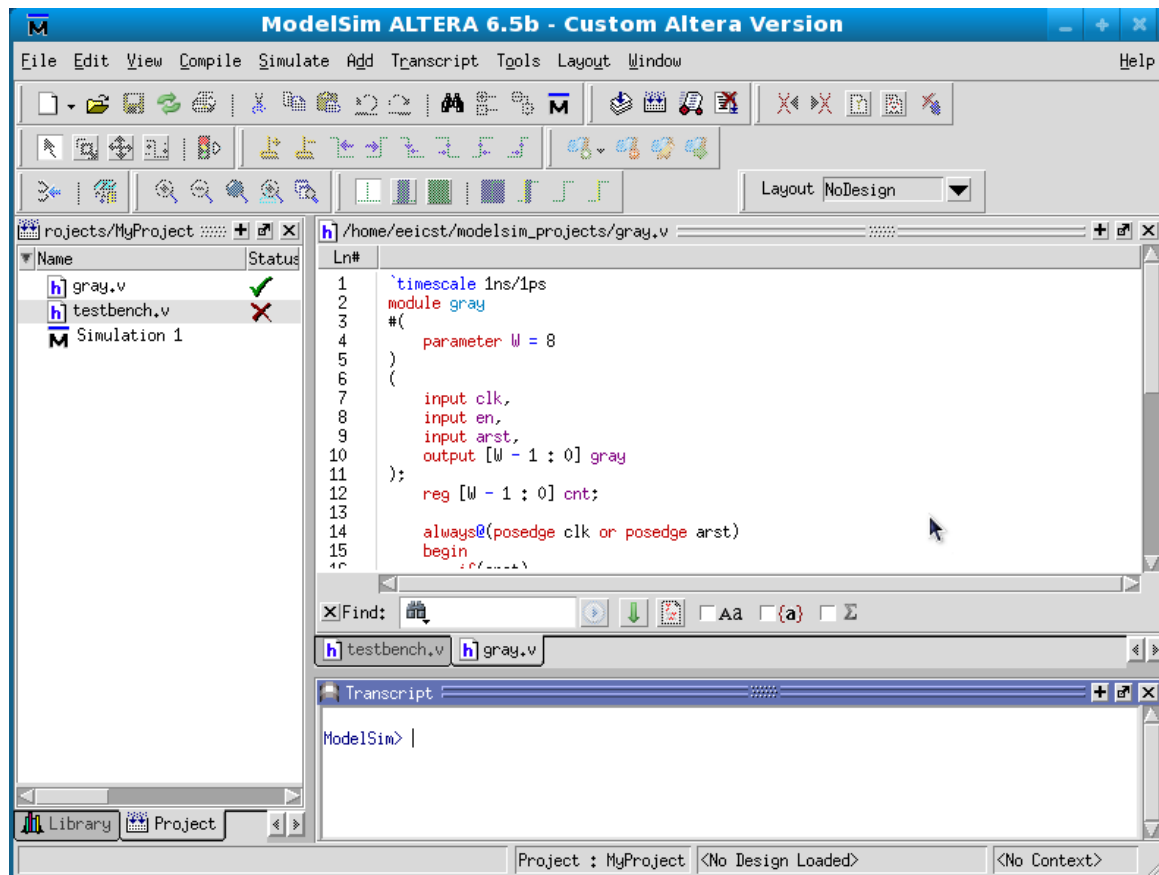
ModelSim介绍

- 为什么要仿真
 - 复杂的设计几乎不可能写完功能就是对的，因此需要在投入使用前仿真验证
 - 仿真分为功能仿真（一般即RTL级）和时序仿真（一般即Gate级）
- 仿真的概念
 - 通过产生一定的激励信号送给被测逻辑，并观察被测逻辑的行为（包括输出和内部行为），来判断被测逻辑是否满足功能需求以及时序需求的过程。



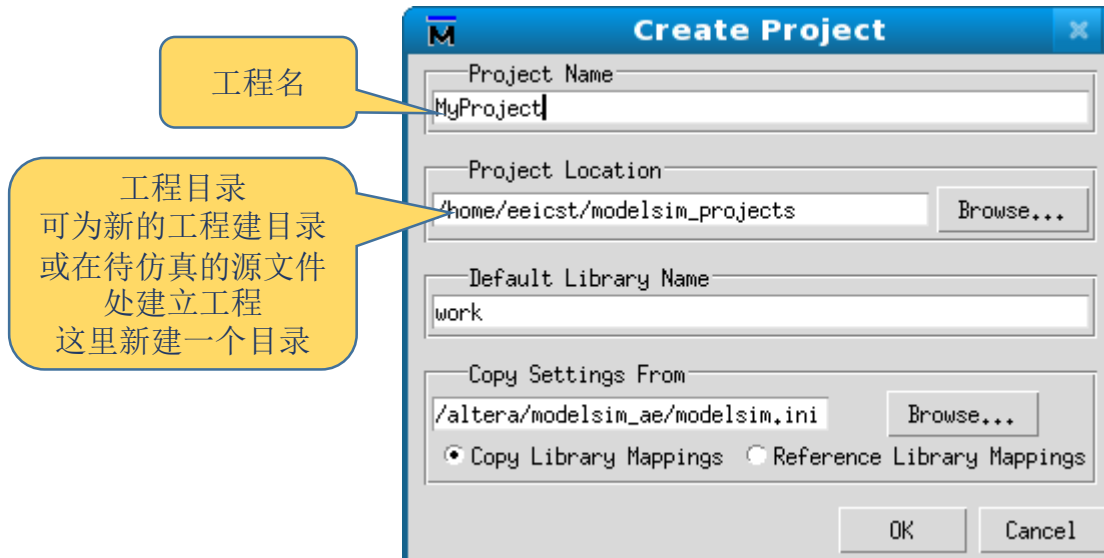
使用ModelSim仿真

- ModelSim的界面
 - 界面中的窗口都可以拖动停靠在主界面的左、右或者下方。



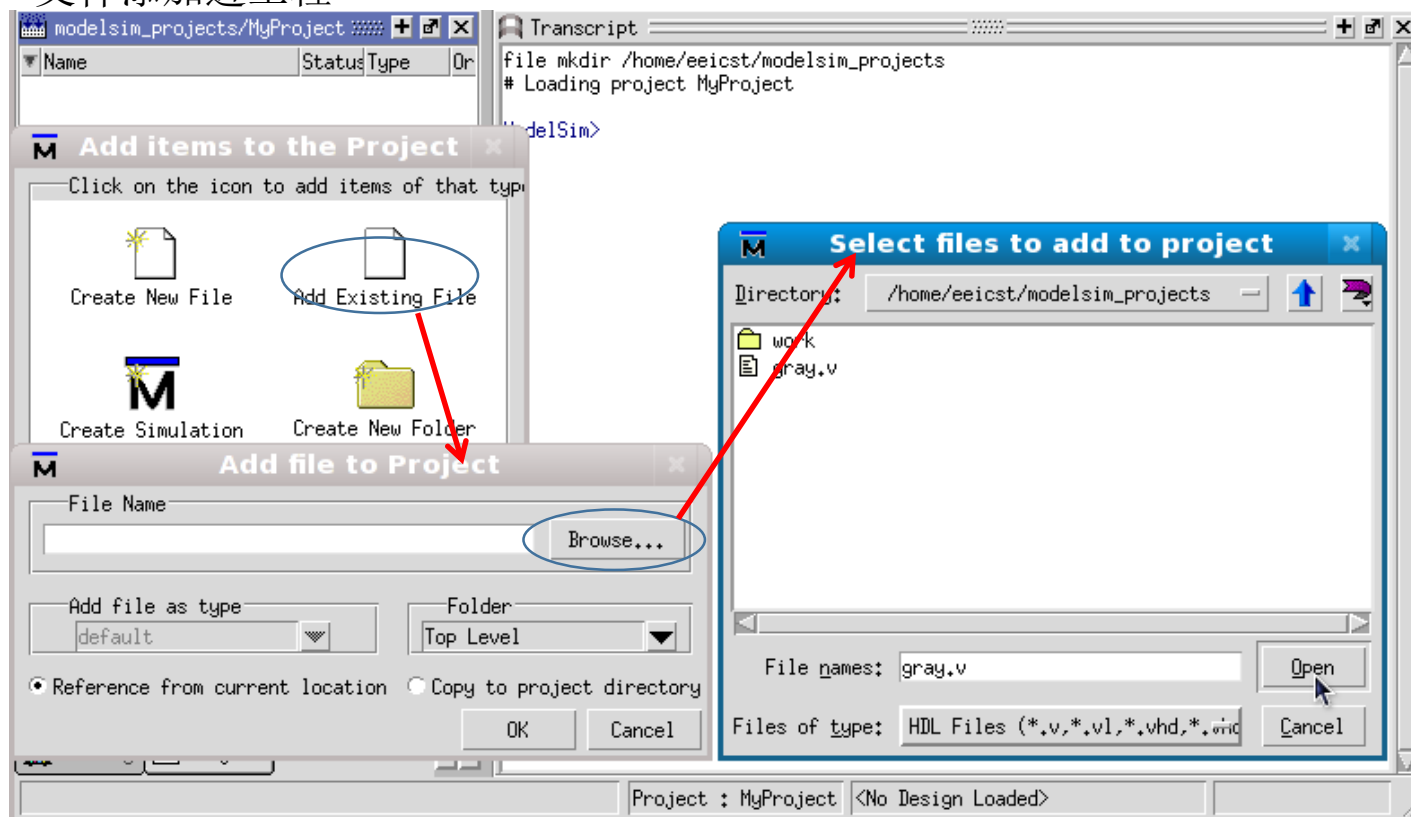
使用ModelSim仿真

- 建立工程
 - 新建工程
 - File - New - Project...



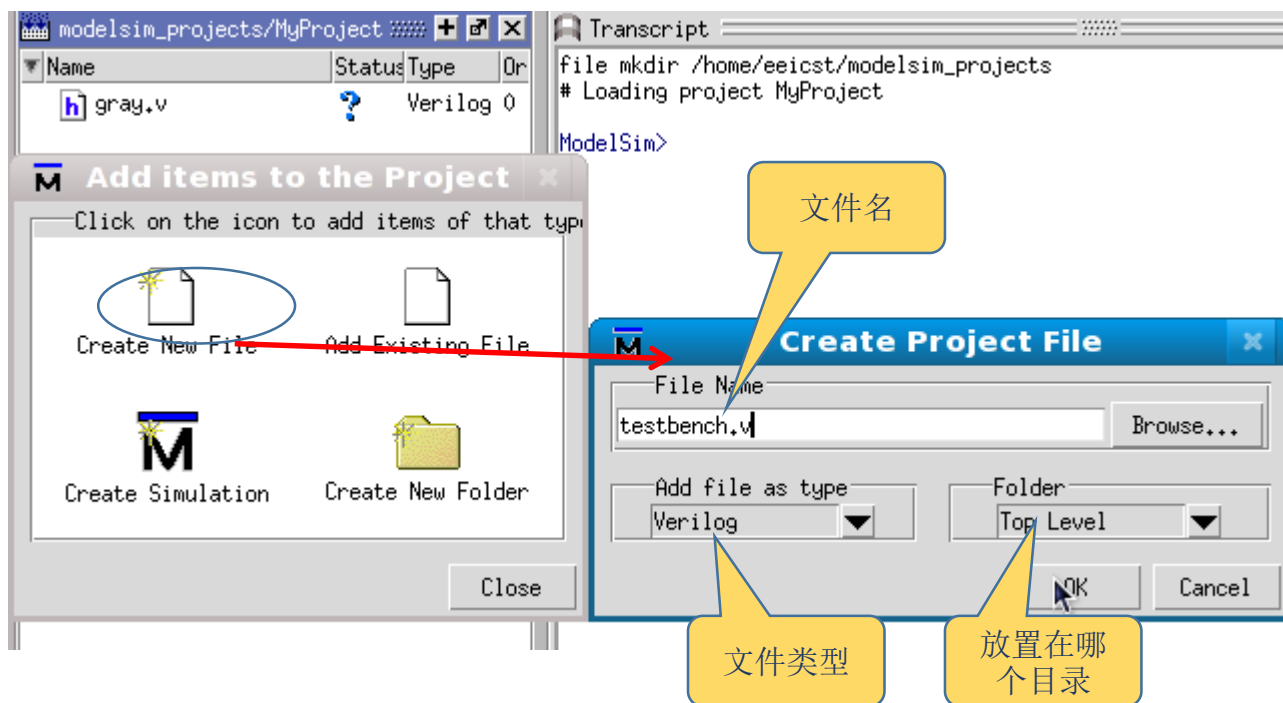
使用ModelSim仿真

- 为工程添加文件
 - 将待仿真的文件复制进刚刚建立的目录内，并“Add Existing File”，将待仿真的文件添加进工程



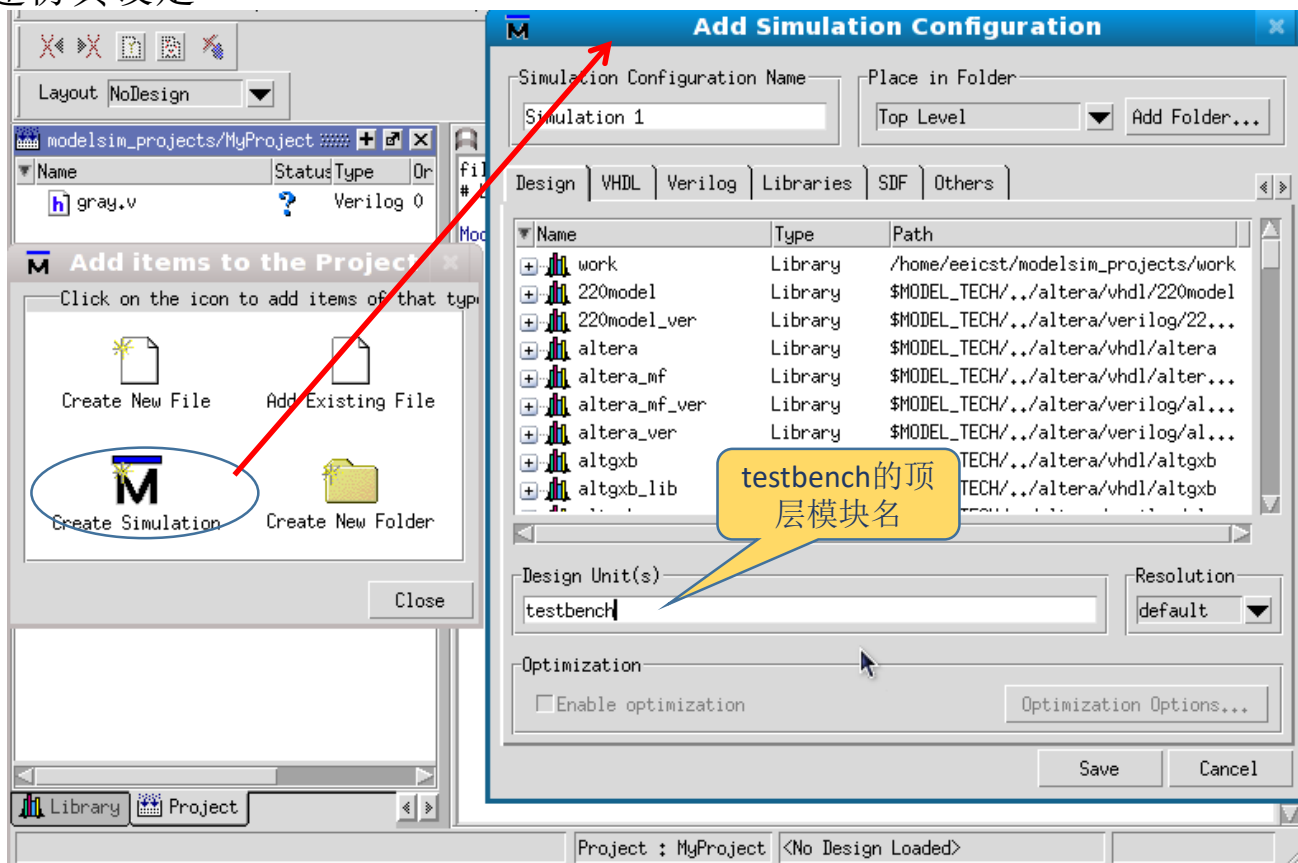
使用ModelSim仿真

- 为工程添加文件
 - 创建用于书写Testbench的源文件，“Create New File”



使用ModelSim仿真

- 为工程添加文件
 - 创建仿真设定



编写Testbench

- 编写testbench

- Testbench中可以使用全部的verilog语法，包括：

- #（延时）
 - initial
 - 各种系统函数，\$stop，\$readmemh等等
 -



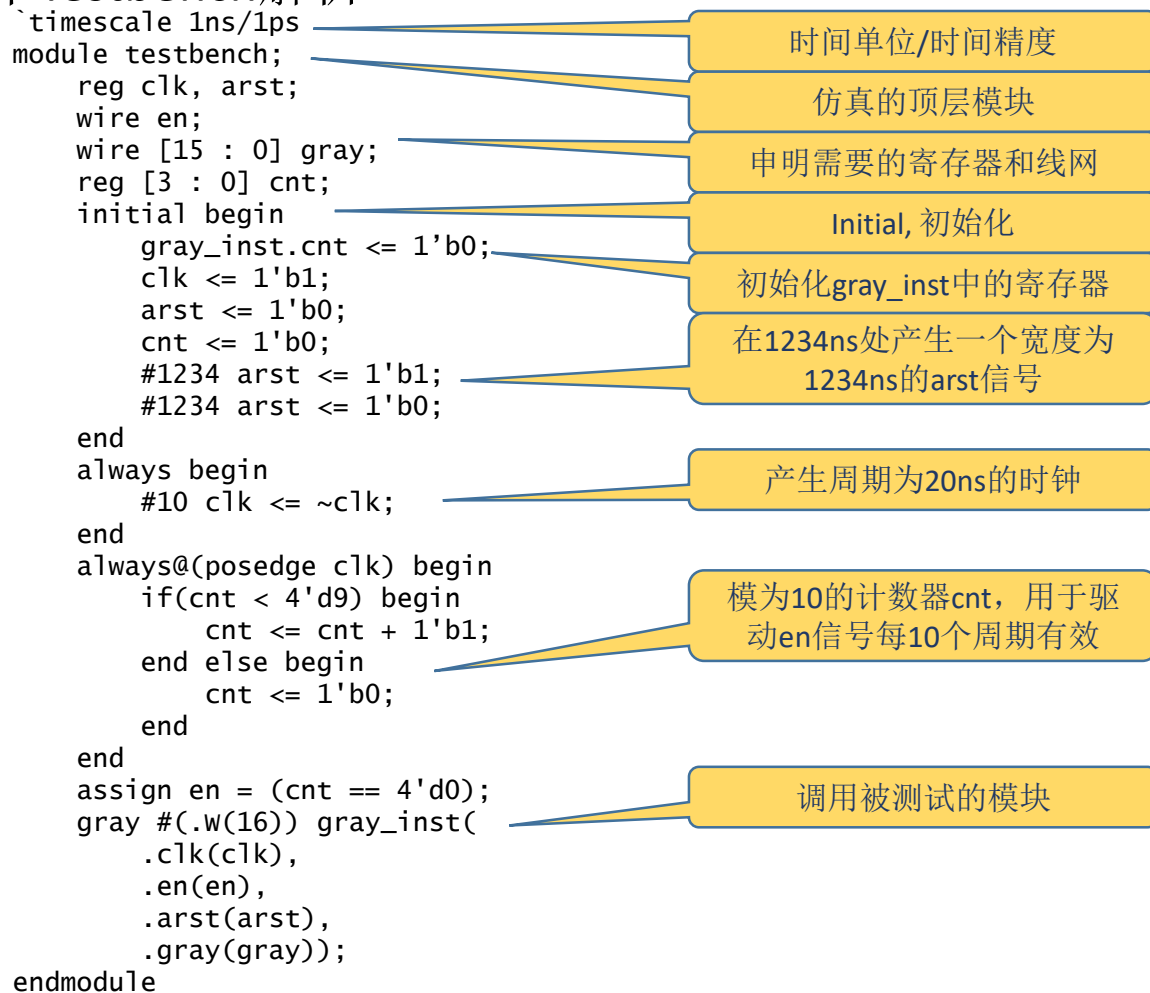
这些语法是不可综合进FPGA的

- 在ModelSim中做功能仿真时，需要注意：

- 所有寄存器型变量（如reg、integer）的仿真初始值均为不确定值“X”，如果你的模块中含有不会在运行期间被赋予确定值的reg，那么在ModelSim中它会一直保持为“X”，这是与实际器件不符的，因为实际器件中不会出现“X”。

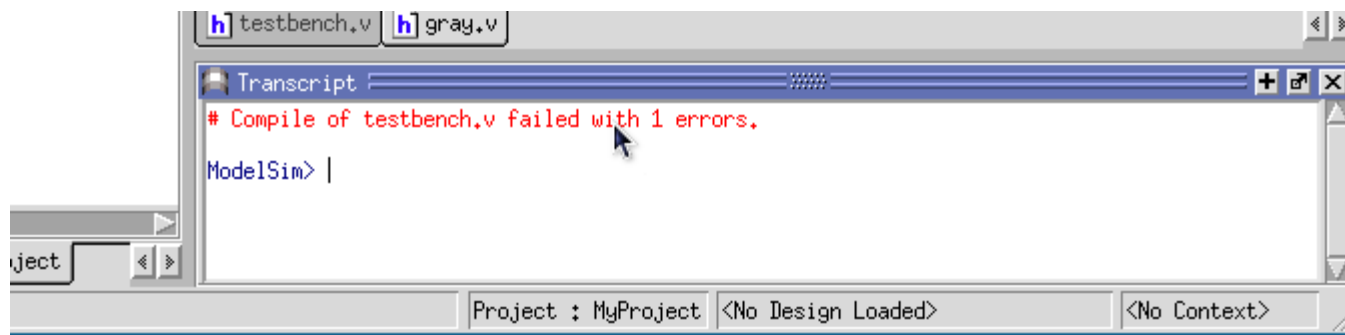
编写Testbench

- 一个Testbench解析



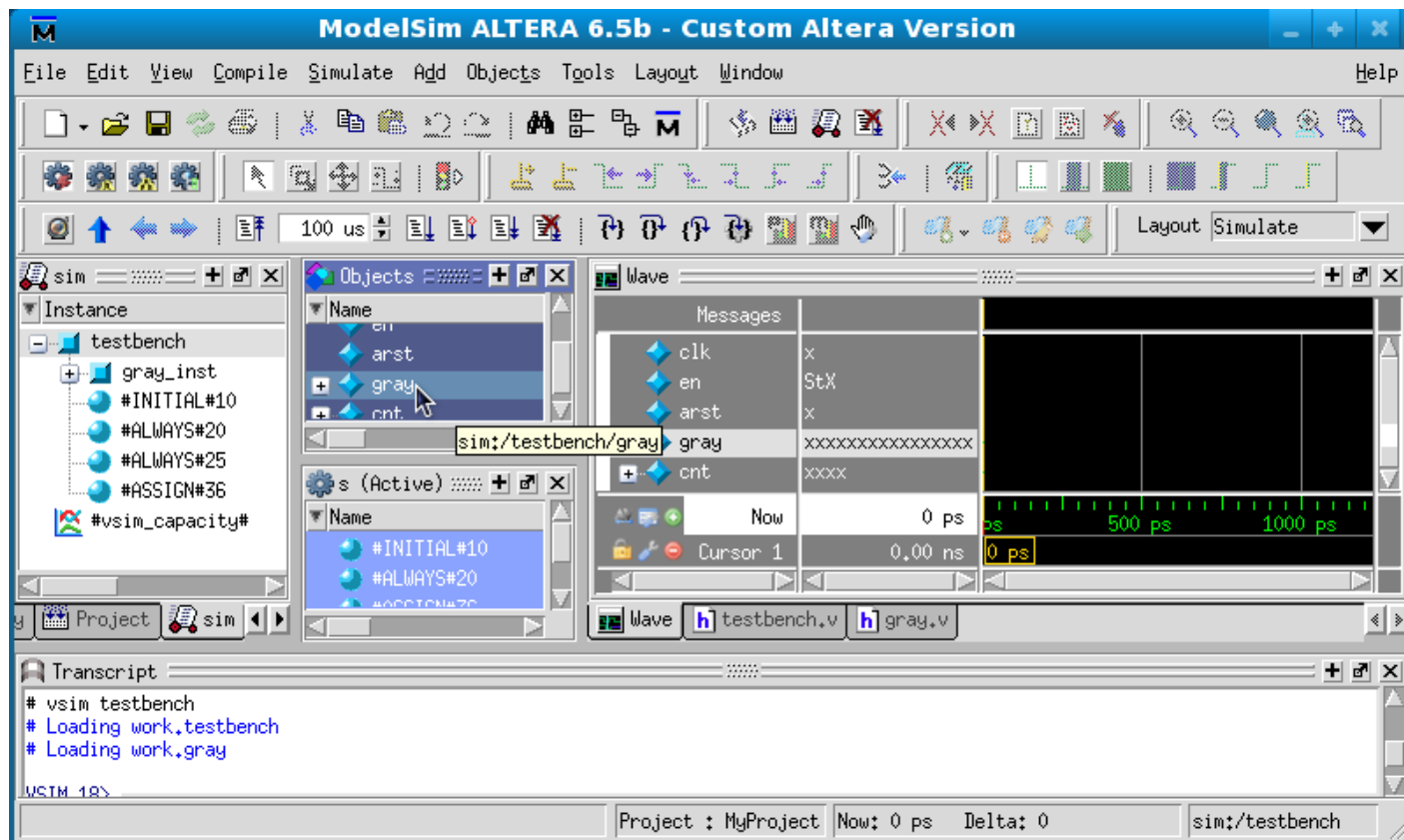
编译和仿真

- 编译
 - 在project视图中右键单击，选择菜单 - Compile - Compile All
 - 如果编译有错误，会在脚本窗口中出现红色提示，双击它可以定位错误



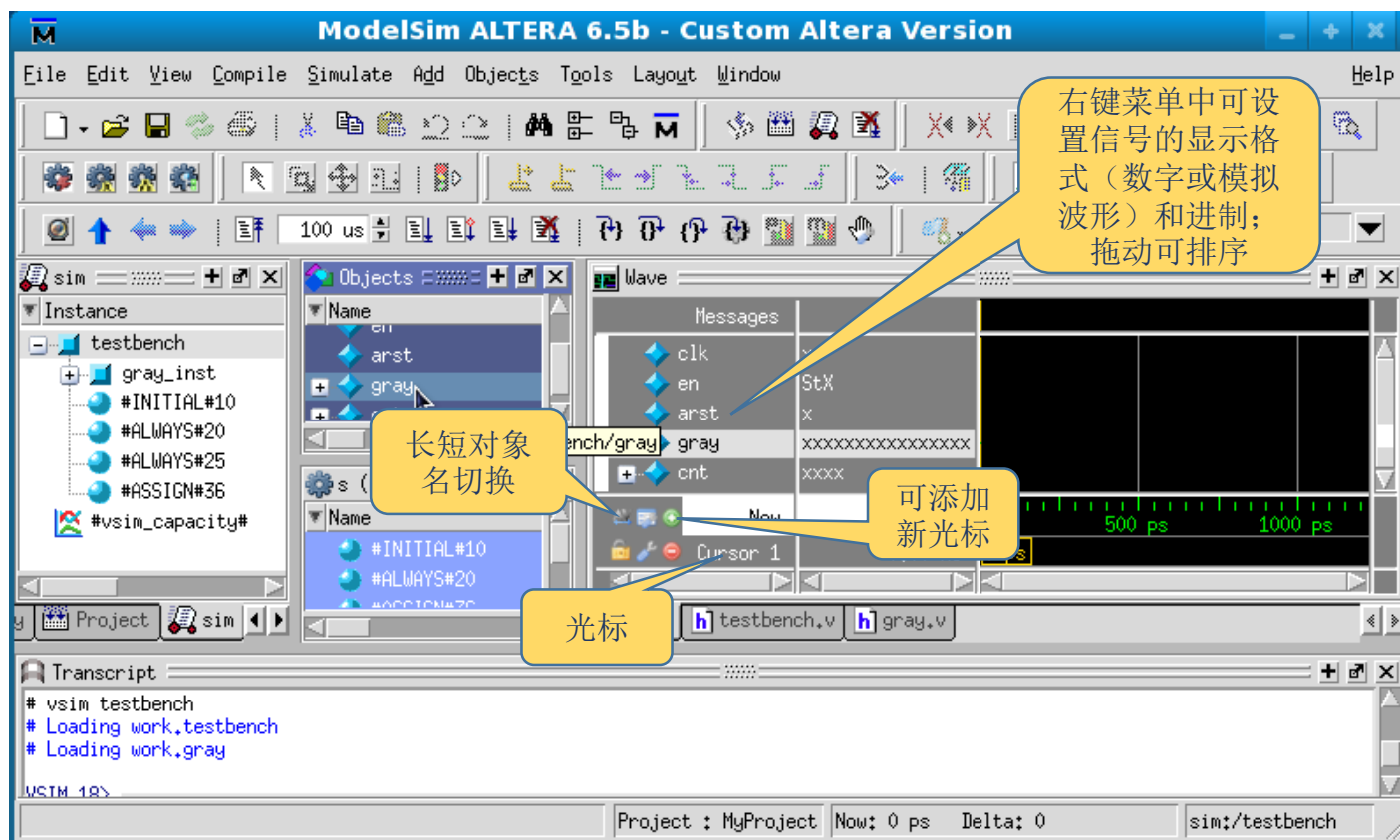
编译和仿真

- 启动仿真
 - 双击仿真设定文件“Simulation 1”， ModelSim启动仿真并切换到仿真界面布局



编译和仿真

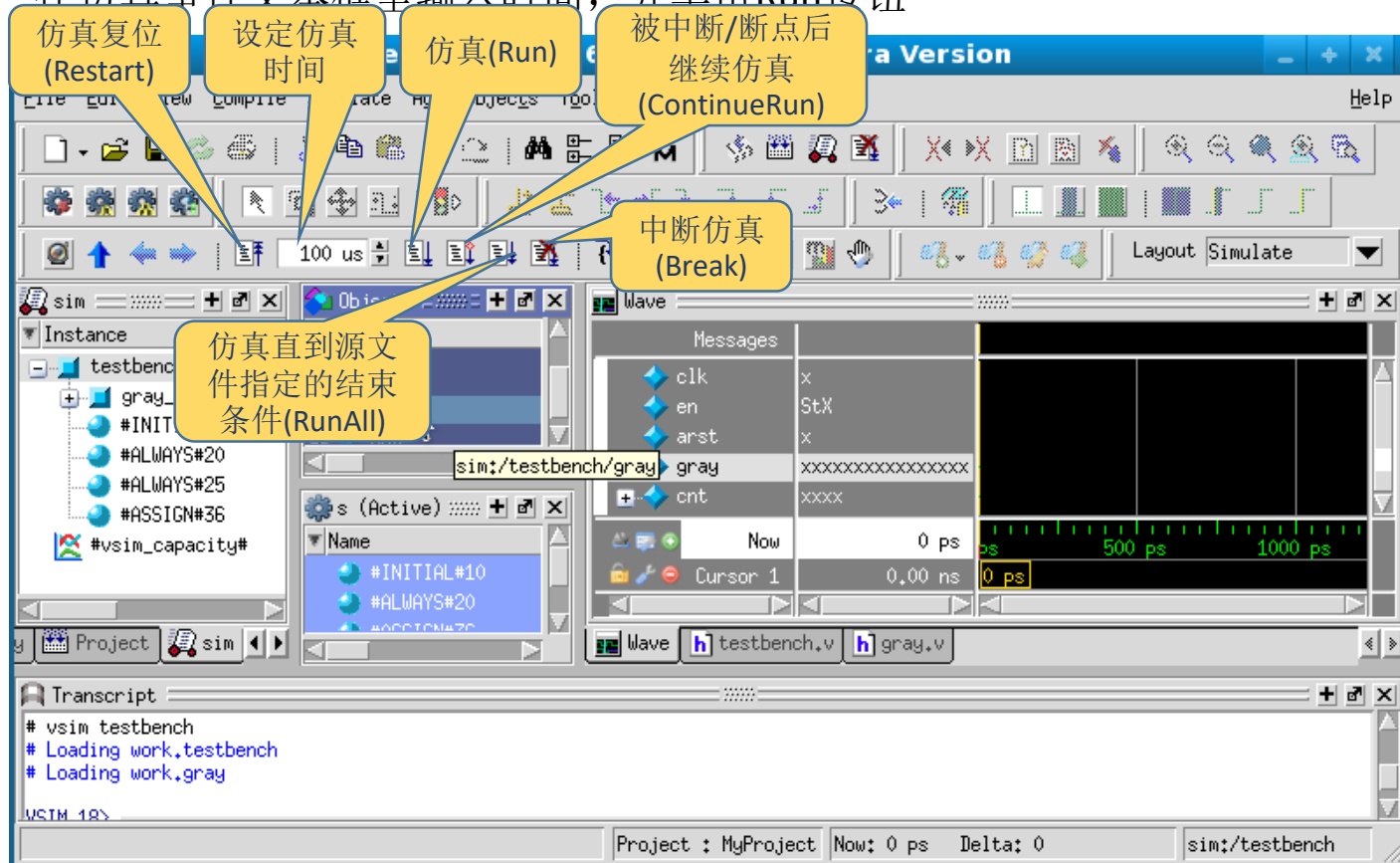
- 添加待观察信号
 - 在Instance窗口中选择模块，在Objects窗口中选择待观察对象拖拽到Wave窗口中。



编译和仿真

- 设定仿真时间，并仿真

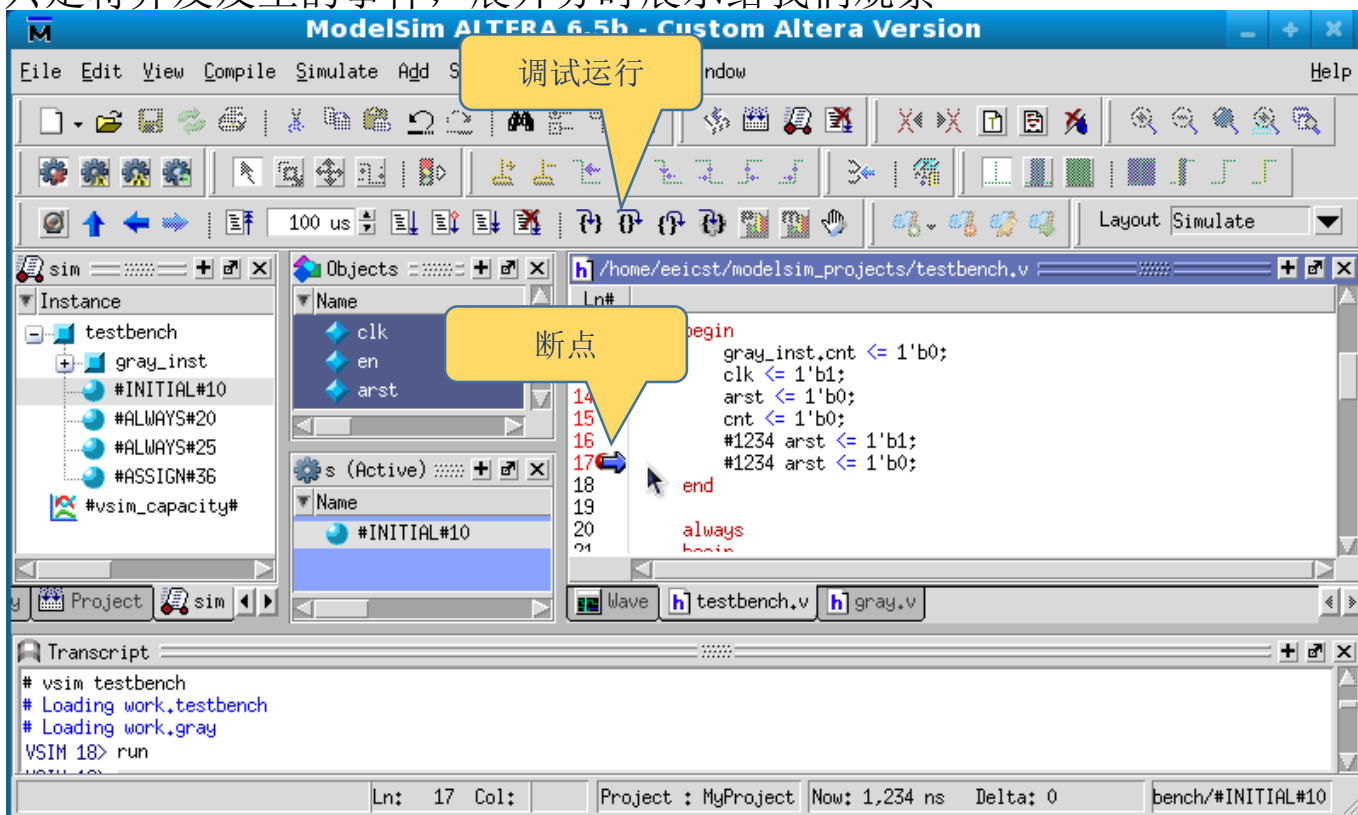
- 在仿真事件文本框里输入时间，并单击Run按钮



编译和仿真

- 调试

- 可在源文件中设定断点，仿真至断点时，会暂停
- 需要注意：HDL描述的逻辑是并发的，虽然ModelSim可以单步，但应理解为，它只是将并发发生的事件，展开分时展示给我们观察



查看结果

- 仿真开始之后，便可以看到Wave窗口中出现波形
- 如果发现错误需要修改源文件：
 - 修改 - 保存 - 编译此文件 - 仿真复位 - 重新仿真

