



Universidad Mariano Gálvez  
Emprendimiento, proyectos e innovación  
Ing. Víctor Vargas  
Guatemala 2 de marzo de 2025

Francisco Josué Méndez Suriano  
091-14-9796  
Laboratorio C2

### Links de videos en YouTube para ejercicios 1 y 2

Ejercicio 1 <https://youtu.be/uEpsjXD6EYI>

Ejercicio 2 <https://youtu.be/lhvAfLoD9Ms>

### Documentos, cálculos del ejercicio 2

#### 1. Selección de compuertas lógicas en Digi-Key:

Al buscar compuertas lógicas de montaje en superficie que funcionen a 1.8V, encontramos las siguientes opciones:

- **SN74LVC1G08DBVR** de Texas Instruments: Esta compuerta AND de 1 canal y 2 entradas opera en un rango de voltaje de 1.65V a 5.5V, lo que la hace adecuada para operaciones a 1.8V. Su encapsulado es SOT-23-5, ideal para montaje en superficie.

#### 2. Cálculo del margen de ruido (Noise Margin):

El margen de ruido se determina mediante los niveles de voltaje de entrada y salida de las compuertas lógicas. Los parámetros clave son:

- **VOH (Voltaje de salida alto mínimo):** El mínimo voltaje que la compuerta considera como una salida alta válida.
- **VOL (Voltaje de salida bajo máximo):** El máximo voltaje que la compuerta considera como una salida baja válida.
- **VIH (Voltaje de entrada alto mínimo):** El mínimo voltaje que la compuerta reconoce como una entrada alta válida.
- **VIL (Voltaje de entrada bajo máximo):** El máximo voltaje que la compuerta reconoce como una entrada baja válida.

Para calcular los márgenes de ruido alto (NMH) y bajo (NML):

- **NMH = VOH - VIH**
- **NML = VIL - VOL**

Según la hoja de datos de la compuerta **SN74LVC1G08DBVR**:

- **VOH mínimo a 1.8V:** 1.65V
- **VOL máximo a 1.8V:** 0.15V
- **VIH mínimo a 1.8V:** 1.2V
- **VIL máximo a 1.8V:** 0.6V

Aplicando las fórmulas:

- **NMH = 1.65V - 1.2V = 0.45V**
- **NML = 0.6V - 0.15V = 0.45V**



Por lo tanto, los márgenes de ruido para esta compuerta son:

- **NMH (Margen de ruido alto):** 0.45V
- **NML (Margen de ruido bajo):** 0.45V

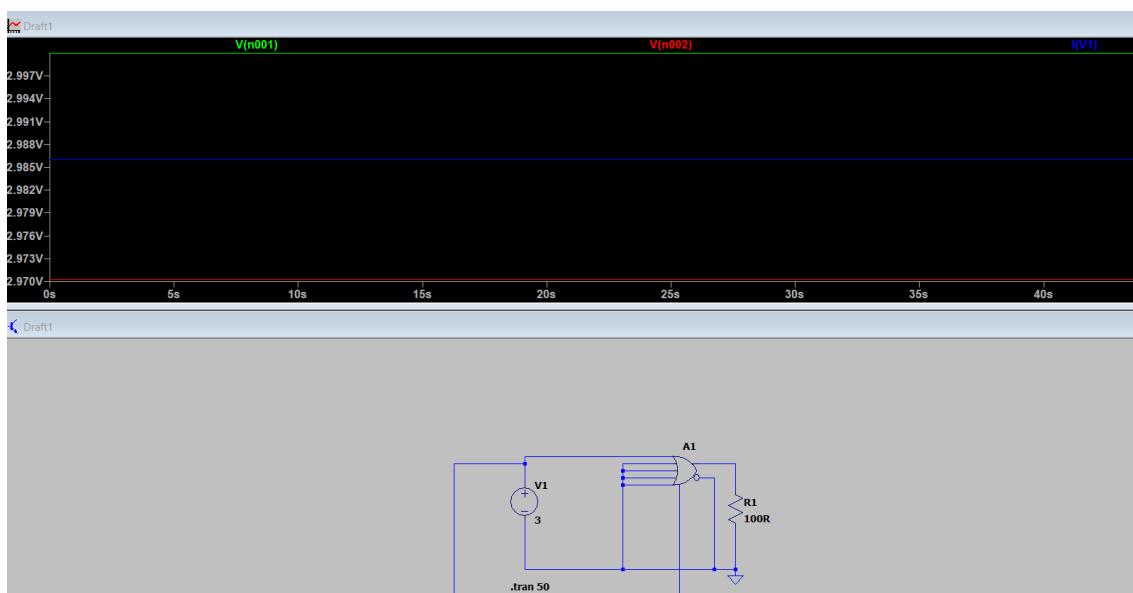
3) Fuerce una compuerta a operar en su forbidden zone. Tome mediciones de voltaje con un osciloscopio y muestre lo peligroso de operar en esta región. Puede utilizar cualquier compuerta. Utilice el simulador de circuitos a su elección

Utilizando LTSpice

Operación en condiciones normales entrada 5VDC



Operación en una zona desconocida 3VDC

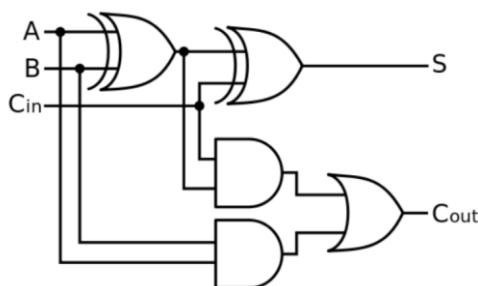


### Conclusiones:

En la zona prohibida (1.5V - 3.5V), la salida del AND se vuelve inestable, en lugar de cambiar bruscamente entre 0V y 5V, podemos obtener valores no deseados que causen daños a los componentes o simplemente no funcionen de manera correcta.

Oscilaciones en la salida, lo que puede causar errores lógicos en circuitos digitales.

### 4. Simule el siguiente circuito en su protoboard y simule su función



- Compruebe su funcionamiento sea el esperado como el de un sumador completo de x1 bit
- Encuentre y mida el contamination + progration delay (Asuma para todas las compuertas un  $tCD=1ps$  y  $tPD=2ps$ )

### Cálculo

El **propagation delay** se determina por la ruta más larga en el circuito.

- Para S:
  - Pasa por **dos XOR** en serie.
  - $tPD=2ps + 2ps = 4pst$
- Para C:
  - Pasa por **una AND, otra AND y una OR** en serie.
  - $tPD=2ps + 2ps + 2ps = 6pst$

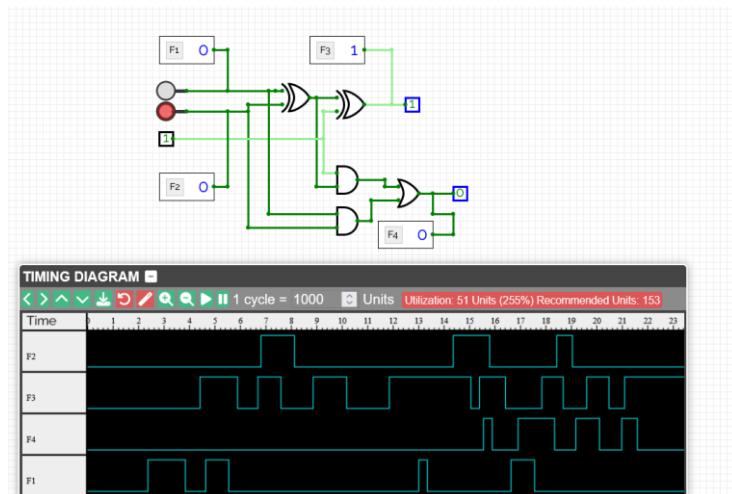
**Entonces, el tPD total es de 6ps, ya que C tiene la ruta más larga.**

### Resultados Finales

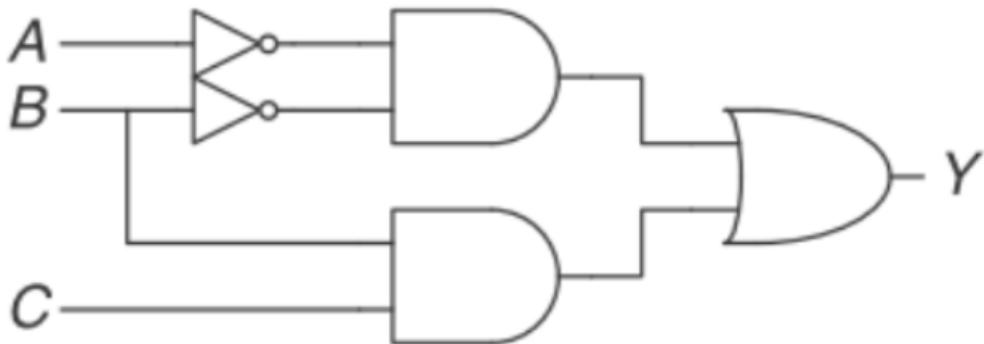
- **Contamination Delay:**  $tCD = 1ps$
- **Propagation Delay:**  $tPD= 6 ps$

Estos valores indican que la salida S responde más rápido, mientras que C tiene el mayor retardo en estabilizarse.

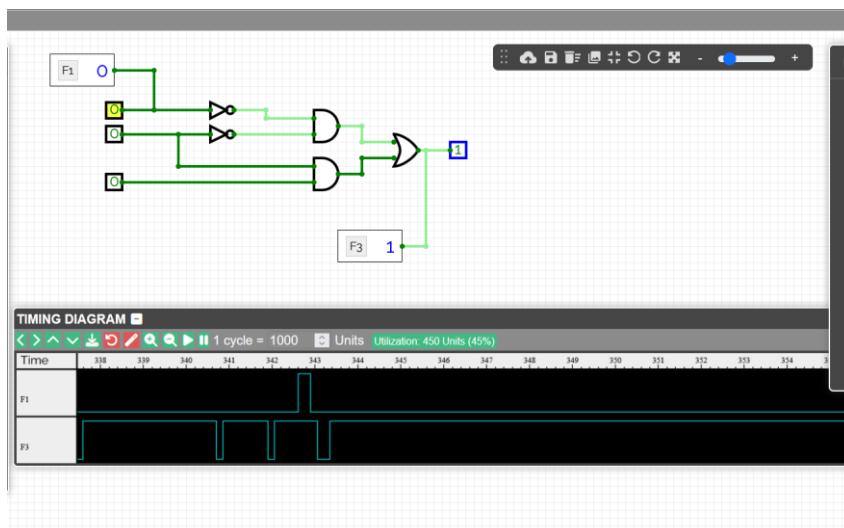
Simulación:



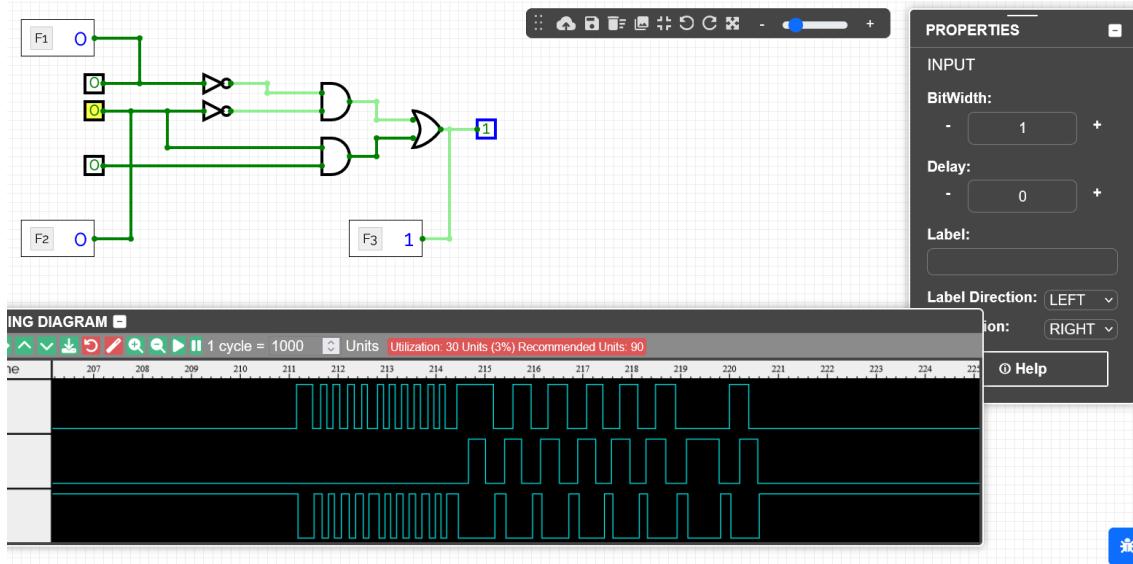
5. Replique el circuito que genero un glitch



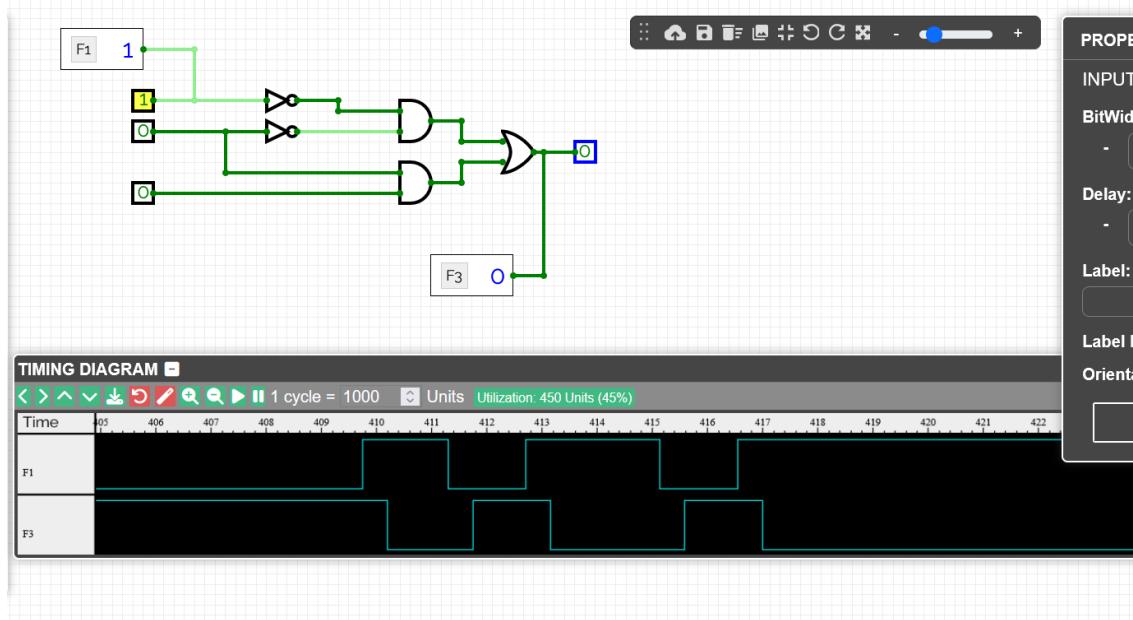
Glitch generado dado que las señales no llegan al mismo tiempo se genera una salida errónea en forma de ruido.



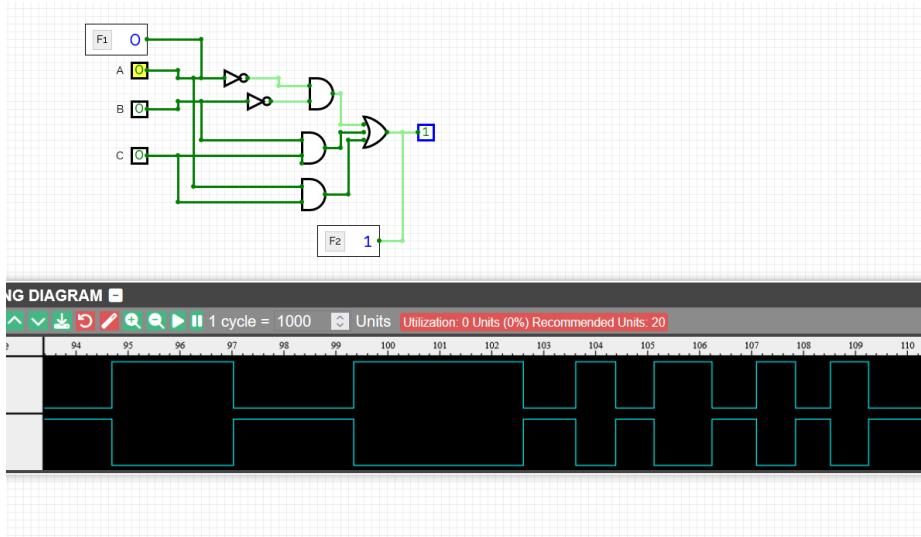
Retardo a 10 ms



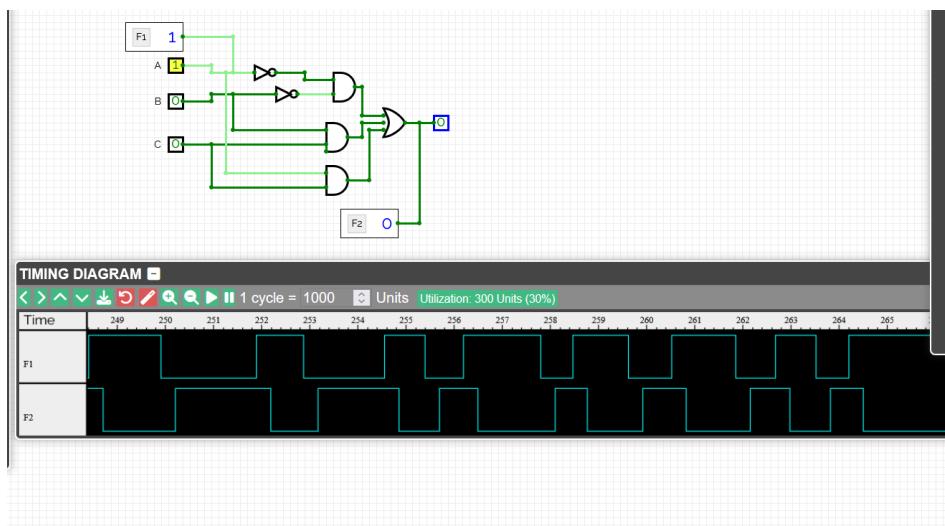
Reatardo a 150 ms



Implementando la estrategia del libro atrasando todas las señales.



Reratdo a 100 ms



### Conclusión final:

El circuito analizado demuestra cómo un diseño sin considerar retardos puede generar glitches, los cuales afectan el funcionamiento correcto de un sistema digital. Simular y optimizar los circuitos es esencial para garantizar su fiabilidad en aplicaciones reales. 🚀

### Soluciones para evitar glitches:

- Uso de **compuertas con tiempos de propagación uniformes**.
- Aplicación de **flip-flops o buffers** para sincronizar señales.
- Diseño con **redundancia** para minimizar transiciones no deseadas.