

Caratteristiche porte logiche e semplici circuiti logici

Francesco Sacco Lorenzo Cavuoti

0) Lo scopo dell'esperienza è misurare le caratteristiche statiche e dinamiche delle porte NOT contenute nell'integrato SN74LS04 (HEX Inverter) e costruire semplici circuiti logici con le porte NAND.

1) Si è montato il circuito in figura 1 e si è alimentato con $V_{CC} = 4.7 \pm 0.2$ V usando solo un generatore. Successivamente si è fatta variare la resistenza del potenziometro e si è segnato V_{in} e V_{out} per ciascuna posizione del potenziometro, i dati sono riportati in tabella e nel grafico in figura, le tensioni sono state misurate con i cursori dell'oscilloscopio.

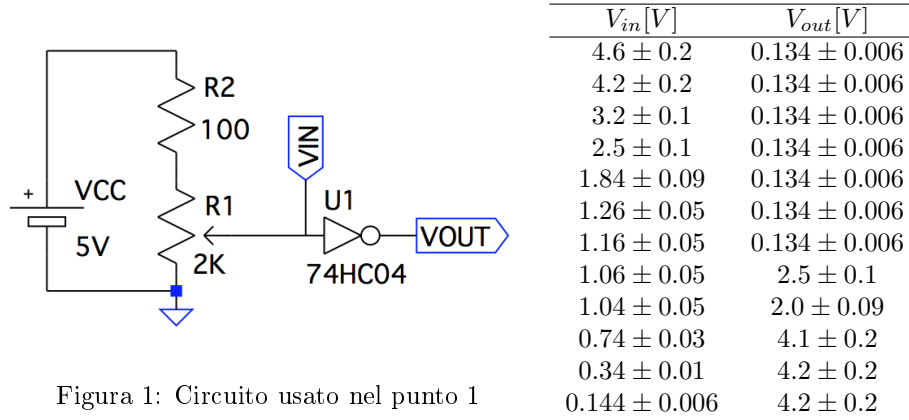


Figura 1: Circuito usato nel punto 1

Usando il potenziometro è stato possibile stimare i voltaggi V_{OH} , V_{OL} , V_{IH} , V_{IL} che si possono vedere nella tabella qui sotto.

Di conseguenza le bande d'incertezza misurate d'input è 0.418 ± 0.007 , mentre quella di datasheet è $1.2V$; la barra d'incertezza misurata d'output è 3.95 ± 0.02 e quella di datasheet è $3.2V$.

Nome	Voltaggi misurati [V]	Voltaggi datasheet [V]
VOH	4.1 ± 0.2	3.4
VOL	0.134 ± 0.006	0.2
VIH	1.16 ± 0.05	>2
VIL	0.74 ± 0.03	<0.8

2) Per il secondo punto abbiamo montato all'uscita del NOT una resistenza di $3.31 \pm 0.03 k\Omega$ verso V_{CC} e abbiamo mandato all'ingresso del NOT un'onda quadra di ampiezza tra 0 e $5.0 \pm 0.2V$ con una frequenza di circa 1kHz. I tempi misurati sono $t_{PHL} = (7.2 \pm 0.8)ns$ (quello di datasheet è $10ns$), mentre $t_{PLH} = 55 \pm 1ns$ (quello di datasheet è $25ns$).

3)

a. Si è montato il circuito in figura 2 dove i segnali A, B sono dati da uno DIP Switch a 4 interruttori con l'altro estremo collegato a massa.

b. Per verificare velocemente la tabella di verità si è collegato un led all'uscita dei circuiti logici, così da notare il passaggio di corrente senza dover misurare con il multimetro o l'oscilloscopio.

c.

- i. Per costruire la porta AND (figura 3) si sono utilizzate 2 porte NAND. Prima si esegue $A \text{ NAND } B$, successivamente si nega il segnale in uscita così da ottenere $A \text{ AND } B$
- ii. Per la porta OR (figura 4) si sono utilizzate 3 porte NAND, infatti sfruttando le leggi di De Morgan si ha: $A \text{ OR } B = (!A) \text{ NAND } (!B)$
- iii. Per la porta XOR (figura 5) si sono utilizzate 4 porte NAND, il circuito è sempre stato ricavato dalle leggi di De Morgan
- iv. Per il sommatore ad un bit (figura 6) si sono utilizzate 6 porte NAND, anche se il circuito risulta abbastanza complicato in realtà questo è composto da uno XOR, che dà il valore del bit più significativo, e da un AND che dà il valore del bit meno significativo. In fase di analisi ci siamo accorti che per il circuito bastavano 5 porte NAND, infatti $A \text{ NAND } B$ viene già fatto nello XOR e di conseguenza si può risparmiare una porta nel calcolo di $A \text{ AND } B$; tuttavia questo porta il gate NAND1 ad avere 3 porte in uscita al posto di 2, mentre il tempo di propagazione resta teoricamente invariato rispetto al circuito precedente.

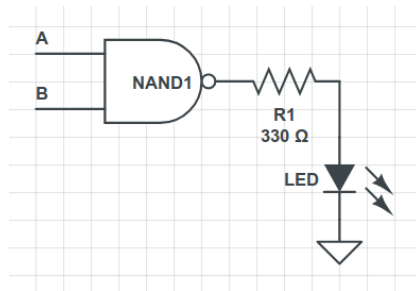


Figura 2: Schema circuitale NAND

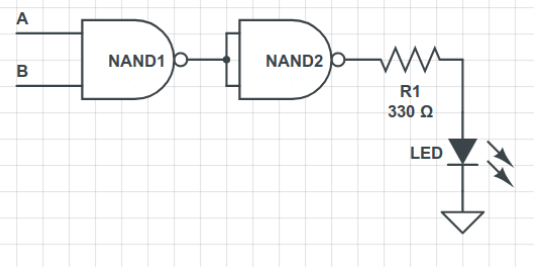


Figura 3: Schema circuitale AND

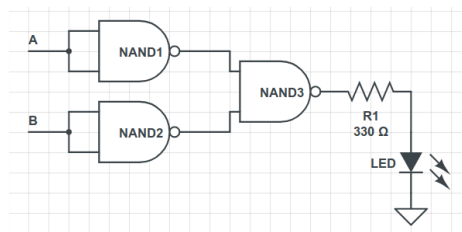


Figura 4: Schema circuitale OR

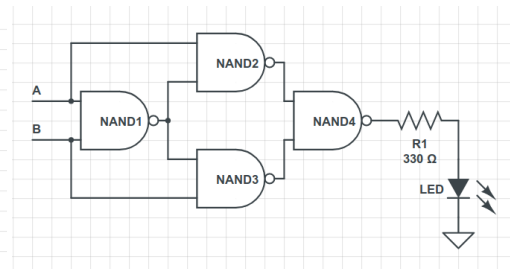


Figura 5: Schema circuitale XOR

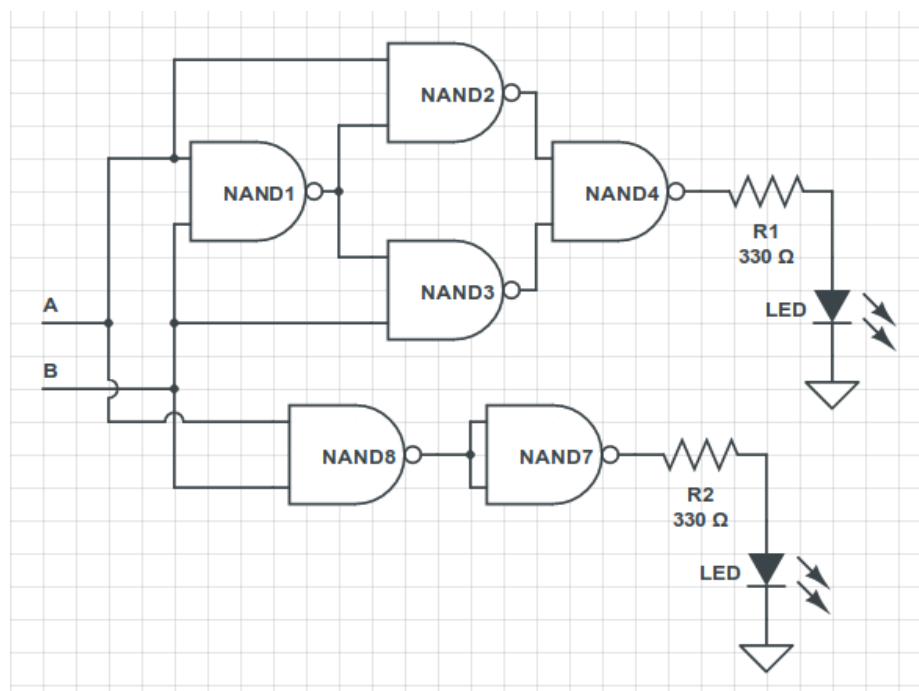


Figura 6: Schema circuitale sommatore a un bit