

Caratteristiche porte logiche e semplici circuiti logici

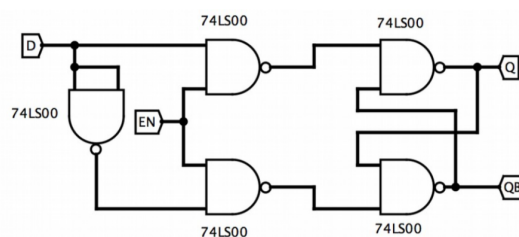
Gruppo 1G.BT
Francesco Sacco Lorenzo Cavuoti

2)

a. Si è montato un flip-flop D-Latch usando le porte NAND dell'integrato SN74LS00 come in figura 1, l'ingresso EN è stato collegato ad un terminale di un DIP Switch con l'altro estremo messo a terra, mentre l'ingresso D è stato collegato all'uscita TTL del generatore di funzioni con $f \approx 1\text{Hz}$.

b. Si è ottenuta la tabella di verità 1, in accordo con le aspettative, inoltre si è misurato il ritardo tra l'ingresso D e l'uscita Q: $t_{pLH} = 27.3 \pm 0.9\text{ns}$ $t_{pHL} = 63 \pm 3\text{ns}$ dove l'errore è dato dalla difficoltà di misura del tempo in quanto i segnali erano frastagliati. Considerando che il segnale in ingresso attraversa 3 porte NAND i tempi sono in accordo con quelli del datasheet dell'integrato.

c. Abbiamo verificato che l'ingresso ENABLE è di predefinito attivo alto



EN	D	Q	!Q
0	X	Q_{n-1}	$!Q_{n-1}$
1	0	0	1
1	1	1	0

Tabella 1: Tabella di verità del flip-flop D-latch

Figura 1: Flip-flop D-latch

3)

a. Abbiamo montato il divisore in frequenza come nell'immagine, 2, le resistenze (330Ω nominali) sono state utilizzate per limitare la corrente che passa nei led.

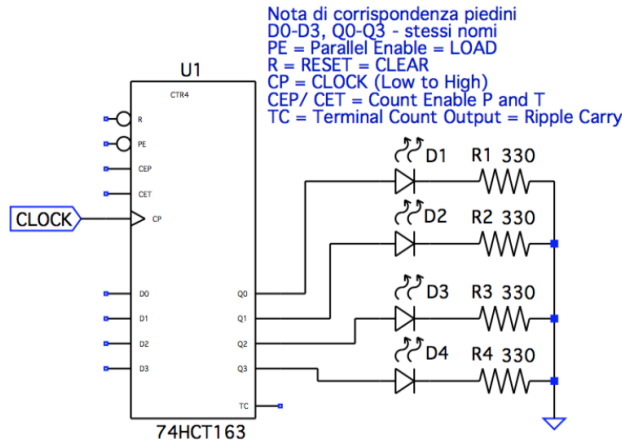


Figura 2: Schema circuitale del divisore di frequenza

b. Si è inviato un clock a circa 1Hz e abbiamo verificato che il circuito sia effettivamente un contatore da 0 a 15 in codifica binaria.

c. Abbiamo inviato un segnale di clock a $80.7 \pm 0.3\text{kHz}$ e verificato che le uscite dividono il segnale. Sotto sono fornite le immagini dei segnali visti all'oscilloscopio, in tutte le immagini il segnale di clock è posizionato in basso mentre l'uscita in alto.

I tempi di sfasamento da LOW a HIGH per ciascuna uscita sono: $t_{pLH}Q_0 = 20.0 \pm 0.9\text{ns}$ $t_{pLH}Q_1 = 18.0 \pm 0.9\text{ns}$ $t_{pLH}Q_2 = 17.0 \pm 0.9\text{ns}$ $t_{pLH}Q_3 = 17.0 \pm 0.9\text{ns}$. Siccome il segnale era frastagliato la stima degli errori è stata effettuata considerando l'incertezza nel determinare la posizione di $V = V_{max}/2$. Notiamo infine che i tempi di sfasamento delle uscite sono molto simili tra loro, questo è in accordo con il fatto che abbiamo utilizzato un contatore sincrono.

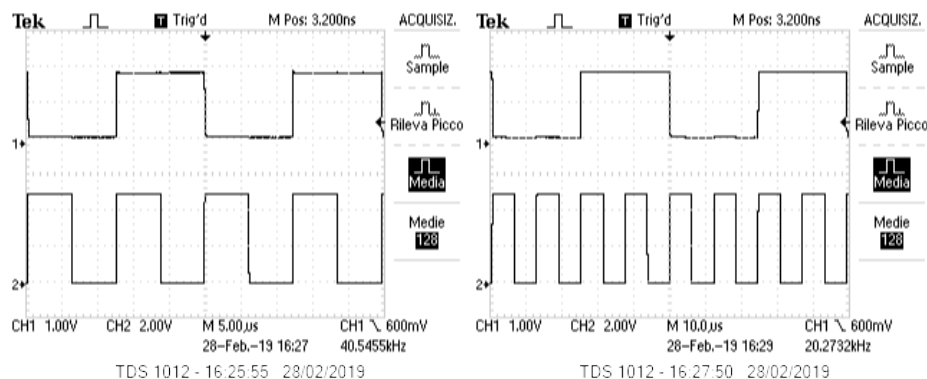


Figura 3: Q_0

Figura 4: Q_1

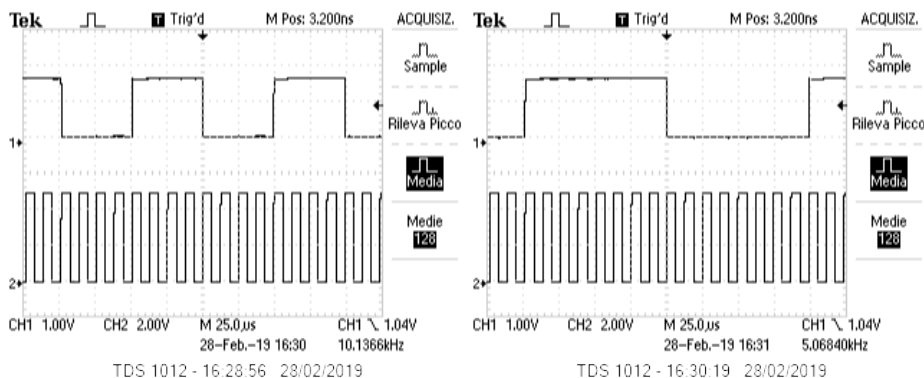


Figura 5: Q_2

Figura 6: Q_3

d. Quando il contatore arriva a 9 si ha che $(Q_0, Q_1, Q_2, Q_3) = (1, 0, 0, 1)$, in particolare esso è il primo numero che ha sia la porta Q_0 che Q_3 sono HIGH, quindi questa condizione può essere usata per resettare il contatore. Essendo di default la porta di RESET HIGH basta collegare al RESET l'uscita di un NAND che ha come ingressi Q_0 e Q_3 . Il segnale dell'uscita Q_0 vista all'oscilloscopio è mostrato in figura 7

4)

a. Abbiamo costruito uno shift register a 4 bit utilizzando 2 integrati 74LS74 contenenti 2 D-Latch ciascuno 8. L'ingresso di Preset è stato collegato ad un pulsante con l'altro estremo messo a terra mentre l'ingresso D è

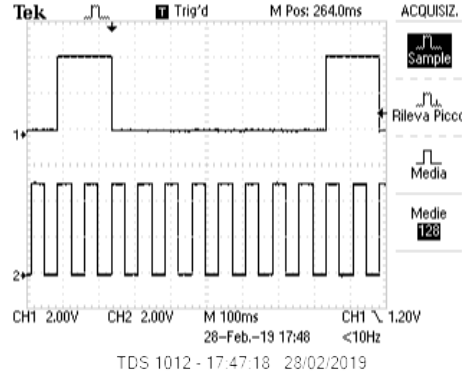


Figura 7: Contatore decimale

stato collegato al DIP Switch, sempre con l'altro estremo messo a terra. Le uscite Q_0, Q_1, Q_2, Q_3 sono state collegate a dei LED con una resistenza verso terra di 330Ω nominali. Infine si è inviato un segnale di clock a circa 1Hz preso dall'uscita TTL del generatore di funzioni. Si osserva che il circuito propaga il segnale d'ingresso D su ciascuno dei D-Latch con un tempo di propagazione da uno all'altro pari a $1/f_{clock}$, in pratica il circuito mantiene la memoria del segnale in ingresso e dei segnali presenti all'ingresso fino a 3 cicli di clock prima; equivalentemente si può dire che ad ogni ciclo di clock il segnale in ingresso viene memorizzato nel D-Latch successivo (infatti l'uscita di ciascun D-Latch è collegata all'entrata di un altro) fino ad arrivare all'ultimo D-Latch dove viene perso.

b. Dopo aver premuto il pulsante di preset lo stato delle uscite è alto, LED acceso.

c. Si è collegata l'uscita Q_3 all'entrata D del primo D-Latch scollegando il DIP Switch, la frequenza di clock è stata alzata a circa 10Hz. Si osserva che partendo da un segnale D alto questo inizialmente viene propagato come nel circuito precedente, illuminando tutti i led, però quando l'ultimo led viene acceso si ha $Q_3 = 1$ e $!Q_3 = 0$, quindi nel ciclo di clock successivo D è basso il che fa spegnere tutti i led. Quando l'ultimo led si spegne si ha $Q_3 = 0$ e $!Q_3 = 1$, il quale porta D ad essere alto, ritornando alle condizioni iniziali. Quindi il circuito esegue il ciclo spiegato sopra continuamente fino a che gli viene fornita corrente, di conseguenza ci aspettiamo che sui piedini di uscita si presenti una frequenza $f = 1/8f_{clock}$ come si osserva all'oscilloscopio figura 9.

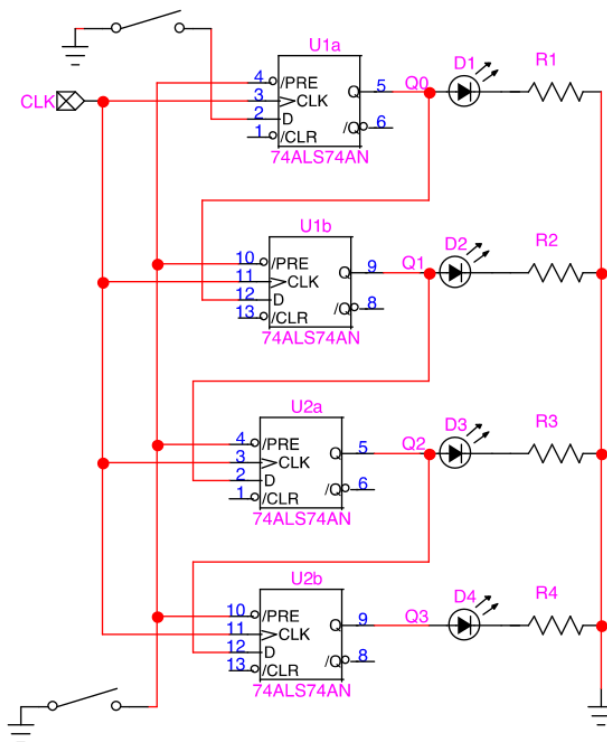


Figura 8: Circuito utilizzato nel punto 4

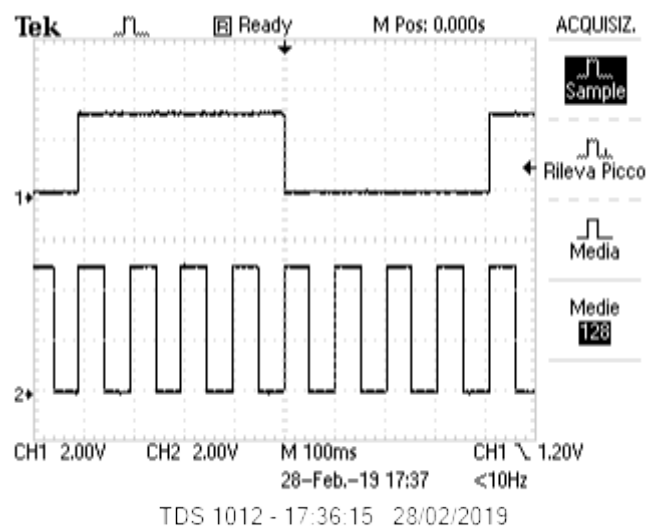


Figura 9: In basso: segnale di clock. In alto: segnale all'uscita dei D-Latch