

Esercitazione N.3: Misure DC su transistor e NOT TTL.

Gruppo AC

Federico Belliardo, Francesco Mazzoncini, Giulia Franchi

October 23, 2016

1 Scopo e strumentazione

Verificare il funzionamento del transistor npn come amplificatore in un circuito in DC, determinando il guadagno in corrente continua ed analizzare l'uso del transistor in un circuito logico NOT. Nell'esperienza ci si servirà di uno stabilizzatore di tensione *LM785* e di un potenziometro (*trimmer*).

2 Identificazione dei terminali dei componenti

Misura della polarità delle giunzioni del diodo Per prima cosa abbiamo analizzato le polarità delle giunzioni del transistor, verificando che si trattasse effettivamente di un diodo npn (abbiamo ottenuto valori positivi per le giunzioni BC e BE).

Misura delle resistenze del trimmer Utilizzando il multimetro digitale abbiamo misurato le resistenze del trimmer: ai suoi estremi la resistenza è risultata costante $R_{tot} = (102.7 \pm 0.8) k\Omega$, mentre la resistenza tra il terminale intermedio e uno dei due estremi è risultata variabile. Prendendo l'uscita dalla parte delle scritte sul case la resistenza aumenta in senso orario.

Controllo dello stabilizzatore di tensione Abbiamo montato il circuito in figura 1 verificando che la V_{out} rimanesse costante a $V_{out} = (5.00 \pm 0.03) V$ (misurata con multimetro digitale) variando V_{in} da 6V a circa 20V.

3 Misure in DC sul transistor

Si sono misurati i valori dei componenti utilizzati: $R_L = (0.977 \pm 0.008) k\Omega$ e $R_B = (46.7 \pm 0.4) k\Omega$ e $C = (9.8 \pm 0.4) nF$. La tensione dell'alimentatore è stata misurata essere: $V_1 = (10.06 \pm 0.06) V$.

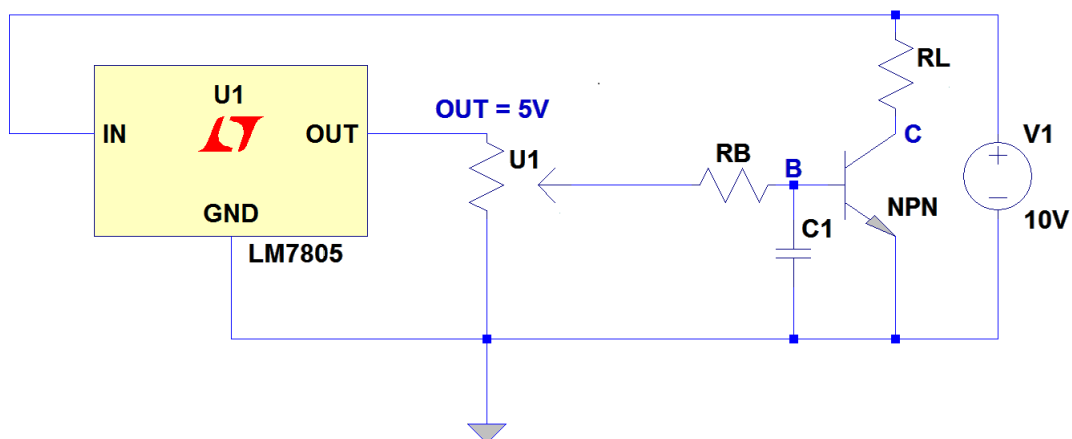


Figure 1: Circuito di amplificazione di correnti continue

Calcolo della retta di carico La retta di carico teorica ($I_C = \frac{V_1 - V_{CE}}{R_L}$) è stata disegnata come retta tra due punti (a $I_c = 0$ e a $V_{ce} = 0$) sul grafico delle curve caratteristiche del transistor, come si vede nella figura 2.

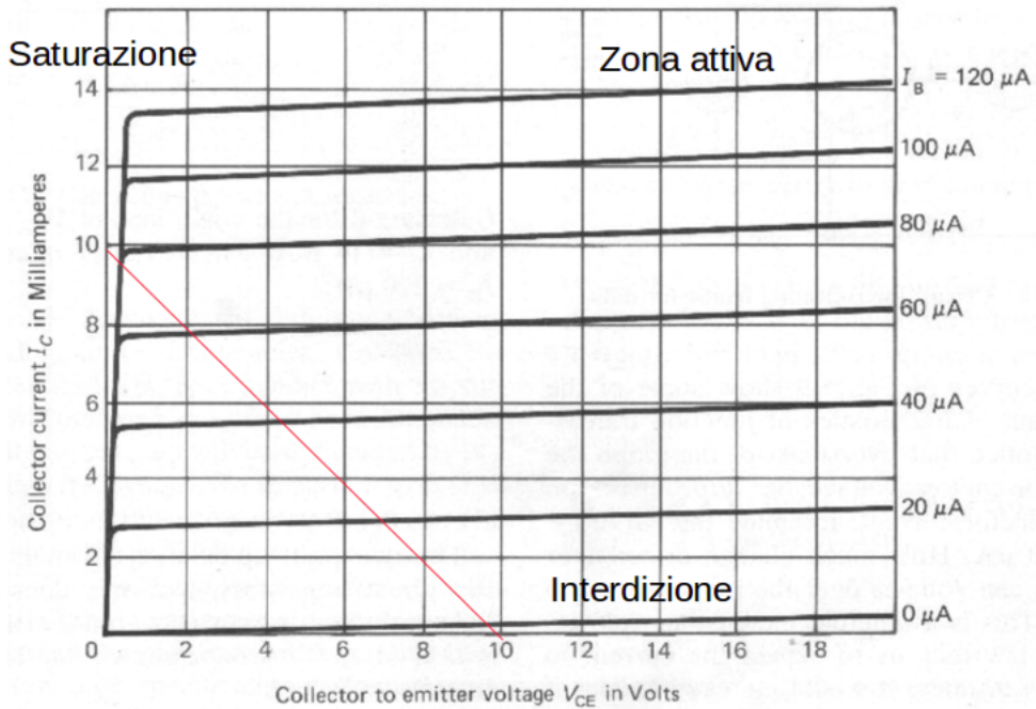


Figure 2: Circuito di amplificazione di correnti continue

Misure sul circuito. Abbiamo collegato il multimetro digitale in parallelo alla resistenza R_B e i due canali dell'oscilloscopio ai terminali B e C del transistor. In questo modo siamo stati in grado di misurare contemporaneamente la caduta di tensione V_{R_B} ai capi della resistenza R_B , V_{BE} e V_{CE} . Abbiamo preso varie misure variando la resistenza del potenziometro (ruotando quindi la vite di regolazione). Grazie alle relazioni $I_B = V_{R_B}/R_B$ e $I_C = \frac{V_1 - V_{CE}}{R_L}$ abbiamo potuto calcolare la corrente I_B in ingresso alla base e la corrente del collettore I_C . Il canale 1 è collegato alla base e il canale 2 è collegato al collettore. Abbiamo riportato tutte le misure nella tabella 1.

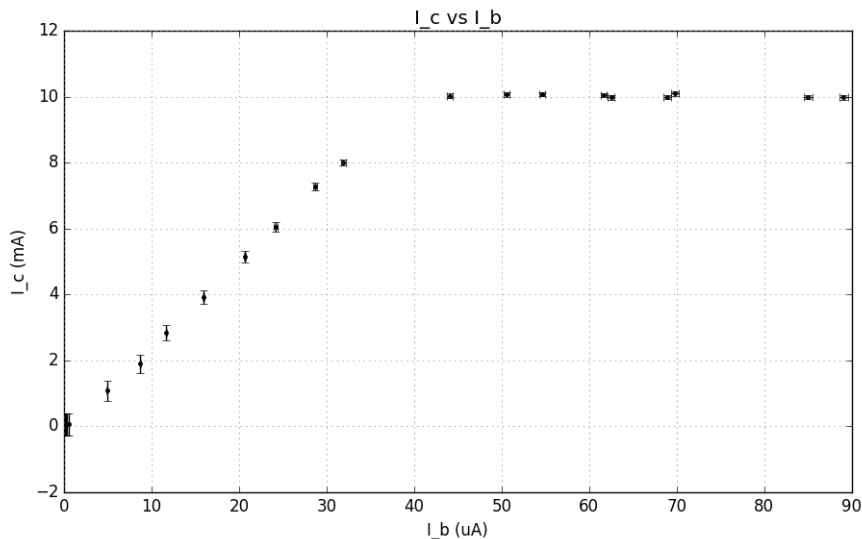


Figure 3: Corrente di collettore vs. Corrente di base

Nei grafici 3 e 4 gli errori sono riportati propagando l'incertezza sistematica sulle misure di tensione dell'oscilloscopio. Nei fit successivi questa incertezza non è stata tenuta in considerazione (non come si può vedere dal fatto che i χ^2 ottenuti sono ragionevoli).

V_{rb}	σV_{rb}	V_{ce}	σV_{ce}	σV_{be}	σV_{be}
4.16	0.02	0.32	0.01	0.88	0.03
3.97	0.02	0.300	0.009	0.86	0.03
3.22	0.02	0.31	0.01	0.84	0.03
2.92	0.02	0.31	0.02	0.86	0.03
0.0033	0.0003	10.0	0.3	0.076	0.003
3.26	0.02	0.200	0.007	0.74	0.02
2.88	0.02	0.240	0.007	0.74	0.02
2.55	0.02	0.216	0.007	0.74	0.02
2.36	0.02	0.228	0.007	0.74	0.02
2.06	0.01	0.260	0.008	0.74	0.02
1.49	0.01	2.24	0.07	0.72	0.02
1.34	0.01	3.0	0.1	0.70	0.02
1.13	0.01	4.2	0.1	0.70	0.02
0.963	0.005	5.0	0.2	0.68	0.02
0.744	0.004	6.2	0.2	0.66	0.02
0.545	0.003	7.3	0.2	0.64	0.02
0.406	0.002	8.2	0.3	0.64	0.02
0.229	0.002	9.0	0.3	0.64	0.02
0.0243	0.0002	10.0	0.3	0.50	0.02
0.0135	0.0001	10.0	0.3	0.296	0.009
0.0038	0.0001	10.0	0.3	0.084	0.003
0.0084	0.0001	10.0	0.3	0.184	0.006
0.0065	0.0001	10.0	0.3	0.140	0.005
0.0051	0.0001	10.0	0.3	0.112	0.004

Table 1: Misure sul transistor in DC

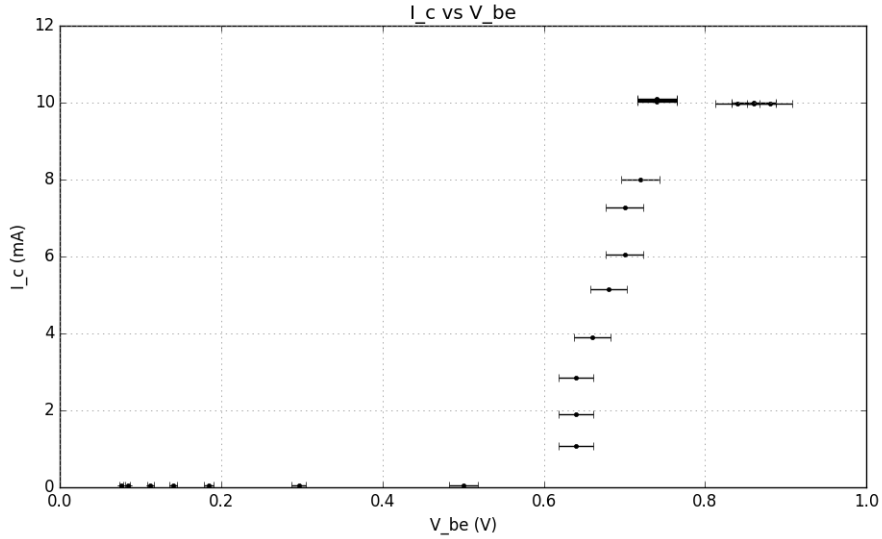


Figure 4: Corrente di collettore vs. Tensione di base

Corrente di saturazione. La massima corrente di collettore erogabile dal transistor è determinata dall'equazione di Kirchoff relativa alla maglia destra del circuito $V_1 = R_L I_C + V_{CE}$, quindi il massimo valore di I_C si ha per il minimo valore di V_{CE} (V_{sat}), che è una caratteristica del transistor.

Si è eseguito un fit di una costante ($\chi^2 = 4.5/7$) per trovare la corrente di saturazione ottenendo il valore $I = (10.03 \pm 0.03) \text{ mA}$. Grafico in figura 5. Da questo valore si ottiene una tensione di saturazione $V_{sat} = (0.26 \pm 0.10) \text{ V}$. Il manuale del transistor riporta l'indicazione che la tensione di saturazione è $V_{ce} < 0.5 \text{ V}$, in accordo con quanto trovato.

Misura della costante di guadagno h_{FE} . Abbiamo calcolato il guadagno del transistor eseguendo un fit lineare di I_C e I_B con la relazione $I_C = h_{FE} I_B + q$. Dai dati della regione attiva riusciamo a stimare il guadagno del transistor, eseguendo il fit lineare (6) otteniamo il valore $h_{FE} = (260 \pm 8)$. Il fit ($\chi^2 = 0.6/6$) è stato applicato

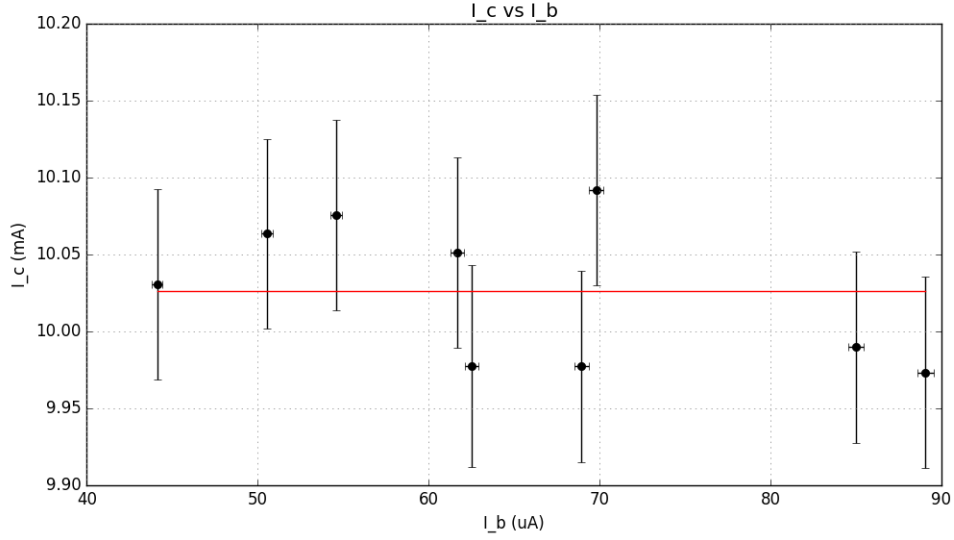


Figure 5: Corrente di collettore vs. Tensione di base

con unità di misura mA e μA sulle ordinate e sulle ascisse rispettivamente, questo mi dà: $a = (0.259 \pm 0.008)$, $b = (-0.2 \pm 0.2)$, la matrice di covarianza è: $\begin{pmatrix} 6.42 \cdot 10^{-5} & -1.31 \cdot 10^{-3} \\ -1.31 \cdot 10^{-3} & 3.13 \cdot 10^{-2} \end{pmatrix}$. Il manuale del transistor riporta: $100 < h_{FE} < 300$, in accordo con quanto misurato.

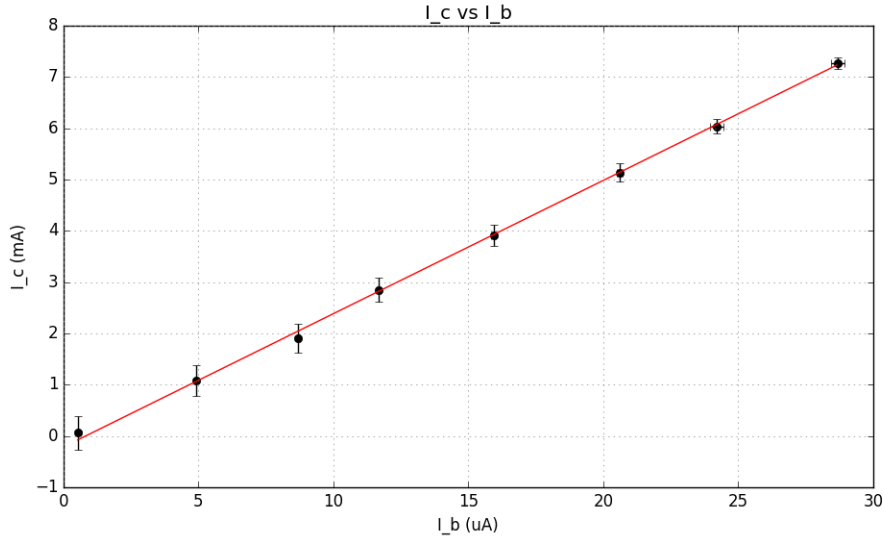


Figure 6: Corrente di collettore vs. Corrente di base

Variazione della retta di carico al variare della tensione di alimentazione. Abbiamo ruotato la vite regolatrice del trimmer resistivo finché non si è ottenuto $V_{CE} \simeq 5V$ per una tensione di alimentazione di $V_1 = 10V$. Si fissa il valore corrispondente della corrente I_B . Misuriamo V_{R_L} ai capi di R_L con il multimetro digitale e V_{CE} tramite l'oscilloscopio al variare di V_1 tra $6V$ e $16V$. Tali dati sono riportati in tabella 2.

Per gli intervalli di tensione che possiamo utilizzare (per mantenere funzionante lo stabilizzatore ($V_1 > 6V$)) non riusciamo a misurare nessun dato nella zona di saturazione ma si osserva marcatamente l'effetto Early, come si vede in figura 7. Abbiamo tentato di determinare con un fit la tensione di Early.

I parametri della retta fittata ($\chi^2 = 7.4/12$) sono: $a = (3.1 \pm 0.2) \cdot 10^{-5} \frac{A}{V}$ e $b = (5.10 \pm 0.01) mA$. La matrice di covarianza dei parametri è: $\begin{pmatrix} 3.50 \cdot 10^{-5} & -2.13 \cdot 10^{-11} \\ -2.13 \cdot 10^{-11} & 1.87 \cdot 10^{-10} \end{pmatrix}$. Da questi dati si può stimare: $V_{Early} = (0.17 \pm 0.01) kV$.

V_I	σV_I	V_{ce}	σV_{ce}
4.99	0.03	1.48	0.08
5.02	0.03	1.80	0.08
5.07	0.03	2.20	0.08
5.06	0.03	2.56	0.08
5.09	0.03	3.08	0.08
5.13	0.03	4.20	0.08
5.14	0.03	4.56	0.08
5.17	0.03	4.96	0.08
5.19	0.03	7.48	0.08
5.23	0.03	8.16	0.08
5.26	0.03	9.60	0.08
5.27	0.03	10.30	0.08
5.34	0.03	11.90	0.08
5.45	0.03	15.20	0.08

Table 2: Tensione di Early

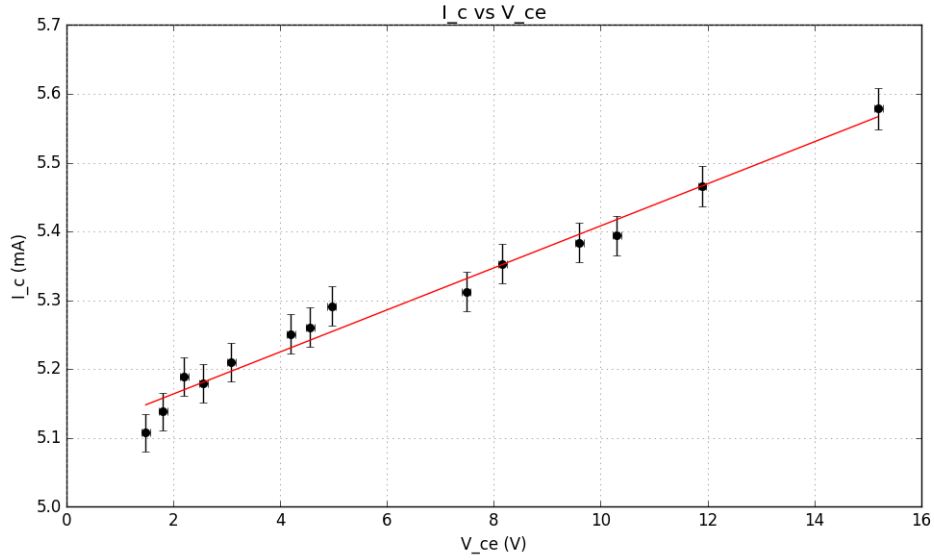


Figure 7: Effetto Early

4 Uso del transistor in un circuito logico NOT

Montaggio del circuito. Abbiamo montato il circuito rappresentato in figura 8.

In ingresso abbiamo collegato il generatore di funzioni in modalità output pulse, il quale genera un'onda quadra oscillante tra 0V e 5V. Abbiamo usato il generatore di tensione insieme allo stabilizzatore di tensione per ottenere $V_{cc} = (5.00 \pm 0.03)$.

Questa configurazione permette di far funzionare il transistor in regime di saturazione e di interdizione al variare di V_{in} . Le resistenze usate (misurate con un multimetro digitale) sono: $R_1 = (14.6 \pm 0.2) k\Omega$, $R_2 = (100 \pm 1) k\Omega$ e $R_L = (2.1 \pm 0.1) k\Omega$. Il generatore di segnali fornisce un'onda quadra a circa 7.5Hz.

Verifica del corretto funzionamento del circuito. Si sono misurate le tensioni di base e di collettore nei due regimi in cui $V_{in} = 0V$ e $V_{out} = 5V$ le misure sono riportate nella tabella 3.

•	Saturazione	Interdizione
V_B	$(680 \pm 8) mV$	$(2.6 \pm 0.2) mV$
V_C	$(37.6 \pm 0.8) mV$	$(4.88 \pm 0.08) V$

Table 3: Voltaggi circuito NOT.

Dall'analisi delle maglie del circuito otteniamo le equazioni per le correnti: $I_b = \frac{V_C}{R_2} + \frac{V_{in}-V_C}{R_1}$ e $I_c = \frac{V_{cc}-V_{ce}}{R_L}$. Riportiamo i valori in tabella 4:

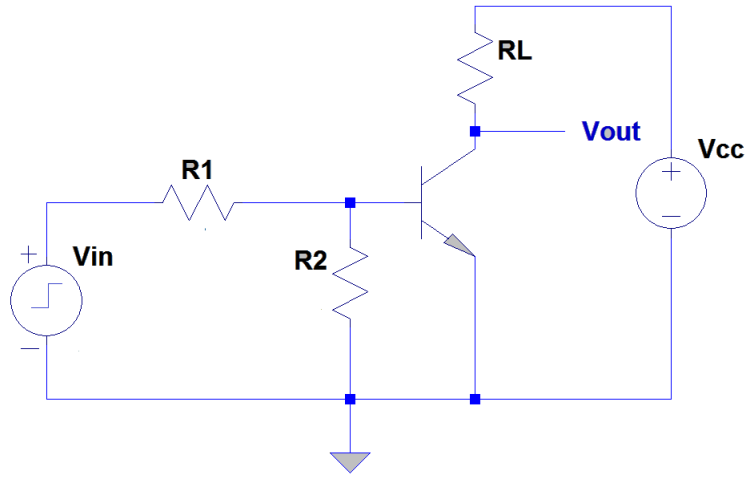


Figure 8: Circuito logico NOT.

•	Saturazione	Interdizione
I_B	$(36.39 \pm 0.08) \mu A$	$(8.2 \pm 0.7) nA$
I_C	$(2.4 \pm 0.1) mA$	$(0.10 \pm 0.04) mA$

Table 4: Correnti circuito NOT.

Come si può vedere dalle correnti al variare del valore di V_{in} in circuito passa da condizione di interdizione (correnti basse nella base e nel collettore) a una situazione di saturazione. Questi stati corrispondono a voltaggi $V_{out} = V_C$ rispettivamente $V_{out} = (4.88 \pm 0.08) V$ e $V_{out} = (37.6 \pm 0.8) mV$. Duqnue il circuito può essere usato in logica TTL per implementare la funzione NOT. Nella zona di transizione il circuito passa in zona attiva.

Si vede dalla figura come il comportamnto del cuircuito sia quello di eseguire un NOT:

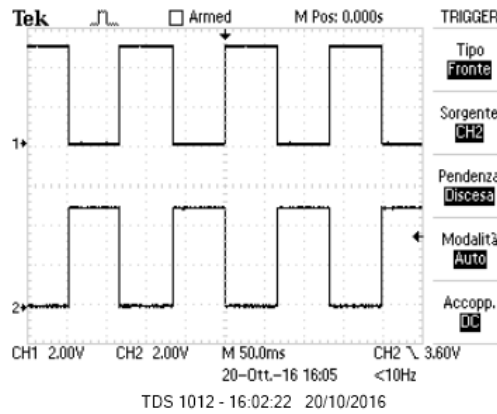


Figure 9: Funzionamento del circuito come NOT.

Misura dei tempi di transizione di V_{out} . Le misure dei tempi di transizione effettuate con l'oscilloscopio sono riportate in tabella 5. Nella fase di salita si passa da saturazione a interdizione.

•	Salita	Discesa
Ritardo	$(8.7 \pm 0.2) \mu s$	$(244 \pm 8) ns$
Transizione	$(1.68 \pm 0.04) \mu s$	$(224 \pm 8) ns$

Table 5: Misure dei tempi con $R_2 = 100k\Omega$.

Discussione sui tempi di transizione di V_{out} . I tempi di transizione sono dovuti alla capacità della regione di svuotamento delle due giunzioni, che si comporta come un condensatore, dove la larghezza della regione è proprio la distanza tra le lastre.

Nel modello h-ibrido tale capacità può essere aggiunta in parallelo alle resistenze dinamiche delle giunzioni. Nello stato di interdizione la regione di svuotamento è grande e dunque la capacità associata è piccola così come è piccolo il tempo di scarica del circuito RC associato. In zona di saturazione la capacità associata è grande così come il tempo di salita.

Questo spiega perchè i tempi (di ritardo e di transizione) associati alla discesa sono minori di quelli associati alla salita.

Cambiamento della resistenza R_2 . La resistenza R_2 è il parallelo alla resistenza dinamica della giunzione base emettitore (h_{ie}), utilizzando la formula di Shockley questa può essere stimata come: $h_{ie} = \frac{\eta V_T}{I_C} \sim 1 k\Omega$. La resistenza che compare nella stima della costante di tempo è il parallelo tra R_2 e h_{ie} , dunque per ottenere della variazioni nel tempo caratteristico bisogna scegliere resistenze R_2 dello stesso ordine di grandezza della resistenza dinamica.

Togliendo la resistenza i tempi non cambiano significativamente questo perchè aggiungere una resistenza di $100 k\Omega$ in parallelo a una da $1 k\Omega$ non cambia la resistenza totale. Si riportano qui di seguito le misure dei tempi in tabella (6) per una resistenza $R_2 = 4.7 k\Omega$.

Nella figura 10, si vede una chiara curva esponenziale dovuta alla scarica di un condensatore.

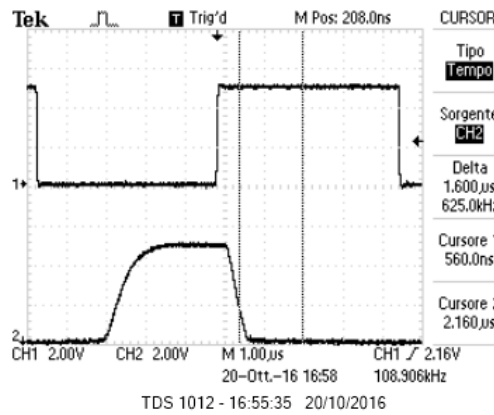


Figure 10: Circuito logico NOT.

Dalla figura 10 si vedono anche qualitativamente le presenze dei tempi di ritardo e di transizione.

•	Salita	Discesa
Ritardo	$(2.90 \pm 0.08) \mu s$	$(280 \pm 10) ns$
Transizione	$(940 \pm 8) ns$	$(220 \pm 10) ns$

Table 6: Misure dei tempi con $R_2 = 4.7 k\Omega$.

Diminuire la resistenza dovrebbe (secondo il modello prima esposto) abbassare i tempi sia di salita che di discesa. I tempi di discesa rimangono tuttavia abbastanza stabili.

E' necessario un intervallo di tempo perchè la corrente di base della fase di saturazione si annulli per passare in fase di interdizione, diminuire la resistenza R_2 diminuisce la corrente di base e quindi anche il tempo associato alla salita (passaggio in interdizione).

Verifica funzionamento del circuito. Si è verificato che le prime distorsioni apprezzabili dal comportamento ideale del circuito si verificano alla frequenza di $20 kHz$.