

Esercitazione 4 - Gruppo BG

Misure DC su transistor e NOT TTL

Tommaso Pajero

Alessandro Podo

6 novembre 2014

L'esercitazione ha lo scopo di verificare il funzionamento del transistor come amplificatore in un circuito in DC, di determinarne il guadagno in corrente continua e infine di sfruttarlo per costruire un circuito logico NOT, sul cui funzionamento sono state effettuate alcune misure.

3. Misure sul transistor e sul trimmer resistivo

3.b Misura della polarità delle giunzioni del diodo

Si è preso il diodo 2n1711 in dotazione e si sono misurate con il tester le polarità delle sue giunzioni, ottenendo valori positivi per le giunzioni BC e BE. Il transistor è dunque di tipo *npn* come dichiarato dal costruttore.

3.c Misure sul trimmer resistivo

Si sono eseguite tramite il multimetro digitale misure sul funzionamento del trimmer. La sua resistenza complessiva (fra i terminali 1 e 3) è $98.7 \pm 0.8 \text{ k}\Omega$ costante al ruotare della vite di controllo. La resistenza variabile fra i terminali 1 e 2, invece, aumenta girando la vite in senso orario.

4. Misure sullo stabilizzatore di tensione

Si è montato il circuito in figura 1 utilizzando il generatore di tensione per fornire la tensione V_1 e lo stabilizzatore KA7805 in dotazione per fornire quella V_2 . Si sono misurate con il tester le resistenze e il condensatore ottenendo: $R_B = 46.5 \pm 0.4 \text{ k}\Omega$ (un tale valore evita che passino nel transistor correnti superiori ai suoi valori limite), $R_L = 0.975 \pm 0.008 \text{ k}\Omega$ e $C = 10.4 \pm 0.4 \text{ nF}$. Si è fatta variare la tensione V_1 fra 6 V e 16 V (valori misurati fra canale in ingresso e massa dello stabilizzatore), misurando con il tester la tensione erogata in uscita $V_2 = 5.05 \pm 0.03 \text{ V}$, costante in questo intervallo.

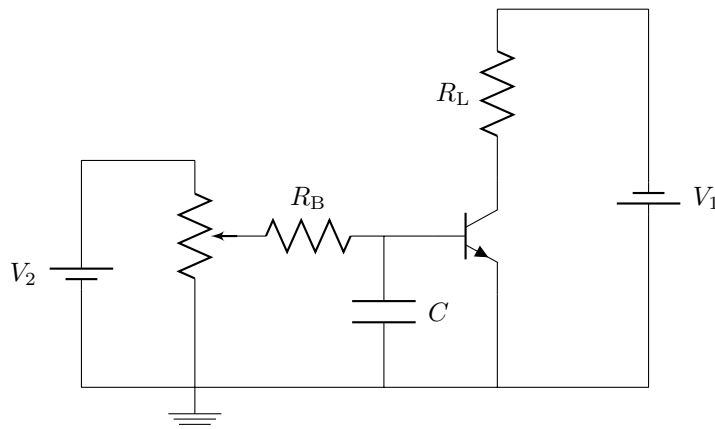


Figura 1: Circuito di amplificazione di correnti continue

5. Misure in DC sul transistor

5.a-b Preparazione del circuito alle misure e calcolo della retta di carico

Si è fissata la tensione in ingresso al valore (misurato col tester) $V_1 = 9.99 \pm 0.05$ V; quindi si è posto il multimetro digitale in parallelo alla resistenza R_B e si sono collegati i due canali dell'oscilloscopio ai terminali B e C del transistor, in modo da poter prendere contemporaneamente misure di V_{R_B} (caduta di tensione ai capi della resistenza R_B), V_{BE} e V_{CE} .

Si è quindi determinata la retta di carico del circuito $V_1 = R_L I_C + V_{CE}$ ¹ e la si è disegnata congiuntamente al grafico delle curve caratteristiche in uscita del transistor sul piano $V_{CE} - I_C$ nella figura 2. Sempre nella stessa figura si sono indicate grossolanamente le tre zone di funzionamento del transistor sulla retta di carico.

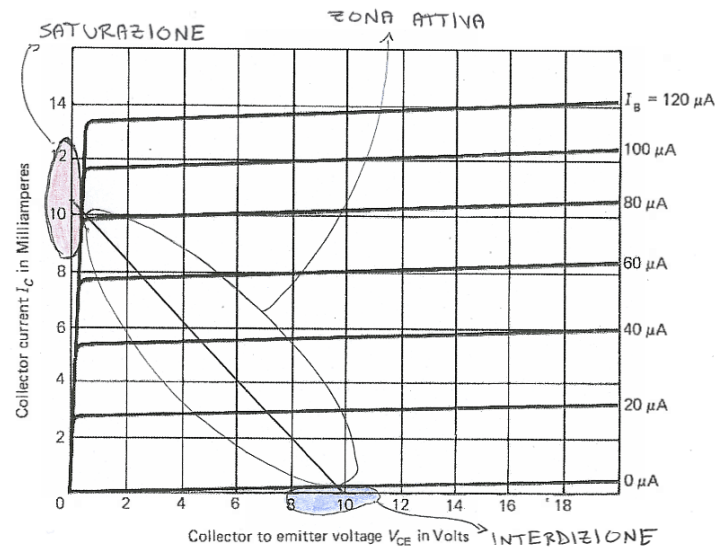


Figura 2: Curve caratteristiche in uscita del transistor *nnp* BJT modello 2n1711 e retta di carico per il circuito in figura 1.

5.c Misure sul circuito di amplificazione

Si sono prese varie misure dei valori di V_{R_B} , V_{BE} e V_{CE} al variare della tensione a monte di R_B (modificata ruotando la vite di regolazione del trimmer resistivo). Da queste si sono calcolate le correnti in ingresso alla base I_B e al collettore I_C tramite le relazioni $I_B = V_{R_B}/R_B$ e $I_C = (V_2 - V_{CE})/R_L$. Si riportano i dati relativi in tabella 1.

Si è graficata I_C in funzione di I_B e di V_{BE} rispettivamente nelle figure 3 e 4. Nel primo grafico i punti relativi al funzionamento del transistor in interdizione sono tutti sovrapposti in basso a sinistra ($I_B \simeq 0$), quelli relativi alla zona di saturazione giacciono sulla retta orizzontale in alto a destra (per tali punti I_C resta costante all'aumentare di I_B , ciò accade approssimativamente per $I_B > 55 \mu A$), quelli in cui il transistor funziona in zona attiva sulla retta obliqua. Nel grafico 4, invece, la zona d'interdizione è rappresentata dai punti sulla retta orizzontale in basso a sinistra ($I_C \simeq 0$, cosa che accade per $V_{BE} < 5.5$ V), quella di saturazione dai punti sovrapposti in alto a destra, in cui i valori di I_C e V_{BE} tendono a stabilizzarsi rispettivamente sui valori 10.1 mA e 0.7 V, e infine quella attiva dai punti intermedi fra questi.

In conclusione, si possono considerare punti di lavoro in zona attiva quelli con $0.5 \text{ mA} \leq I_C \leq 9.8 \text{ mA}$, in interdizione quelli con $I_C \leq 0.1 \text{ mA}$ e in zona di saturazione quelli con $I_C = 10.1 \text{ mA}$. Si sottolinea come tutti i punti presi giacciono sulla retta di carico, rappresentata in sovrapposizione ai dati sul grafico $V_{CE} - I_C$ in figura 5.

5.d Misura del guadagno DC e considerazioni varie sul circuito

Si è eseguito un fit lineare dei dati di I_B e I_C per $4 \mu A < I_B < 50 \mu A$ (zona attiva) tramite la funzione $I_C = h_{FE} I_B + c$ ² ottenendo i seguenti valori dei parametri: $h_{FE} = 202 \pm 1$ e $c = -0.22 \pm 0.04 \text{ mA}$ ($\chi^2_{\text{rid}} = 0.10$, matrice di covarianza $\begin{pmatrix} 1.3 & -0.04 \\ -0.04 & 0.0017 \end{pmatrix}$). La retta di fit e i dati utilizzati per estrapolarla sono riportati in figura 6.

¹Si è indicata con I_C la corrente in entrata al collettore.

²Si è inserita nella funzione la costante additiva c per eliminare eventuali errori sistematici relativi alla misura delle tensioni e successivamente propagatisi sulle correnti.

Tabella 1: Amplificatore di corrente in DC

V_{BE} [V]	$\sigma_{V_{BE}}$ [V]	V_{RB} [V]	$\sigma_{V_{RB}}$ [V]	V_{CE} [V]	$\sigma_{V_{CE}}$ [V]	I_B [μ A]	σ_{I_B} [μ A]	I_C [mA]	σ_{I_C} [mA]
0.69	0.03	4.37	0.02	0.120	0.006	94.0	0.9	10.1	0.1
0.69	0.03	4.30	0.02	0.122	0.006	92.5	0.9	10.1	0.1
0.68	0.03	3.86	0.02	0.131	0.006	83.0	0.8	10.1	0.1
0.68	0.03	3.04	0.02	0.156	0.007	65.4	0.7	10.1	0.1
0.68	0.03	2.70	0.01	0.178	0.007	58.1	0.5	10.1	0.1
0.68	0.03	2.31	0.01	0.45	0.02	49.7	0.5	9.8	0.1
0.67	0.03	2.00	0.01	1.81	0.07	43.0	0.4	8.4	0.1
0.67	0.03	1.784	0.008	2.7	0.1	38.4	0.4	7.5	0.1
0.66	0.03	1.564	0.008	3.6	0.1	33.6	0.3	6.6	0.1
0.66	0.03	1.424	0.007	4.1	0.2	30.6	0.3	6.0	0.2
0.65	0.03	1.340	0.007	4.5	0.2	28.8	0.3	5.6	0.2
0.65	0.03	1.229	0.006	5.0	0.2	26.4	0.3	5.1	0.2
0.65	0.03	1.098	0.005	5.5	0.2	23.6	0.2	4.6	0.2
0.64	0.03	0.989	0.005	6.0	0.3	21.3	0.2	4.1	0.3
0.64	0.03	0.889	0.004	6.4	0.3	19.1	0.2	3.7	0.3
0.64	0.03	0.784	0.004	6.9	0.3	16.9	0.2	3.2	0.3
0.63	0.03	0.694	0.003	7.2	0.3	14.9	0.1	2.9	0.3
0.63	0.03	0.606	0.003	7.7	0.3	13.0	0.1	2.3	0.3
0.62	0.03	0.511	0.003	8.1	0.3	11.0	0.1	1.9	0.3
0.62	0.03	0.404	0.002	8.6	0.4	8.69	0.09	1.4	0.4
0.61	0.03	0.296	0.001	9.1	0.4	6.37	0.06	0.9	0.4
0.60	0.03	0.1887	0.0009	9.5	0.4	4.06	0.04	0.5	0.4
0.58	0.03	0.0968	0.0004	9.9	0.4	2.08	0.02	0.1	0.4
0.53	0.02	0.0324	0.0002	10.1	0.4	0.697	0.007	-0.1	0.4
0.45	0.02	0.0213	0.0001	10.1	0.4	0.458	0.004	-0.1	0.4
0.36	0.01	0.0166	0.0001	10.1	0.4	0.357	0.004	-0.1	0.4
0.26	0.01	0.0119	0.0001	10.1	0.4	0.256	0.003	-0.1	0.4
0.155	0.007	0.0073	0.0001	10.1	0.4	0.157	0.003	-0.1	0.4
0.022	0.001	0.0001	0.0001	10.1	0.4	0.002	0.002	-0.1	0.4

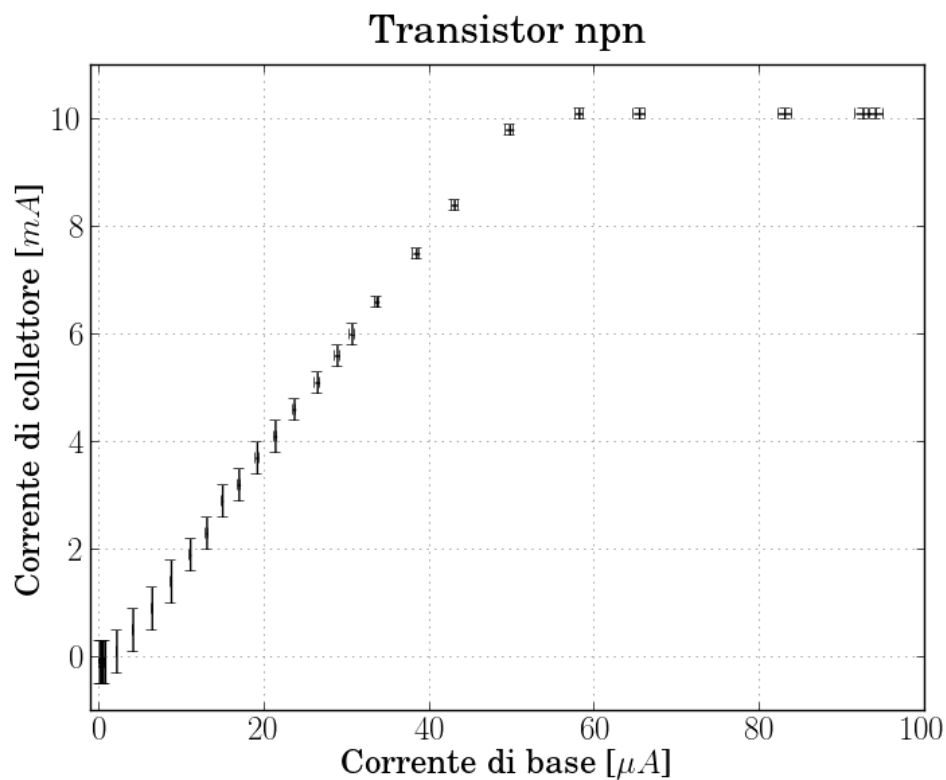


Figura 3: Intensità di corrente di collettore in funzione di quella di base per un transistor *npn* BJT modello 2n1711.

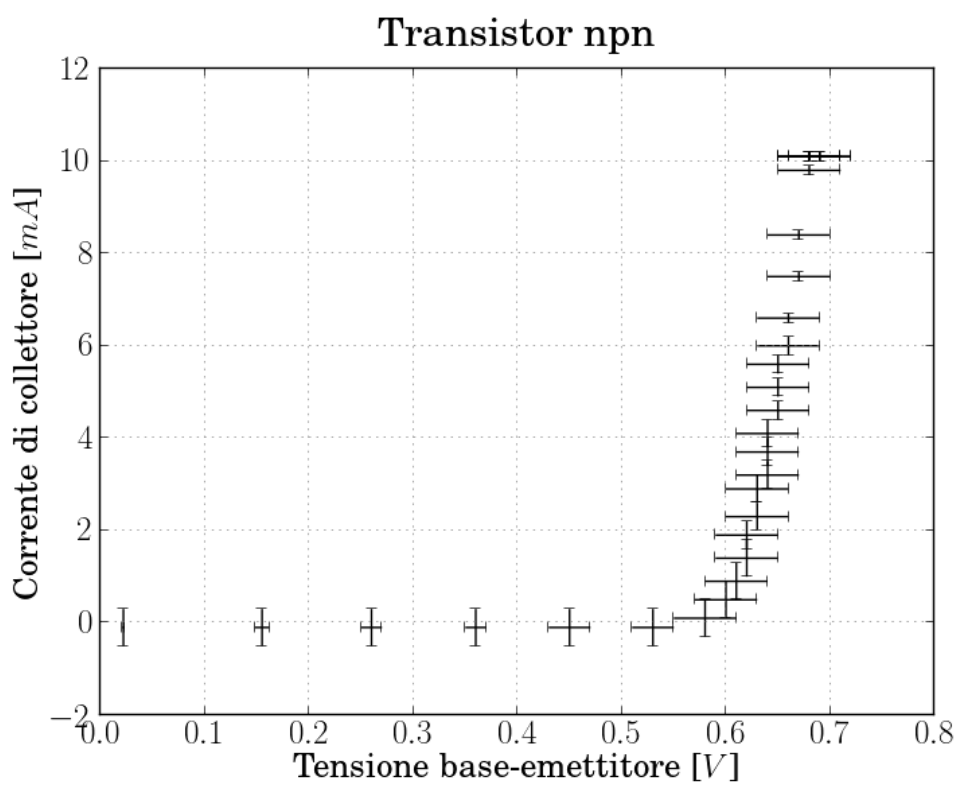


Figura 4: Intensità di corrente di collettore in funzione della tensione base-emettitore per il transistor *npn* BJT modello 2n1711.

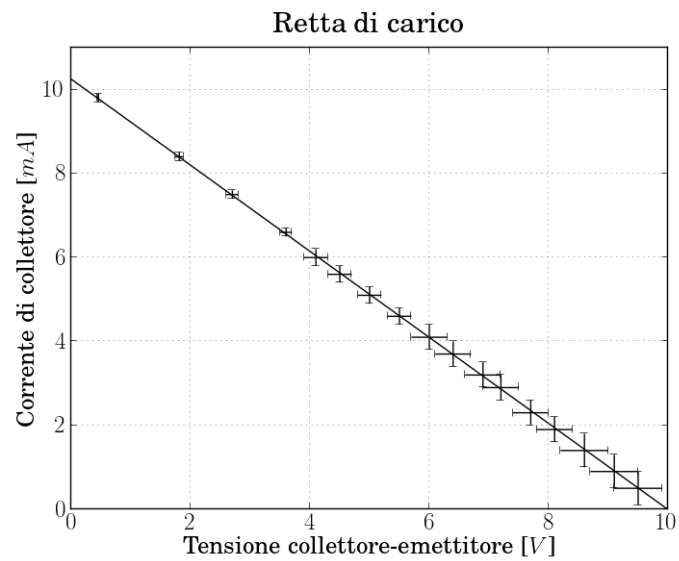


Figura 5: Intensità di corrente di collettore in funzione della tensione collettore-emettitore per il transistor *nnp* BJT modello 2n1711; in sovrapposizione la retta di carico del circuito.

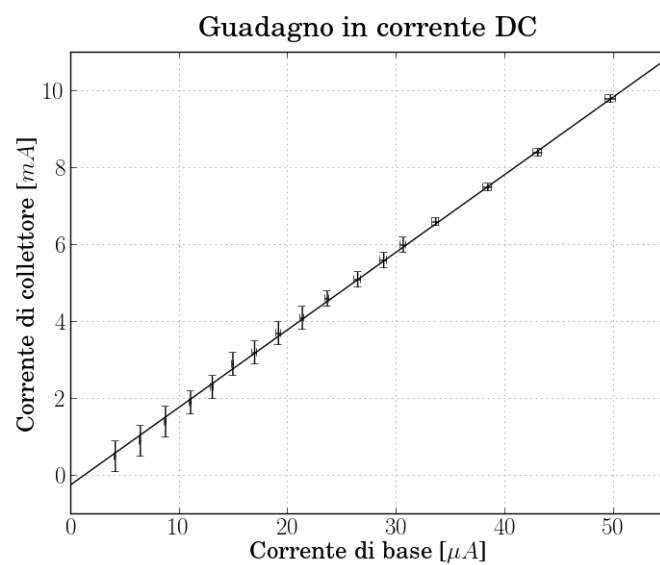


Figura 6: Fit lineare dell'intensità di corrente di collettore in funzione di quella di base in zona attiva per il transistor *nnp* BJT modello 2n1711.

La massima corrente di collettore erogabile dal transistor è determinata dall'equazione di Kirchhoff relativa alla maglia destra del circuito $V_1 = R_L I_C + V_{CE}$. Poiché il valore minimo di V_{CE} è approssimativamente $V_{CE} \sim V_{CE(SAT)}$ (si veda la retta di carico in figura 2) il massimo di I_C si raggiunge in condizioni di saturazione per tale valore. Convenzionalmente si indica $V_{CE(SAT)}$ come il massimo valore di V_{CE} per il quale $I_C = I_{C(SAT)}$. Nel caso in esame, osservando la tabella 1, si può stimare $V_{CE(SAT)} = 0.2 \pm 0.1$ V. Svolgendo i conti, si trova $I_{C,MAX} = 10.1 \pm 0.1$ mA.

5.e Determinazione di una curva caratteristica in uscita del transistor (I_B costante)

Si è ruotata la vite regolatrice del trimmer resistivo fino ad ottenere $V_{CE} \simeq 5$ V. Dopodiché non si è più agito su di esso (facendo sì che I_B restasse costante) e si sono misurate V_{R_L} ai capi di R_L tramite il tester e V_{CE} tramite l'oscilloscopio al variare di V_1 tra 6 V e 16 V. Tali dati sono riportati in tabella 2 congiuntamente a quelli di $I_C = V_{R_L}/R_L$.

Tabella 2: Amplificatore di corrente in DC

V_{CE} [V]	$\sigma_{V_{CE}}$ [V]	V_{R_L} [V]	$\sigma_{V_{R_L}}$ [V]	I_C [mA]	σ_{I_C} [mA]
1.30	0.06	4.27	0.02	4.38	0.04
1.55	0.07	4.72	0.02	4.84	0.04
1.76	0.09	4.76	0.02	4.88	0.05
3.0	0.2	4.80	0.02	4.92	0.05
3.7	0.2	4.84	0.02	4.96	0.05
5.0	0.3	4.85	0.02	4.97	0.05
5.8	0.3	4.90	0.02	5.03	0.05
6.7	0.3	4.93	0.02	5.06	0.05
7.6	0.4	4.94	0.02	5.07	0.05
8.6	0.4	4.96	0.02	5.09	0.05
9.7	0.4	4.97	0.02	5.10	0.05
10.7	0.4	5.00	0.02	5.13	0.05

In figura 7 si riportano i punti della curva caratteristica del diodo ottenuti con queste misure. La retta di carico ha equazione $V_1 = R_L I_C + V_{CE}$; appare quindi chiaro che aumentando V_1 la retta trasla verso destra.

6. Utilizzo del transistor per la costruzione di un circuito logico NOT

Si è montato il circuito rappresentato in figura 8. In ingresso si è collegato il generatore di funzioni in modalità *output pulse*, che fornisce un'onda quadra oscillante tra 0 V e 5 V. Si è usata una tensione di alimentazione continua $V_{CC} = 5.10 \pm 0.03$ V fornita dal generatore di tensione e scelta in modo tale da far funzionare il transistor alternativamente in regime di interdizione e di saturazione al variare del segnale V_{in} . Si sono adoperate resistenze dai valori $R_1 = 14.9 \pm 0.1$ k Ω , $R_2 = 98.6 \pm 0.8$ k Ω e $R_L = 2.16 \pm 0.02$ k Ω , misurati con il multimetro digitale.

6.b Verifica del corretto funzionamento del circuito

Indichiamo lo stato in cui $V_{in} \simeq 5$ V come stato 1 e lo stato in cui $V_{in} \simeq 0$ V come stato 2. Si sono misurate le tensioni in ingresso, di base e di collettore nei due stati per mezzo dell'oscilloscopio ottenendo:

$$\begin{array}{lll} V_{in,1} = 5.1 \pm 0.3 \text{ V} & V_{B,1} = 0.66 \pm 0.03 \text{ V} & V_{C,1} = 24 \pm 1 \text{ mV} \\ V_{in,2} = 1.4 \pm 0.2 \text{ mV} & V_{B,2} = -0.3 \pm 0.2 \text{ mV} & V_{C,2} = 5.1 \pm 0.3 \text{ V} \end{array}$$

Dall'analisi delle maglie del circuito si possono quindi determinare le correnti di base e di collettore nei due stati³:

$$\begin{array}{ll} I_{B,1} = 0.29 \pm 0.02 \text{ mA} & I_{C,1} = 2.35 \pm 0.03 \text{ mA} \\ I_{B,2} = 0.12 \pm 0.02 \text{ } \mu\text{A} & I_{C,2} = 0.0 \pm 0.1 \text{ mA} \end{array}$$

Per $\frac{V_C}{V_{CC}} \ll 1$ si è in regime di saturazione (si veda la figura 2). Questo è il caso dello stato 1, in cui il transistor opera in regime di saturazione e il segnale in uscita è piccolo. Si sarebbe potuta fare la stessa osservazione anche

³Si sono sfruttate le formule $I_C = (V_{CC} - V_{C,i})/R_L$ e $I_{B,i} = (V_{in,i} - V_{B,i})/R_1 - V_{B,i}/R_2$.

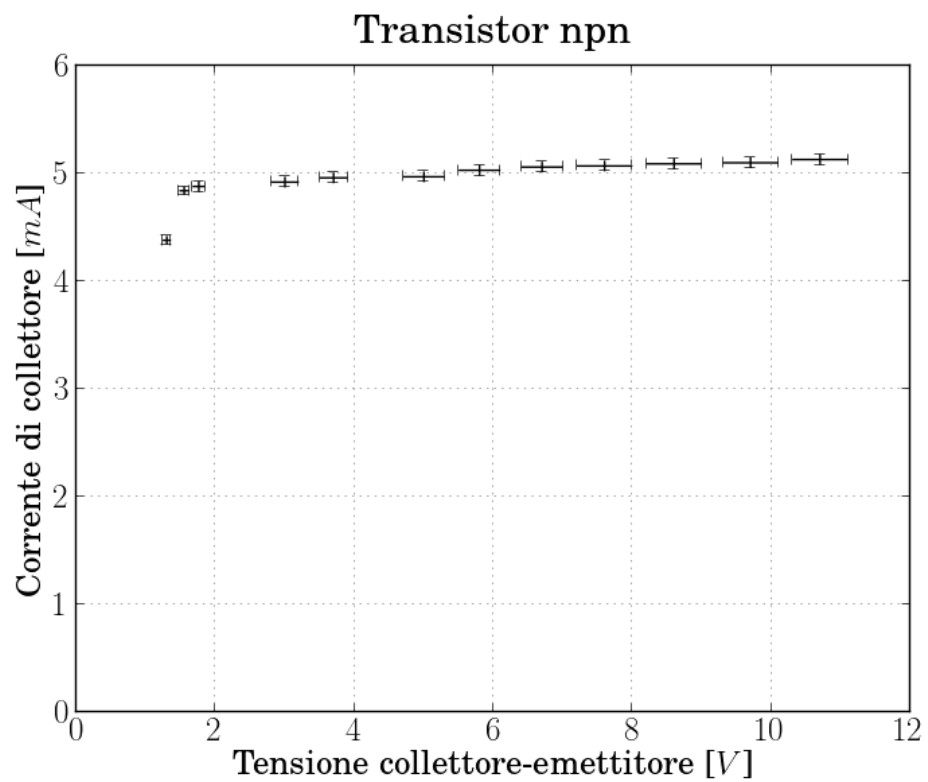


Figura 7: Curva caratteristica (I_B fissata) di un transistor *nnp* BJT modello 2n1711.

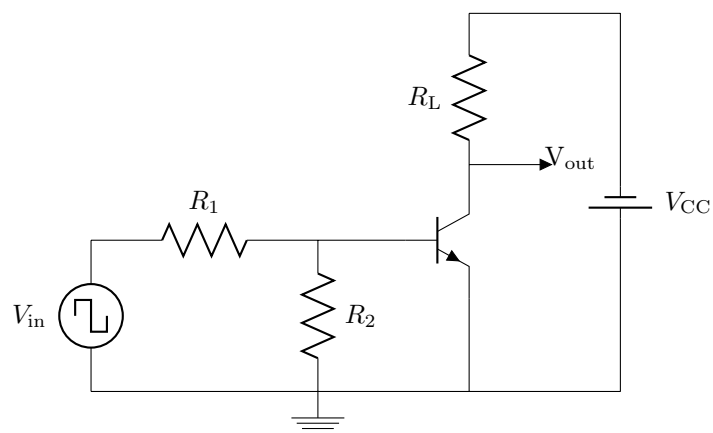


Figura 8: Circuito logico NOT

notando che $V_{BE,1} = 0.66 \pm 0.03 \text{ V}$ e $V_{BC,1} = 0.64 \pm 0.03 \text{ V}$, e quindi entrambe le giunzioni sono polarizzate direttamente.

Il transistor è invece in regime di interdizione per $\frac{V_C}{V_{CC}} \simeq 1$. È il caso dello stato 2, in cui il segnale in uscita è grande (comparabile a 5 V). Analogamente al caso precedente, ciò è confermato dal fatto che $V_{BE,2} = -0.3 \pm 0.2 \text{ mV}$ e $V_{BC,2} = -5.1 \pm 0.3 \text{ V}^4$, quindi entrambe le giunzioni sono polarizzate inversamente.

Alle stesse conclusioni si può giungere prendendo in considerazione il rapporto tra le correnti I_C e I_B . Infatti in zona attiva il transistor ha un guadagno dell'ordine di 100 mentre in zona di interdizione si ha un guadagno pari a 0 e in zona di saturazione un guadagno che differisce significativamente da 100. Nei due casi presi in considerazione si ha: $\frac{I_{C,1}}{I_{B,1}} \simeq 8$ e $\frac{I_{C,2}}{I_{B,2}} \simeq 0$. Si ha quindi, come atteso, che nello stato 1 si è in saturazione mentre nello stato 2 si è in interdizione.

Risulta pertanto evidente il funzionamento del circuito come inverter dal momento che a piccoli segnali in ingresso corrispondono grandi segnali in uscita e viceversa. Grazie a questo comportamento, il circuito può essere utilizzato come porta logica NOT: questo si ottiene considerando segnali superiori a 2.2 V come un 1 logico e segnali inferiori a 0.8 V come uno 0 logico, secondo lo standard TTL.

6.c Misura dei tempi di transizione di V_{out}

Si sono quindi misurati i tempi di transizione di $V_{out} = V_C$. Nel fare questo è importante distinguere tra tempo di salita T_s e tempo di ritardo in salita T_{rs} e analogamente tra tempo di discesa T_d e tempo di ritardo in discesa T_{rd} . Infatti, la risposta del sistema alla perturbazione esterna non è istantanea e in questo caso si verifica che il tempo di risposta non è trascurabile, anzi costituisce la parte predominante dei tempi di transizione.

I risultati delle misure sono riportati di seguito:

$$\begin{aligned} T_s &= 1.66 \pm 0.2 \text{ } \mu\text{s} & T_{rs} &= 8.8 \pm 0.1 \text{ } \mu\text{s} \\ T_d &= 208 \pm 6 \text{ ns} & T_{rd} &= 264 \pm 8 \text{ ns} \end{aligned}$$

Nelle figure 9 e 10 sono esemplificate le procedure adottate per misurare tali valori⁵.

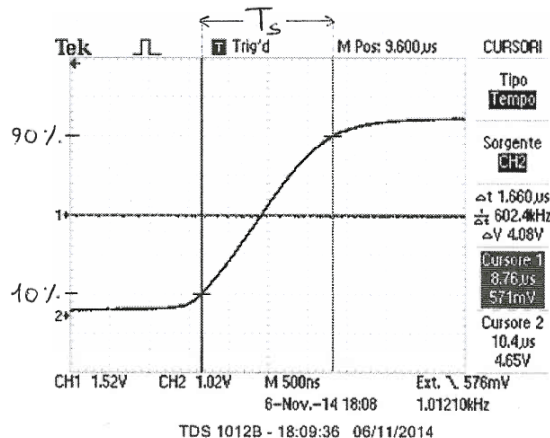


Figura 9: Misura del tempo di salita del segnale V_{out} .

6.d Discussione sui tempi di transizione di V_{out}

Durante la transizione dallo stato 1 allo stato 2 entrambe le giunzioni passano da uno stato di polarizzazione diretta (saturazione) a uno di polarizzazione inversa (interdizione). In entrambi gli stati ognuna delle giunzioni può essere modellizzata come il parallelo fra una resistenza e un condensatore. La capacità di tale condensatore dipende dalla larghezza della zona di svuotamento all'interno della giunzione, e dunque è più grande quando la giunzione è polarizzata direttamente (stato cui corrisponde una zona di svuotamento più sottile). Interpretando

⁴Si noti per inciso che tale tensione rispetta ampiamente i parametri limite indicati dal datasheet, in particolare è inferiore in modulo alla tensione di breakdown.

⁵Si noterà che nella figura 10 le ampiezze di V_B e V_{out} non sono, nella scala dell'oscilloscopio, uguali. Non si è reso necessario modificarle poiché la discesa del segnale V_B è costituita da una retta verticale, dunque il raggiungimento del 10% e il 90% dell'ampiezza di V_B avviene contemporaneamente per la scala di tempi adottata. Ciò non avviene invece per il tempo di discesa, che naturalmente si è misurato a partire da quando V_B raggiungeva il 10% del valore della sua ampiezza.

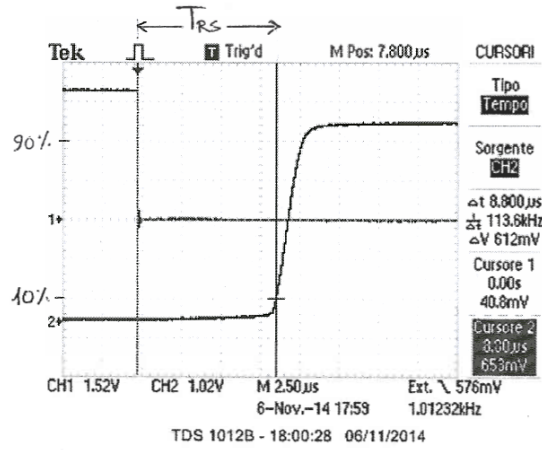


Figura 10: Misura del tempo di ritardo in salita del segnale V_{out} .

i tempi di ritardo come tempi di carica/scarica di questi circuiti si spiega la differenza di scala dei tempi T_{rs} e T_{rd} ⁶.

Sostituendo la resistenza R_2 con una resistenza $R_3 = 3.25 \pm 0.03 \text{ k}\Omega$ i tempi di salita e di discesa cambiano in modo significativo:

$$\begin{aligned} T_s &= 0.99 \pm 0.1 \text{ } \mu\text{s} & T_{rs} &= 1.60 \pm 0.2 \text{ } \mu\text{s} \\ T_d &= 660 \pm 8 \text{ ns} & T_{rd} &= 416 \pm 8 \text{ ns} \end{aligned}$$

Provando ad adoperare una resistenza con un valore che si discosta poco dal valore di R_2 ($R = 226 \pm 2 \text{ k}\Omega$), invece, si nota che i tempi di salita e di discesa variano poco (meno del 10%). Questo può essere spiegato dal fatto che nel modello della giunzione del transistor è presente un'impedenza in ingresso h_{ie} , generalmente dell'ordine del $\text{k}\Omega$, che si trova in parallelo alla resistenza presa in considerazione (e al condensatore di giunzione). Dunque l'unico modo per far diminuire significativamente la costante di tempo del circuito RC è quella di adoperare una resistenza di valore comparabile o inferiore a h_{ie} (in modo da far variare il valore del parallelo fra queste due resistenze rispetto a quello di h_{ie}).

Si nota infine che il circuito funziona in modo corretto fino a frequenze dell'ordine dei 10 kHz. Oltre questo limite il funzionamento del circuito si discosta significativamente da quello ideale in quanto i tempi di risposta sono troppo grandi rispetto al periodo degli impulsi inviati, quindi l'input successivo arriva prima che il circuito abbia avuto il tempo di instaurare la condizione NOT relativa a quello precedente.

⁶Oltre che alla differente capacità delle giunzioni a seconda che si trovino in polarizzazione diretta o inversa, questo effetto può essere dovuto anche al fatto che nel passaggio da saturazione a interdizione si ha ricombinazione tra elettroni e lacune, processo che ha scale di tempi caratteristici maggiori di quello di generazione (tanto più che la saturazione avviene tramite $I_B \simeq 0.29 \text{ mA} \gg I_{B(\text{SAT})} \simeq 0.06 \text{ mA}$).