

Esercitazione 6 - Gruppo BG

Transistor JFET

Tommaso Pajero

Alessandro Podo

20 novembre 2014

L'esercitazione si prefigge come scopo la realizzazione e l'analisi di un circuito di amplificazione a transistor JFET a canale n modello 2N3819.

1. Studio del funzionamento del transistor JFET

Si è montato il circuito in figura 3 utilizzando $R_1 = 988 \pm 8 \Omega$, $R_2^{\text{MAX}} = 1.985 \pm 0.016 \text{ k}\Omega$, $V_+ = 15.02 \pm 0.08 \text{ V}$ e $V_- = -15.02 \pm 0.08 \text{ V}$ ¹.

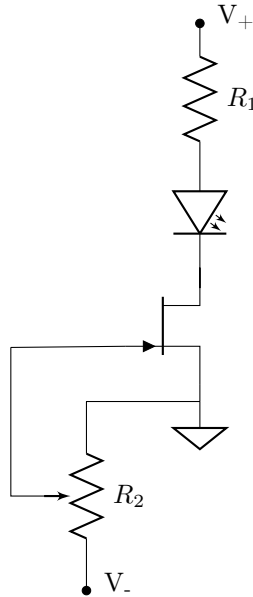


Figura 1: Amplificatore in DC a transistor JFET a canale n modello 2N3819, con un led montato sul terminale *drain*.

Innanzitutto si è fatta una misura qualitativa del comportamento del led al variare di V_{GS} (modificata agendo sul potenziometro). La luce si è accesa solo per valori di V_{GS} superiori a $-1.2 \pm 0.1 \text{ V}$. Questa soglia coincide grossomodo col superamento da parte di V_{GS} della tensione di *pinch off* V_P . Infatti, inizialmente $V_{GS} < V_P$ (transistor in interdizione) e dunque $I_D \simeq 0$ e $V_{DS} \simeq V_+$. Aumentando V_{GS} si giunge infine a verificare $V_{GS} \simeq V_P$, condizione per cui il transistor passa dalla zona di interdizione a quella di saturazione (infatti $V_{DS} \simeq 15 \text{ V} \gg 0 \simeq V_{GS} - V_P$) e per cui il LED si accende a causa dell'incipiente flusso di corrente nel ramo del *drain*². Aumentando V_{GS} , il punto di lavoro del circuito si sposterà verso l'alto (e leggermente a sinistra) sul grafico delle caratteristiche in uscita del transistor³, mantenendosi sempre in zona di saturazione. La zona ohmica potrà essere raggiunta solo successivamente⁴.

Si è quindi misurata la corrente di *drain* in funzione della tensione fra *gate* e *source* V_{GS} , esplorando tutto l'intervallo di V_{GS} in cui tali grandezze erano sensibilmente diverse da zero modificando la resistenza variabile del potenziometro. I risultati sono riportati in tabella 1 e graficati in figura 2.

¹Tutte le misure di resistenze e di tensioni continue sono state prese, qui e in seguito, per mezzo del multimetro digitale; anche i valori delle intensità di corrente in DC sono stati ricavati indirettamente misurando la caduta di potenziale ai capi delle resistenze attraverso cui scorrevano.

²Probabilmente il valore $V_P = -1.2 \pm 0.1 \text{ V}$ è sovrastimato poiché non è possibile apprezzare l'illuminazione del LED per piccole correnti.

³Ciò corrisponde infatti a un aumento della corrente di *drain* e a una conseguente diminuzione di V_{DS} .

⁴Si vedrà che in questo caso ciò non accade poiché $I_{D,\text{MAX}} \simeq 3.5 \text{ mA}$ e dunque $V_{DS,\text{MIN}} = V_+ - R_1 I_{D,\text{MAX}} \simeq 11.5 \text{ V}$.

Tabella 1: Amplificatore in DC a transistor JFET a canale n modello 2N3819.

V_{GS} [V]	$\sigma_{V_{GS}}$ [V]	I_D [mA]	σ_{I_D} [mA]
-1.624	0.008	0.0001	0.0001
-1.541	0.008	0.0002	0.0001
-1.439	0.007	0.0031	0.0001
-1.362	0.007	0.0137	0.0001
-1.307	0.007	0.0309	0.0003
-1.134	0.006	0.174	0.002
-1.089	0.005	0.236	0.002
-0.984	0.005	0.407	0.004
-0.856	0.004	0.679	0.006
-0.754	0.004	0.931	0.009
-0.676	0.004	1.14	0.01
-0.564	0.003	1.48	0.01
-0.452	0.002	1.84	0.02
-0.385	0.002	2.05	0.02
-0.292	0.002	2.39	0.03
-0.194	0.001	2.75	0.03
-0.1293	0.0006	3.01	0.03
-0.0315	0.0002	3.41	0.03
-0.0009	0.0001	3.54	0.04

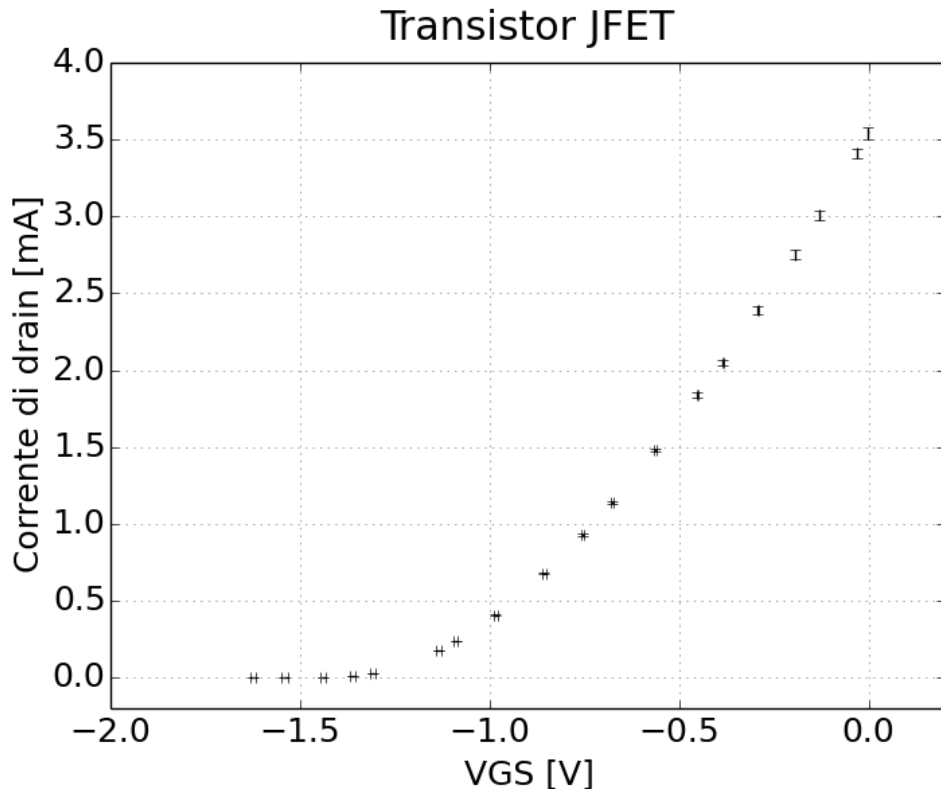


Figura 2: Amplificatore in DC a transistor JFET a canale n modello 2N3819.

Come già accennato, $I_{D,MAX} = 3.54 \pm 0.04$ mA e dunque vale sempre $V_{DS} = V_+ - R_1 I_{D,MAX} > 11$ V. Questo fatto, congiuntamente all'osservazione del grafico delle caratteristiche in uscita del transistor presente nel relativo datasheet, garantisce che tutte le misure siano state prese in saturazione.

A partire dal grafico in figura 2 si può stimare $I_{DSS} = 3.6 \pm 0.1$ mA⁵ e $V_P = -1.6 \pm 0.1$ V⁶.

2. Montaggio dell'amplificatore e misure

Si è montato il circuito in figura 3 con $R_1 = 988 \pm 8$ Ω , $R_3 = 4.90 \pm 0.05$ M Ω , $C_1 = 102 \pm 4$ nF e $V_+ = 15.04 \pm 0.08$ V.

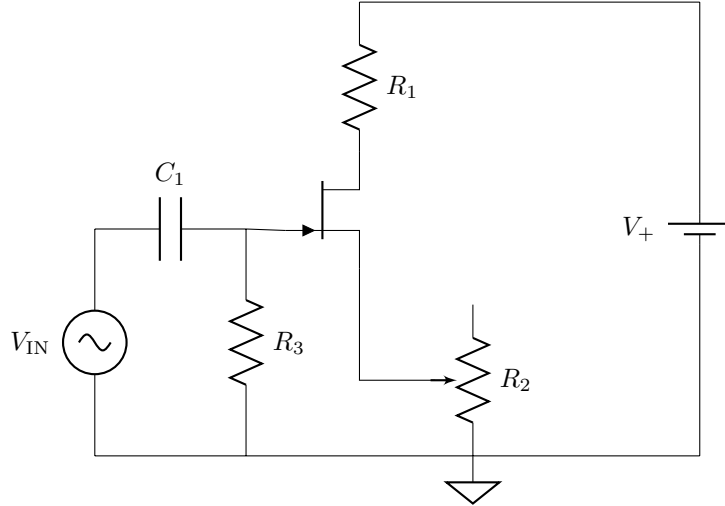


Figura 3: Amplificatore a transistor JFET a canale N modello 2N3819.

Si è regolato il potenziometro in modo tale che la corrente di quiescenza fosse circa la metà di I_{DSS} determinata nel punto precedente. La corrente di *drain* misurata⁷ è $I_D = 1.78 \pm 0.02$ mA. Si è quindi misurato $V_{GS} = -0.382 \pm 0.002$ V. Si può quindi verificare la validità della relazione

$$I_D = \frac{I_{DSS}}{V_P^2} (V_{GS} - V_P)^2$$

che fornisce il punto di lavoro per il transistor in zona di saturazione in funzione della tensione V_{GS} e dei parametri del transistor. Nel caso in esame si è sicuramente in saturazione in quanto $V_{GS} < 0$ e $V_{DS} > V_+ - R_1 I_{DSS} \simeq 11.4$ V. Usando i valori di I_{DSS} e V_P determinati nel punto precedente e il valore di V_{GS} misurato si ha un valore atteso per la corrente di drain pari a $I_{D,ATT} = 2.0 \pm 0.1$ mA. Il fatto che tale valore non sia in perfetto accordo con quello misurato è probabilmente da attribuirsi alle limitazioni del modello teorico.

A partire dalle misure eseguite si può anche stimare il valore della transconduttanza:

$$g_m = \frac{2I_{DSS}}{|V_P|} \sqrt{\frac{I_D}{I_{DSS}}} = 3.2 \pm 0.2 \text{ mS}$$

3. Risposta a segnali sinusoidali di frequenza fissa

In tutti i paragrafi del punto 3 si è fornita al circuito una tensione in ingresso sinusoidale a frequenza fissa $f = 1.025 \pm 0.005$ kHz⁸.

3.a Analisi del circuito Common Source

Si è analizzato il circuito utilizzato come Common Source prendendo come output il segnale in uscita dal terminale *drain* del transistor.

Si è misurato il guadagno in tensione $A_V = V_{OUT}/V_{IN}$ al variare del segnale in ingresso, avendo cura di evitare fenomeni di clipping, ottenendo i dati riportati in tabella 2.

⁵ I_{DSS} corrisponde, infatti, all'ordinata dell'intersezione fra la curva di fit dei dati presi in saturazione e l'asse $x = 0$.

⁶ V_P è la minima tensione V_{GS} per cui si ha $I_D \neq 0$

⁷Le correnti riportate sono state misurate per via indiretta, determinando la caduta di potenziale ai capi di una resistenza.

⁸Tale valore è stato ricavato dal periodo T misurato per mezzo dei cursori su due oscillazioni.

Tabella 2: Guadagno del circuito Common Source

V_{IN} [V]	$\sigma_{V_{IN}}$ [V]	V_{OUT} [V]	$\sigma_{V_{OUT}}$ [V]	A_V	σ_{A_V}
0.0242	0.0008	0.042	0.001	1.74	0.07
0.202	0.007	0.34	0.01	1.68	0.08
0.39	0.01	0.66	0.02	1.69	0.07
0.59	0.02	1.00	0.03	1.69	0.08
0.76	0.03	1.32	0.05	1.74	0.10
0.96	0.03	1.62	0.05	1.69	0.07
1.14	0.04	1.95	0.07	1.71	0.09
1.35	0.05	2.29	0.08	1.70	0.09
1.56	0.05	2.62	0.08	1.68	0.07
1.75	0.06	2.90	0.10	1.66	0.08

In corrispondenza dei valori di tensione in ingresso con ampiezza minima e massima si è misurato lo sfasamento⁹ tra segnale in ingresso e in uscita ottenendo:

$$\Delta\phi_1 - \pi = -0.003 \pm 0.002 \pi \text{rad} \quad \Delta\phi_2 - \pi = -0.0145 \pm 0.0004 \pi \text{rad}$$

Il segnale in uscita è sfasato di circa π rispetto a quello in ingresso; la discrepanza è dovuta principalmente all'impedenza del condensatore C_1 . Questo è in accordo con le previsioni; infatti, considerando la maglia a destra del modello a piccoli segnali per il transistor JFET rappresentato in figura 4¹⁰, si ha che $\frac{v_s}{R_s} = i_d = g_m v_{gs}$ e $-\frac{v_D}{R_1} = i_d = g_m v_{gs}$ da cui, usando $v_{gs} = v_g - v_s$, dopo semplici passaggi algebrici si ricava:

$$v_s = \frac{R_s g_m}{1 + R_s g_m} v_G \quad v_D = -\frac{R_D g_m}{1 + R_s g_m} v_G \quad (1)$$

Si vede quindi che il segnale in uscita sul *drain* è in controfase rispetto al segnale in ingresso al *gate*.

Entro l'intervallo di V_{IN} esplorato, il guadagno in tensione si mantiene costante entro l'incertezza e pari ad $A_V = -1.70 \pm 0.02$ ¹¹. Questo vuol dire che entro questo intervallo il circuito si comporta in modo lineare.

Si è iniziato ad avere clipping superiore per $V_{IN} = 1.8 \pm 0.1$ V, ovvero per segnali in ingresso di ampiezza superiore a questa il comportamento del circuito non è più lineare. Nell'intervallo di ampiezze fornito dal generatore di segnali oscillanti non si è riscontrato clipping inferiore. Questo risultato è in accordo con quanto atteso. Infatti, essendo il segnale in uscita in controfase rispetto a quello in ingresso, il clipping superiore corrisponde ad un segnale in ingresso negativo e minore della tensione di pinchoff che porta il transistor in interdizione causando l'effetto osservato. Al contrario, per segnali in ingresso positivi il transistor non può finire in interdizione ma al massimo può accadere che le giunzioni interne al diodo siano polarizzate direttamente, accrescendo la dimensione del canale e favorendo la conduzione. Per questo motivo il clipping inferiore non è presente.

3.b Analisi del circuito Source Follower

Si è quindi analizzato il circuito Source Follower prendendo come output il segnale in uscita dal terminale source del transistor, anziché il segnale in uscita dal drain.

Come per il punto precedente, si è misurato il guadagno in tensione $A_V = V_{OUT}/V_{IN}$ al variare del segnale in ingresso, avendo cura di evitare fenomeni di clipping, ottenendo i dati riportati in tabella 3.

In corrispondenza dei valori di tensione in ingresso con ampiezza minima e massima si è misurato lo sfasamento tra segnale in ingresso e in uscita ottenendo:

$$\Delta\phi_1 = -0.018 \pm 0.004 \pi \text{rad} \quad \Delta\phi_2 = -0.0181 \pm 0.0003 \pi \text{rad}$$

Il segnale in uscita sul source è in fase con quello in ingresso, in accordo con l'equazione (1). La discrepanza è dovuta principalmente all'impedenza del condensatore C_1 .

Anche in questo caso, il guadagno in tensione si mantiene costante entro l'intervallo di V_{IN} esplorato ed è pari ad $A_V = 0.472 \pm 0.006$. Dunque entro tale intervallo il circuito si comporta in modo lineare. In maniera opposta a quanto osservato nel circuito analizzato in precedenza, si è iniziato ad avere clipping inferiore per

⁹Per determinare lo sfasamento si è misurato il tempo di ritardo t di un picco di V_{OUT} rispetto a quello immediatamente precedente di V_{IN} e si è sfruttata la relazione $\phi = -2\pi t/T$

¹⁰Si stanno trascurando la resistenza r_o e i condensatori C_{gs} e C_{gd} .

¹¹Il valore è la media pesata dei vari A_V .

Tabella 3: Guadagno del circuito Source Follower

V_{IN} [V]	$\sigma_{V_{IN}}$ [V]	V_{OUT} [V]	$\sigma_{V_{OUT}}$ [V]	A_V	σ_{A_V}
0.0254	0.0009	0.0124	0.0005	0.49	0.03
0.199	0.007	0.096	0.003	0.48	0.02
0.37	0.01	0.175	0.006	0.47	0.02
0.53	0.02	0.251	0.008	0.47	0.02
0.70	0.02	0.33	0.01	0.47	0.02
0.88	0.03	0.42	0.01	0.48	0.02
1.19	0.04	0.56	0.02	0.47	0.02
1.44	0.05	0.68	0.02	0.47	0.02
1.75	0.06	0.82	0.03	0.47	0.02
1.90	0.07	0.88	0.03	0.46	0.02
2.14	0.07	0.99	0.03	0.46	0.02

$V_{IN} = 2.4 \pm 0.1$ V. Per segnali in ingresso di ampiezza superiore a questa il comportamento del circuito non è più lineare. Inoltre nell'intervallo di ampiezze fornito dal generatore di segnali oscillanti non si è riscontrato clipping superiore. La spiegazione di questo risultato è perfettamente analoga a quella presentata per il circuito Common Source con l'unica differenza che in questo caso il segnale in ingresso e quello in uscita sono in fase tra loro, pertanto si osserva il clipping inferiore, dovuto all'interdizione, ma non quello superiore, corrispondente alle giunzioni del transistor polarizzate direttamente.

4. Misura dell'impedenza in ingresso

Quando si ha a che fare con piccoli segnali, è utile sostituire il transistor con il circuito equivalente rappresentato in figura 4. In tale modello il generatore di corrente e la resistenza r_0 modellizzano il comportamento attivo del transistor, mentre C_{gs} e C_{gd} , dell'ordine di 1.5 pF e 0.7 pF secondo il costruttore, tengono conto delle capacità parassite delle giunzioni GS e GD (si è trascurata la resistenza in uscita del generatore di funzioni).

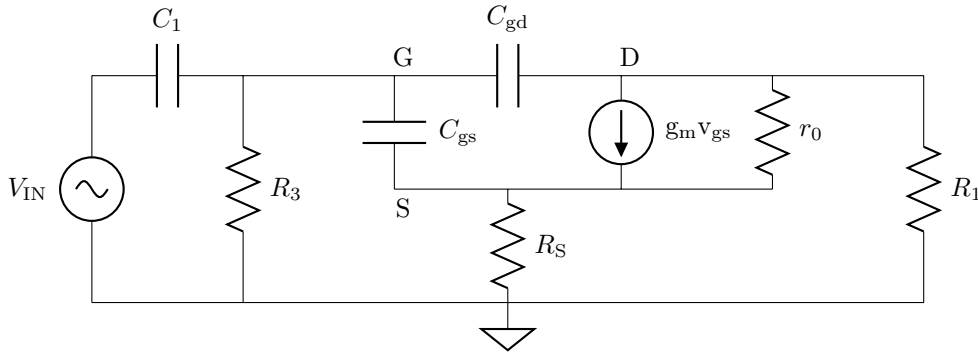


Figura 4: Modello del circuito per piccoli segnali oscillanti

Si è prima considerato un segnale a frequenza $f_1 = 1.02 \pm 0.01$ kHz. A tale frequenza l'impedenza dovuta ad ognuna delle capacità parassite Z_{C,f_1} è dell'ordine di $100 \div 200$ M Ω , valore molto maggiore delle altre impedenze in gioco. Dunque in prima approssimazione si possono eliminare i rami dei conduttori di giunzione dal modello, ottenendo per la resistenza in ingresso il valore $R_{IN,f_1,ATT} = 1/(2\pi f_1 C_1) + R_3 \simeq R_3 = 4.90 \pm 0.05$ M Ω . Si è proceduto a misurare sperimentalmente R_{IN} misurando la tensione in uscita V_{OUT} a circuito inalterato e dopo aver inserito una resistenza $R_L = 8.10 \pm 0.08$ M Ω ¹² in serie al generatore di funzioni, ottenendo rispettivamente $V_1 = 0.61 \pm 0.02$ V e $V_2 = 0.215 \pm 0.007$ V. Dalla formula del partitore $R_L/R_{IN} = V_1/V_2 - 1$ si è ottenuto $R_{IN,f_1} = 4.4 \pm 0.3$ M Ω ¹³. Ripetendo lo stesso procedimento sperimentale per $f_2 = 10.2 \pm 0.1$ kHz si è ottenuto $V_1 = 0.61 \pm 0.02$ V, $V_2 = 0.063 \pm 0.002$ V e $R_{IN,f_2} = 0.93 \pm 0.05$ M Ω . A tale frequenza $Z_{C_{gd},f_2} \simeq 20$ M Ω e $Z_{C_{gs},f_2} \simeq 10$ M Ω , da cui mi aspetterei (con le approssimazioni viste nella nota precedente) $R_{IN,f_2,ATT} \simeq$

¹²Il valore di tale resistenza è stato scelto in modo che fosse allo stesso tempo dello stesso ordine di R_{IN} e più grande di questa, in modo da non avere tensioni in uscita troppo grandi che provocassero clipping (il valore di $V_{IN} = 0.36 \pm 0.01$ V è stato pure scelto a questo scopo) e da rendere piccolo l'errore nel calcolo di R_{IN} .

¹³La lieve discrepanza col valore atteso è probabilmente dovuta all'approssimazione fatta: infatti l'impedenza dovuta ai condensatori parassiti è rispettivamente dell'ordine di $Z_{C_{gd},f_1} \simeq 200$ M Ω e $Z_{C_{gs},f_1} \simeq 100$ M Ω , dunque $R_{IN,f_1} \simeq R_3 // Z_{C_{gd},f_1} // Z_{C_{gs},f_1} \simeq 4.6$ M Ω (in quest'ultima formula si sono trascurate le resistenze in serie al ramo di C_{gd}).

$R_3 // Z_{C_{gd}, f_2} // Z_{C_{gs}, f_1} \simeq 2.8 \text{ M}\Omega$. La discrepanza tra il valore misurato e quello atteso dell'impedenza in ingresso del circuito può essere ricondotta alla grande incertezza sui valori delle capacità parassite indicate dal costruttore. Appare ad ogni modo chiaro che la diminuzione dell'impedenza in ingresso all'aumentare della frequenza è un fatto dovuto eminentemente alla diminuzione dell'impedenza di tali capacità poste in parallelo a R_3 .

5. Aumento del guadagno

Si è determinato il guadagno massimo del circuito Common Source ruotando il potenziometro e variando quindi il punto di lavoro. Durante tale operazione si è mantenuta la frequenza in ingresso costante e pari a $f = 1.02 \pm 0.01 \text{ kHz}$.

L'andamento del guadagno risulta essere monotono crescente diminuendo la resistenza R_S data dal potenziometro. Il massimo si ha in corrispondenza del minimo valore di tale resistenza, che è stato misurato con il multimetro digitale ed è pari a $R_{S, \text{MIN}} = 0.6 \pm 0.1 \Omega$.

Si è misurato il guadagno in corrispondenza di tale valore ottenendo:

$$V_{\text{IN}} = 0.35 \pm 0.01 \text{ V} \quad V_{\text{OUT}} = 1.50 \pm 0.05 \text{ V} \implies A_{V, \text{MAX}} = 4.3 \pm 0.2$$

Dall'equazione (1) si può ricavare subito il guadagno per il circuito in esame, ottenendo:

$$A_V = -\frac{R_D g_m}{1 + R_S g_m}$$

Da tale formula si vede subito che il guadagno massimo (in modulo) si ha per R_S minimo, come determinato sperimentalmente. Usando il parametro g_m calcolato al punto 2 e i valori di R_D e $R_{S, \text{MIN}}$ si trova $A_{V, \text{ATT}} = 3.2 \pm 0.4$. Tale valore non è compatibile con il valore misurato, pur essendo dello stesso ordine di grandezza.

Commenti finali

Nel punto 2 si è provato a eseguire un fit dei dati raccolti in tabella 1 con una parabola con asse verticale e vertice sull'asse x (funzione prevista dal modello teorico per il transistor in saturazione), ottenendo però un χ^2_{rid} dell'ordine del migliaio.

Non si è riusciti a comprendere il motivo della discrepanza tra il valore misurato e quello atteso di A_V nel punto 5.