



Analisi ARM MMU in Gem5



Modalità di simulazione Gem5

- System Emulation mode
- Full system mode
 - Functional
 - Atomic
 - Timing

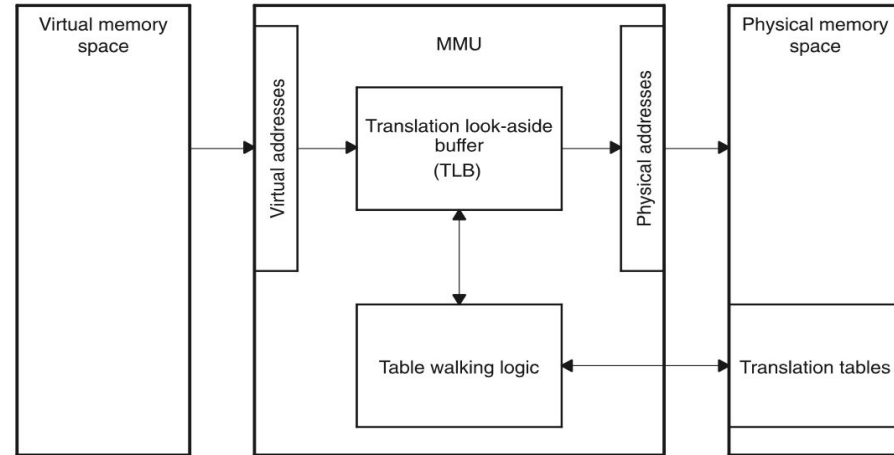
La nostra analisi si è concentrata su FullSystem Timing in quanto è l'unica configurazione che approssima il meno possibile il comportamento della mmu, specialmente nell'utilizzo della PTW in caso di TLB miss.

Struttura MMU

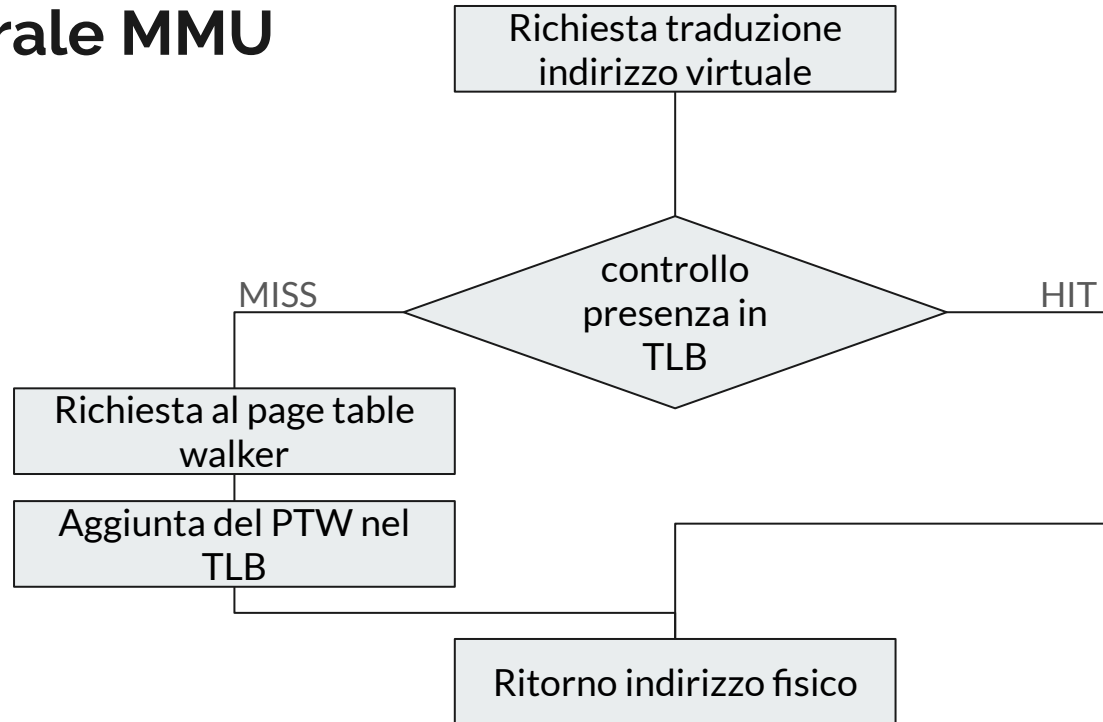
Analisi ArmMMU.py e mmu.hh:
la gestione sia del TLB che del table walker è divisa
in istruzioni e dati

La struttura di memoria TLB è diviso in 2 livelli:

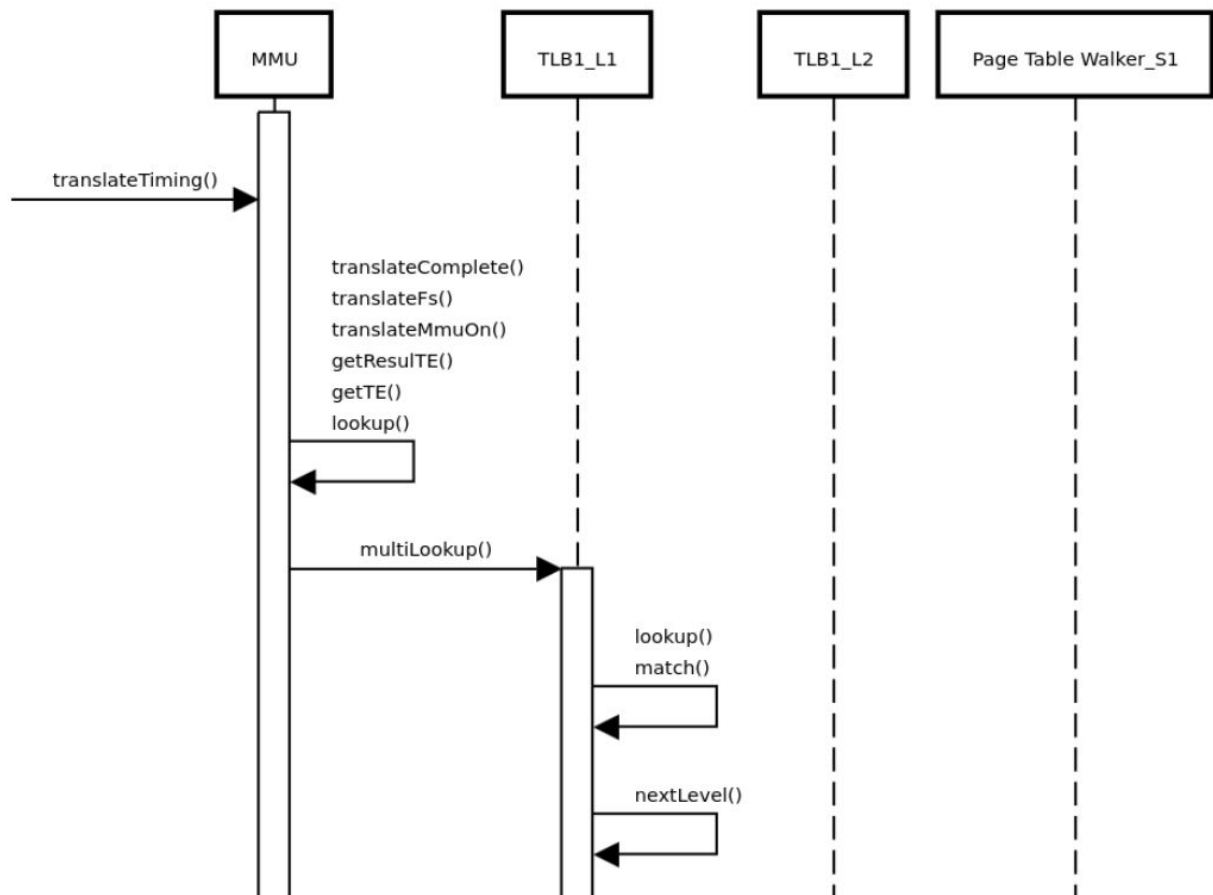
- L1 separato per istruzioni e dati
- L2 condiviso



Flusso generale MMU



Sequence Diagram MMU Timing

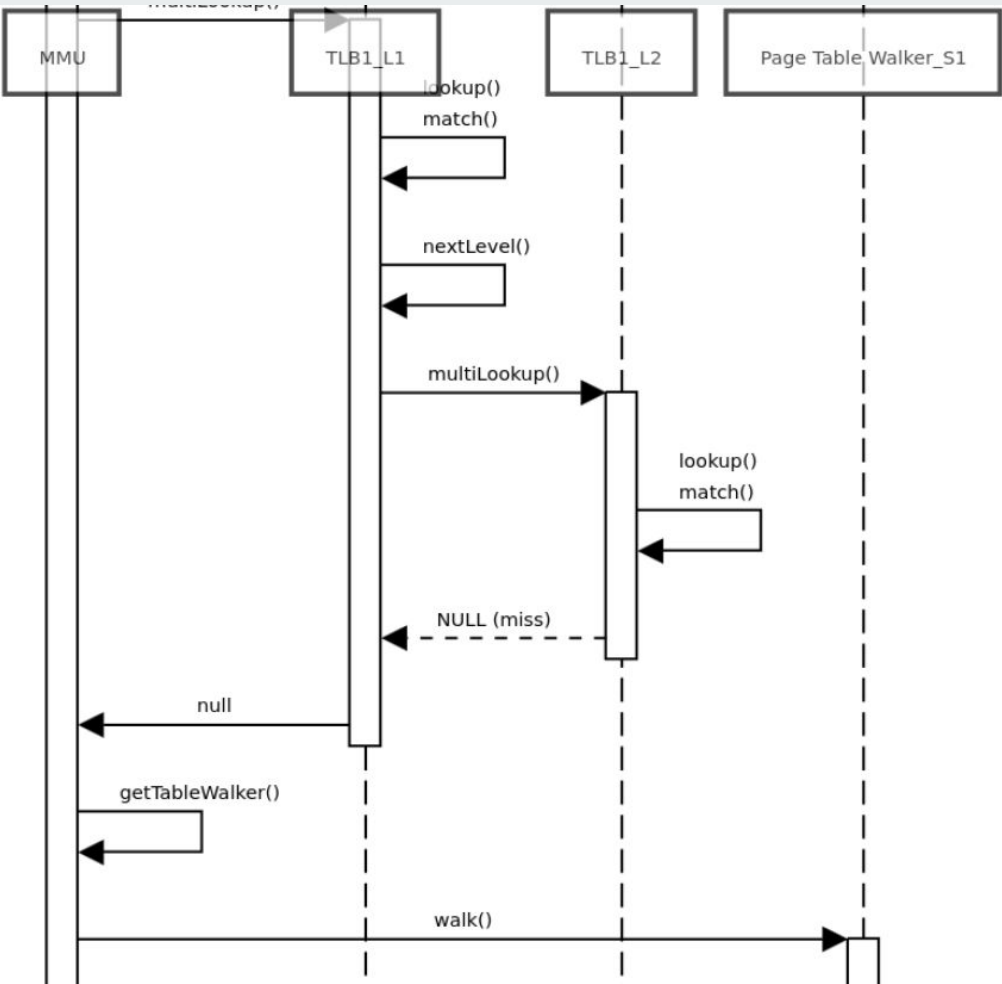


MMU viene attivata da una simulazione timing. Per prima cosa richiede al TLB di primo livello di tradurre l'indirizzo virtuale ricevuto.

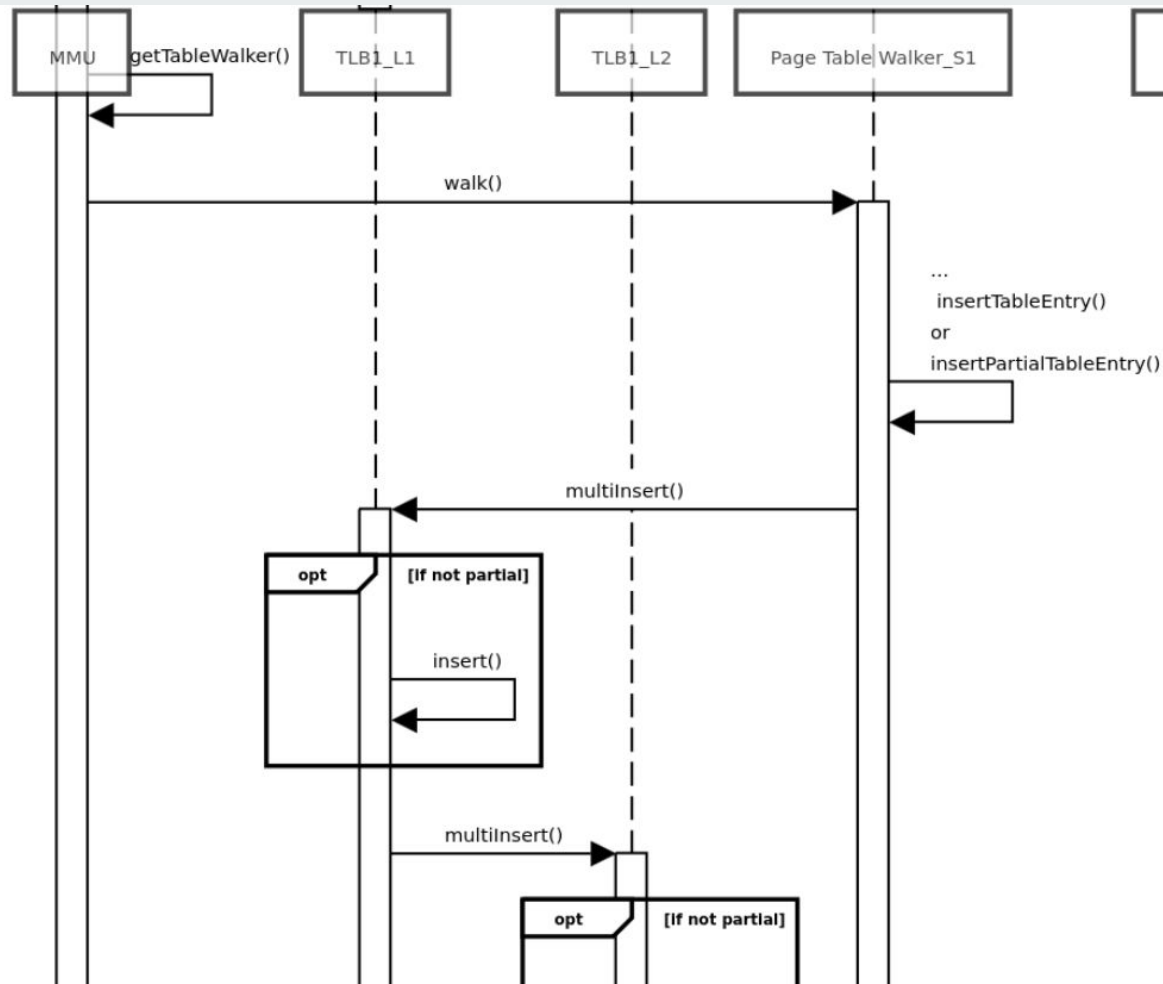


Il primo livello (L1) fallisce, quindi chiede al secondo livello (L2), che fallendo a sua volta ritorna una MISS.

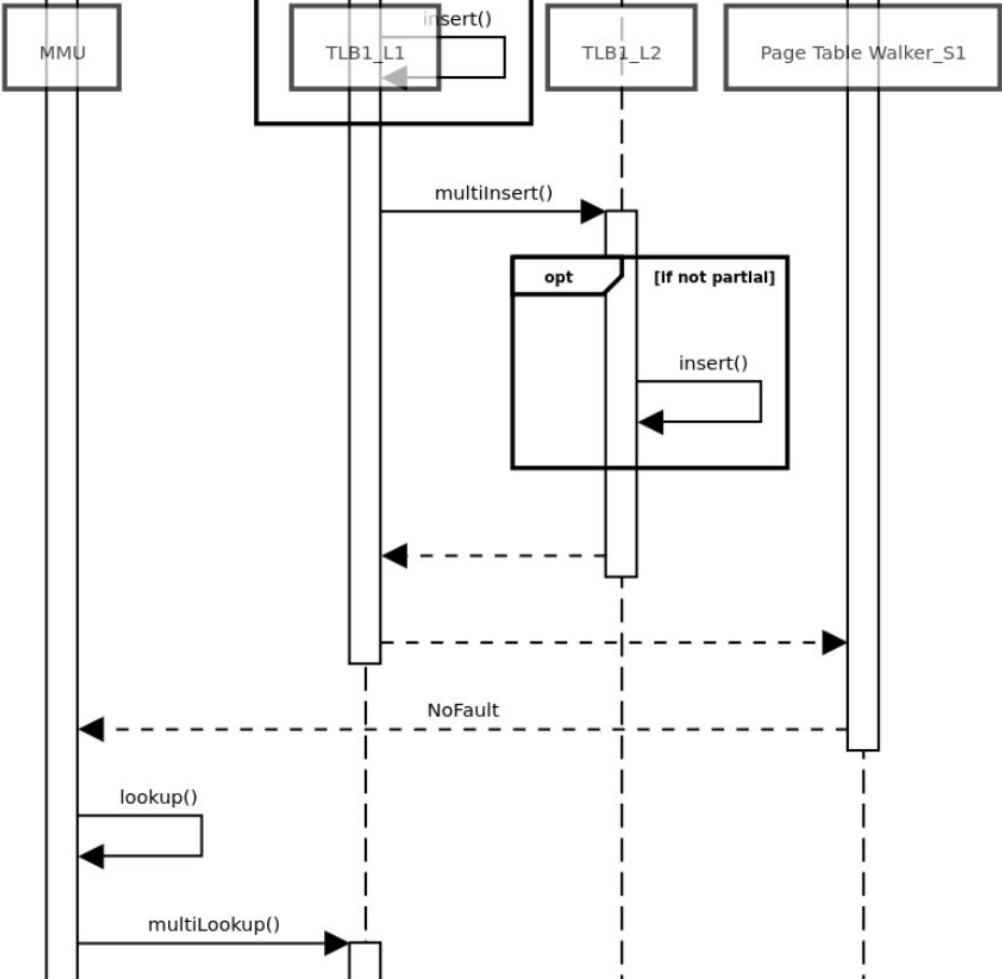
MMU a questo punto richiede l'intervento del page table walker per ottenere l'indirizzo.



PTW va ad inserire nel TLB dello stage 1 livello 1 la entry richiesta. Inoltre TLB1_L1 inserisce la stessa table entry anche nel livello 2.

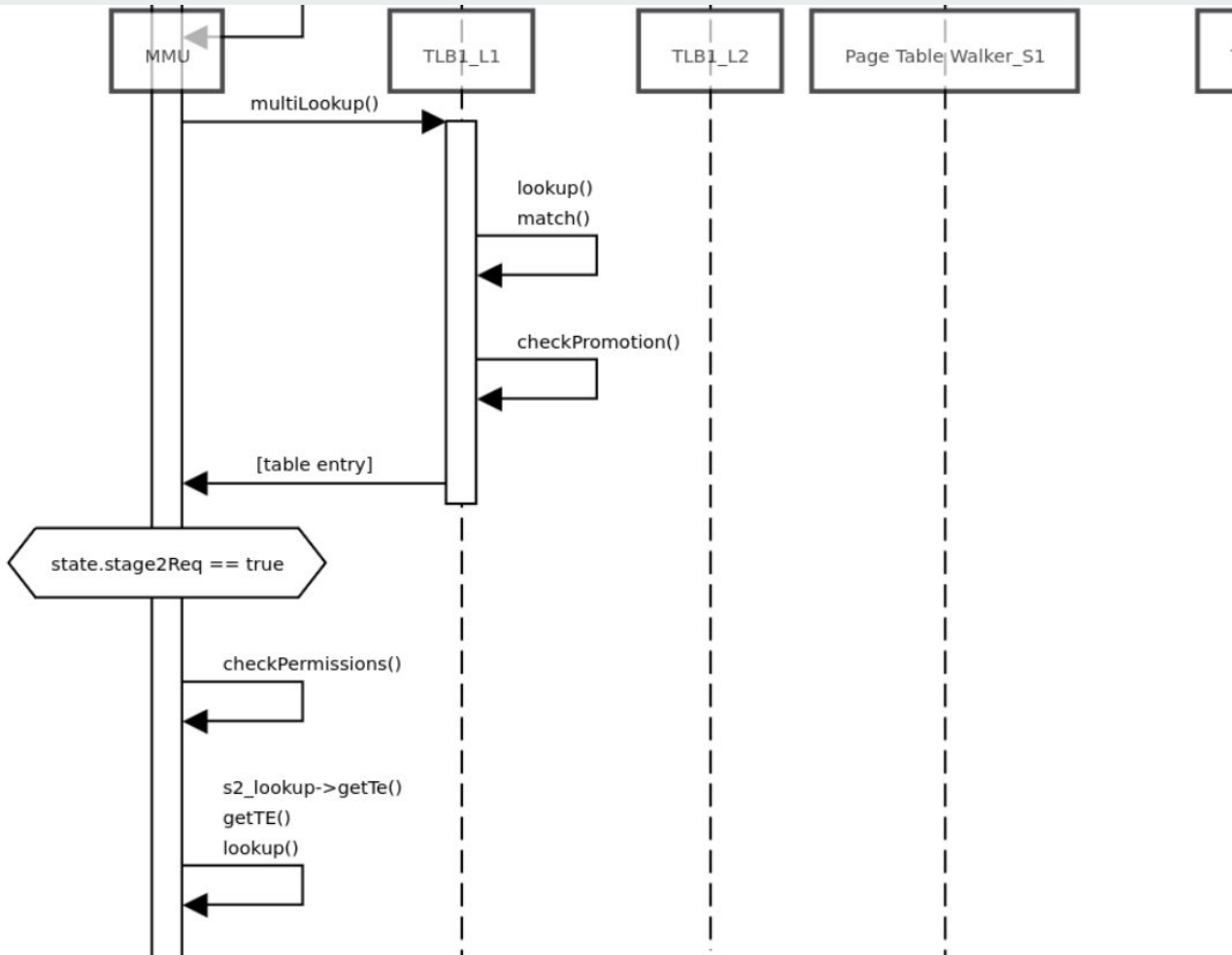


Una volta che il processo di aggiunta nel TLB da parte del PTW si conclude, MMU chiede nuovamente la traduzione al TLB, che a questo punto ritorna la table entry di primo livello.



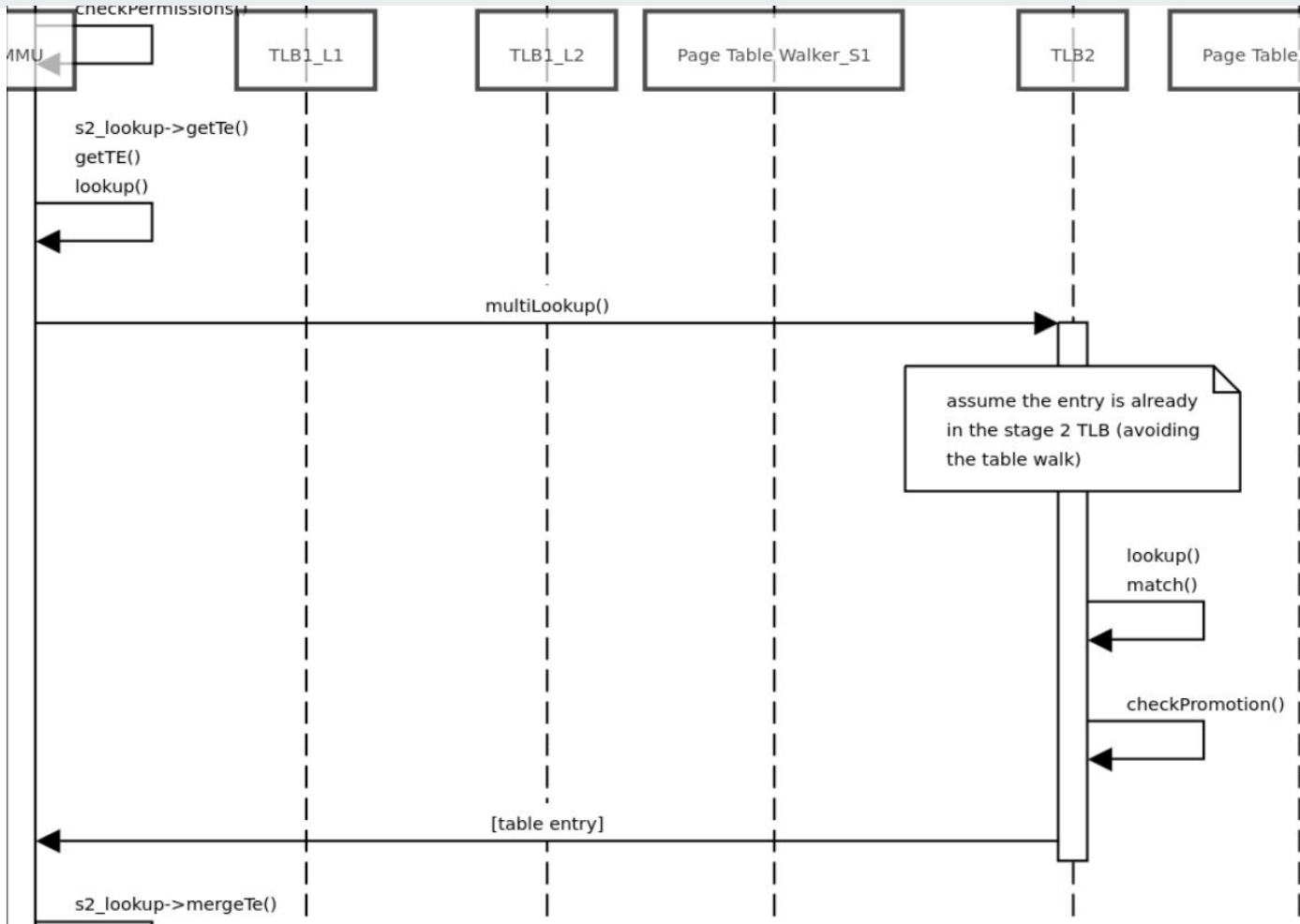


Dopo aver ricevuto la table entry. Si controlla che ci sia il bisogno si una richiesta anche al TLB stage 2 e che non ci siano problemi di permessi con la entry richiesta. MMU procede ad interrogare il second stage TLB per completare la traduzione.



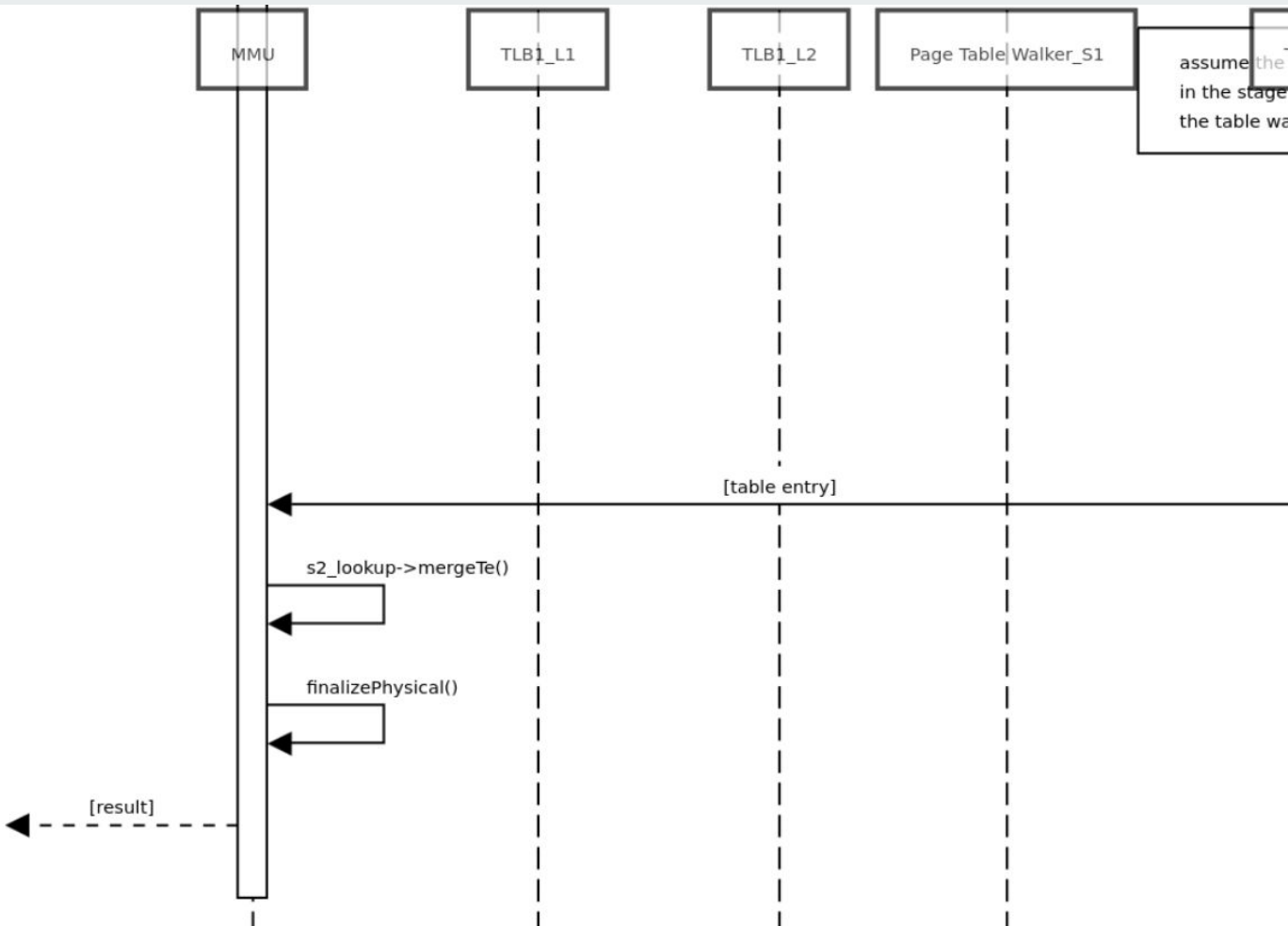


Assumiamo che la entry nel TLB stage 2 sia già presente (senza dover fare un'altra page table walk uguale alla precedente, ma attraverso il PTW_2) e la table entry ci venga data subito in seguito ad una HIT.





Una volta ricevuta la entry anche dal secondo stage, MMU esegue il merge delle due entry e ritorna l'indirizzo fisico corrispondente all'indirizzo virtuale richiesto.





Domande

- Contenuto del TLB: traduzioni parziali o intere (slide 7)
- Exception Levels: livelli di priorità fra le traduzioni delle pagine (mmu.hh riga 114)
- Livelli di simulazione gem5: quali approfondire
- La classe test (derivata dall'interfaccia TlbTestInterface)
- Come e se analizzare table walk non essendo programmazione imperativa (ma un clocked object)
- Ruolo di asid nella traduzione
- Implementazione della mmu per x86
- Significato di prefetch (mmu.cc riga 1460)