

LISTA DE EXERCÍCIO 02

ATENÇÃO: Descrever as soluções com o máximo de detalhes possível. Todos os artefatos (relatório, código fonte de programas, e outros) gerados para este trabalho devem ser adicionados em um repositório (com o seguinte formato nome_ufr_AOC_2018_2) no site github.com.

PRAZO DE ENTREGA: 06/12/2018

1) Quais as vantagens de um processador multiciclo em relação a um uniciclo?

R - A possibilidade de fazer com que instruções sejam executadas em quantidades diferentes de períodos do clock, e a capacidade de compartilhar unidades funcionais dentro do espaço de tempo necessário à execução de uma única instrução.

Site - <https://www.trabalhosfeitos.com/ensaios/Processador-Mono-e-Multiciclo/302009.html> 19-11-2018 16:33

2) Quais as modificações necessárias em um processador multiciclo simples para que se introduza a função de pipeline?

R -

3) Considerando o pipeline do MIPS (simples com MEM compartilhada para instrução e dados) e uma iteração de loop conforme o trecho de programa abaixo, relacione os conflitos que podem ocorrer e seus consequentes stalls. Qual o speedup (por iteração) para o programa em relação à versão sem pipeline?

Loop: **subi \$t2, \$t2, 4**
 lw \$t1, 0(\$t2)
 add \$t3, \$t1, \$t4
 add \$t4, \$t3, \$t3
 sw \$t4, 0(\$t2)
 beq \$t2, \$0, loop

4) No programa abaixo, relacione as dependências (dados, WAR, WAW e outros) existentes.

div.d
sub.d
s.d
add.d
div.d
F1,
F4,
F4,
F5,

F4,
F2, F3
F5, F1
4(F10)
F6, F7
F5, F6

5) Em relação a memória cache. Um computador tem CPI 1 quando todos os acessos à memória acertam no cache. Loads e Stores totalizam 50% das instruções. Se a penalidade por miss é de 25 ciclos e o miss rate é 2%, qual o desempenho relativo se o computador acertar todos os acessos?

- Sempre acertando:

$$\begin{aligned}\text{CPU execution time} &= (\text{CPU clock cycles} + \text{Memory stall cycles}) \times \text{Clock cycle} \\ &= (\text{IC} \times \text{CPI} + 0) \times \text{Clock cycle} \\ &= \text{IC} \times 1.0 \times \text{Clock cycle}\end{aligned}$$

- Situação real:

$$\begin{aligned}\text{Memory stall cycles} &= \text{IC} \times (\text{Memory accesses} / \text{Instruction}) \times \text{Miss rate} \times \text{Miss penalty} \\ &= \text{IC} \times (1 + 0.5) \times 0.02 \times 25 \\ &= \text{IC} \times 0.75\end{aligned}$$

$$\begin{aligned}\text{CPU execution time}_{(\text{cache})} &= (\text{IC} \times 1.0 + \text{IC} \times 0.75) \times \text{Clock cycle} \\ &= 1.75 \times \text{IC} \times \text{Clock cycle}\end{aligned}$$

- Resultado:

$$\begin{aligned}\frac{\text{CPU execution time}_{(\text{cache})}}{\text{CPU execution time}} &= \frac{1.75 \times \text{IC} \times \text{Clock cycle}}{1.0 \times \text{IC} \times \text{Clock cycle}} \\ &= 1.75\end{aligned}$$

6) Descreva os seguintes conceitos:

a) Write through : Um esquema em que as

b) Write back: escrita somente no cache e atualização na memória somente na substituição do bloco.

c) Localidade Temporal: Se um item é referenciado, ele tenderá a ser referenciado novamente em breve. Se você trouxe um livro para sua mesa para examiná-lo, é provável que precise examiná-lo novamente em breve.

PATTERSON, David. Organização e Projetos de Computadores: a interface hardware/software. 3 ed. Campus, 2005. Cap 7, pag 354.

d) Localidade Espacial: Se um item é referenciado, os itens cujos endereços estão próximos tenderão a ser referenciados em breve. Por exemplo, ao trazer o livro sobre os

Universidade Federal de Roraima
Departamento de Ciência da Computação
Arquitetura e Organização de Computadores

primeiros computadores ingleses para pesquisar sobre o EDSAC, você também percebeu que havia outro livro ao lado dele na estante sobre computadores mecânicos; então resolveu trazer também esse livro, no qual, mais tarde, encontrou algo útil. Os livros sobre o mesmo assunto são colocados juntos na biblioteca para aumentar a localidade espacial.

PATTERSON, David. Organização e Projetos de Computadores: a interface hardware/software. 3 ed. Campus, 2005. Cap 7, pag 354.