

UNIVERSIDAD DE SAN CARLOS DE GUATEMALA  
FACULTAD DE INGENIERÍA  
ESCUELA DE CIENCIAS Y SISTEMAS  
ORGANIZACIÓN COMPUTACIONAL  
SEGUNDO SEMESTRE 2024  
ING. OTTO RENE ESCOBAR  
AUX: DILAN CONAHER SUY MIRANDA



## **PRÁCTICA 2**

### **Lógica Binaria y Combinacional LogicCalc**

No.	Nombre	Carné
1	Francisco Javier Cetino Mendez	202006716
2	Karvin Armaldo Lago Pérez	202200254
3	José Alexander López López	202100305
4	Lesly Mariela Chojolán Rubio	201807024

# Introducción

La presente práctica se enmarca en el curso de Organización Computacional y tiene como objetivo principal el diseño e implementación de una **Unidad Aritmética Lógica Básica (ALU)**, denominada *LogicCalc*, aplicando los principios de la lógica combinacional. El proyecto busca consolidar conocimientos mediante la construcción de un sistema capaz de realizar operaciones aritméticas (suma, resta, multiplicación y potencias) y lógicas (AND, OR, NAND y XNOR), así como comparaciones entre operandos binarios.

El desarrollo de esta práctica permite al estudiante comprender y aplicar dispositivos digitales como multiplexores, demultiplexores, comparadores y decodificadores, logrando soluciones óptimas con la menor cantidad de componentes posible. Asimismo, fomenta el entendimiento de operaciones fundamentales en sistemas digitales, la visualización de resultados en displays de 7 segmentos y LEDs, y el control de funcionalidades mediante señales lógicas.

De esta forma, el trabajo integra teoría y práctica, fortaleciendo competencias en el diseño de circuitos digitales, la optimización de recursos y la simulación de sistemas electrónicos, habilidades esenciales para la formación en ingeniería en ciencias y sistemas y para el desarrollo de aplicaciones orientadas a la computación y los sistemas embebidos.

# Objetivos

## Objetivo General

Diseñar e implementar una **Unidad Aritmética Lógica Básica (ALU)** denominada *LogicCalc*, aplicando principios de lógica combinacional para la realización de operaciones aritméticas, lógicas y comparativas, optimizando el uso de dispositivos digitales y garantizando la correcta visualización de resultados en displays y LEDs.

## Objetivos Específicos

1. **Aplicar** el funcionamiento de dispositivos digitales como multiplexores, demultiplexores, comparadores y decodificadores en la construcción del circuito.
2. **Implementar** operaciones aritméticas (suma, resta, multiplicación y potencias) y lógicas (AND, OR, NAND, XNOR) utilizando compuertas y sumadores, asegurando la visualización clara de resultados.
3. **Desarrollar** un diseño óptimo y ordenado que utilice la menor cantidad de componentes posibles, promoviendo la eficiencia en el diseño digital y fortaleciendo las competencias prácticas en electrónica combinacional.

## 4. Contenido técnico:

El proyecto *LogicCalc* consiste en el diseño e implementación de una **Unidad Aritmética Lógica Básica (ALU)** bajo un enfoque de **lógica combinacional**, utilizando exclusivamente compuertas lógicas, sumadores, multiplexores, demultiplexores, decodificadores y comparadores. El diseño se llevó a cabo considerando tres módulos principales: **unidad aritmética, unidad lógica y unidad comparativa**.

### 1. Unidad Aritmética

La unidad aritmética implementa las operaciones de:

- **Suma:** realizada mediante sumadores completos, garantizando el manejo del acarreo.
- **Resta:** implementada a través del complemento a dos, con validación para mostrar error en caso de  $A < B$ .
- **Multiplicación:** construida a partir de sumadores en cascada para obtener el producto de dos operandos binarios.
- **Potencias:** operación que permite elevar un número al cuadrado o al cubo, utilizando sumadores para realizar las multiplicaciones sucesivas.

Los resultados de las operaciones aritméticas se muestran en **dos displays de 7 segmentos**, con un rango máximo visualizable de 99.

### 2. Unidad Lógica

La unidad lógica integra las operaciones:

- **AND** (multiplicación lógica),
- **OR** (suma lógica),
- **NAND** (negación de la multiplicación lógica),
- **XNOR** (equivalencia lógica).

La salida se representa en **4 bits mediante LEDs**, permitiendo la interpretación directa de los resultados binarios.

### 3. Unidad Comparativa

El módulo comparador determina la relación entre los operandos A y B, mostrando:

- El **mayor** y el **menor** en dos displays de 7 segmentos,
- En caso de igualdad ( $A = B$ ), ambos displays muestran el mismo número.

Adicionalmente, indicadores luminosos permiten distinguir qué unidad está activa:

- **Azul** para la unidad aritmética
- **Amarillo** para la unidad lógica.

## 5. Descripción del problema:

Para satisfacer los requisitos establecidos por Intel Corporation para el desarrollo del prototipo de calculadora "LogicCalc", es necesario diseñar un circuito combinacional que pueda llevar a cabo operaciones aritméticas, lógicas y comparativas entre dos números binarios de 4 bits. Esto implica la creación de una Unidad Aritmética Lógica Básica (ALU) que pueda realizar una variedad de operaciones, como suma, resta, multiplicación, división, AND, OR, XOR, entre otras.

El diseño de esta ALU debe permitir la flexibilidad para seleccionar la operación deseada por el usuario, lo cual será controlado por un controlador. Este controlador será responsable de interpretar las entradas del usuario y activar los componentes necesarios dentro de la ALU para realizar la operación especificada. Se debe diseñar una tabla de control que asigne un código único a cada operación posible, y el controlador utilizará esta tabla para determinar qué operación realizar en función de las entradas proporcionadas por el usuario.

En resumen, se necesita un diseño cuidadoso y preciso que integre componentes de hardware y lógica de control para satisfacer los requisitos de Intel Corporation y desarrollar con éxito el prototipo de la calculadora "LogicCalc". Además, es esencial considerar la eficiencia en términos de uso de recursos y velocidad de procesamiento para garantizar un rendimiento óptimo del circuito. Se deben implementar técnicas de diseño que minimicen la complejidad del circuito y maximicen su capacidad de realizar múltiples operaciones de manera simultánea o secuencial. La verificación y validación del diseño serán aspectos críticos para asegurar la precisión y confiabilidad de la calculadora "LogicCalc".

## 6. Funciones Booleanas:

### Funciones de la suma

B	A	C_in	C_out	$\Sigma$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$$\text{Suma} = A'B'Ci + A'BCi' + AB'Ci' + ABC$$

$$\text{Suma} = A \oplus B \oplus C$$

$$\text{Cout} = A'BCi + AB'Ci + ABC' + ABCi$$

$$\text{Cout} = AB + Ci(A \oplus B)$$

## Funciones de la resta

A	B	Ci	Cout	Resta
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

$$\text{Resta} = A'Ci + A'B' + BCi$$

$$\text{Resta} = A \text{ XOR } (B \text{ XOR } Ci) \text{ Cout}$$

$$\text{Resta} = A'B + A'Ci + Bci$$

## Funciones de la multiplicación

ENTRADAS A		A3	A2	A1	A0
ENTRADAS B	*	B3	B2	B1	B0
		B0A3	B0A2	B0A1	B0A0
		B1A3	B1A2	B1A1	B1A0
		B2A3	B2A2	B2A1	B2A0
		B3A3	B3A2	B3A1	B3A0

SALIDAS	MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
---------	-----	-----	-----	-----	-----	-----	-----	-----

MR0 = B0A0

MR1 = B0A1 + B1A0

MR2 = B0A2 + B1A1 + B2A0

MR3 = B0A3 + B1A2 + B2A1 + B3A0

MR4 = B1A3 + B2A2 + B3A1

MR5 = B2A3 + B3A2

MR6 = B3A3

MR7 = 0

## Función potencia al cuadrado

A3, A2, A1, A0 son entradas para la simulación del circuito.

PD	A3	A2	A1	A0	A^2	R7	R6	R5	R4	R3	R2	R1	R0
0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	0	0	0	0	1
2	0	0	1	0	4	0	0	0	0	0	1	0	0
3	0	0	1	1	9	0	0	0	0	1	0	0	1
4	0	1	0	0	16	0	0	0	1	0	0	0	0
5	0	1	0	1	25	0	0	0	1	1	0	0	1
6	0	1	1	0	36	0	0	1	0	0	1	0	0
7	0	1	1	1	49	0	0	1	1	0	0	0	1
8	1	0	0	0	64	0	1	0	0	0	0	0	0
9	1	0	0	1	81	0	1	0	0	0	0	0	1

SALIDA = (VALOR DE A)<sup>2</sup>

=A = A3 · 2<sup>3</sup> + A2 · 2<sup>2</sup> + A1 · 2<sup>1</sup> + A0 · 2<sup>0</sup>

Funcion por salidas

$$R0 = \Sigma m(1,3,5,7,9) = A0 \oplus A1 \oplus A2 \oplus A3$$

$$R1 = \Sigma m(2,3,6,7) = A1A0$$

$$R2 = \Sigma m(4,5,6,7) = A2(A1 + A0)$$

$$R3 = \Sigma m(8,9) = A3A0$$

$$R4 = \Sigma m(4,5) = A2A0$$

$$R5 = \Sigma m(6,7) = A2A1$$

$$R6 = \Sigma m(8,9) = A3$$

$$R7 = \Sigma m(9) = A3A0$$

## Función potencia al cubo

PD	A3	A2	A1	A0	A^3	R7	R6	R5	R4	R3	R2	R1	R0
0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	0	0	0	0	1
2	0	0	1	0	9	0	0	0	0	1	0	0	1
3	0	0	1	1	27	0	0	0	1	1	0	1	1
4	0	1	0	0	64	0	1	0	0	0	0	0	0

## Tablas de Karnaugh



**TABLA FUNCION 1 (SUMADOR)**

A	B	Cin	$\Sigma$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

**SUMA DE PRODUCTOS**

$$\Sigma = A^{\sim}BCin + A^{\sim}BCin^{\sim} + AB^{\sim}Cin + ABCin^{\sim}$$

**SIMPLIFICACION POR XOR**

$$\Sigma = A \oplus B \oplus C$$

**TABLA FUNCION 2 (RESTADOR)**

$A_1$	$A_0$	0	1	11	10
0	0	0	1	1	0
1	0	1	0	0	0
1	1	0	0	x	x
1	0	0	0	x	x

**EXPRESION EN SUMA DE PRODUCTOS**

$$\Sigma = A^{\sim}BCin + A^{\sim}BCin^{\sim} + AB^{\sim}Cin + ABCin^{\sim}$$

**EXPRESION SIMPLIFICADA CON XOR**

$$\Sigma = A \oplus B \oplus Cin$$

**TABLA FUNCION 3 (MULTIPLICACION)**

$A_1A_0$	0	1	11	10
0	0	0	0	0
0.1	1	x	x	0
11	x	x	1	x
10	0	1	x	x

**EXPRESION BOOLEANA SIMPLIFICADA**

$$R4 = A_2A_1^{\sim} + A_3A_0 + A_2A_0$$

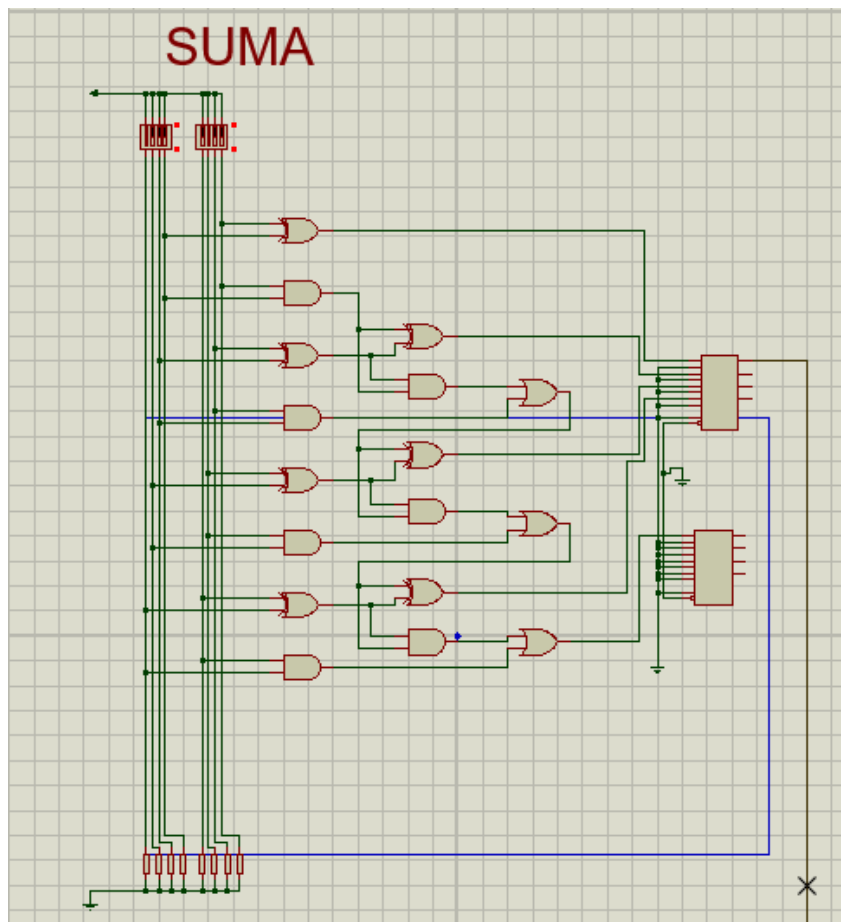
TABLA DE FUNCION 4 (POTENCIA)

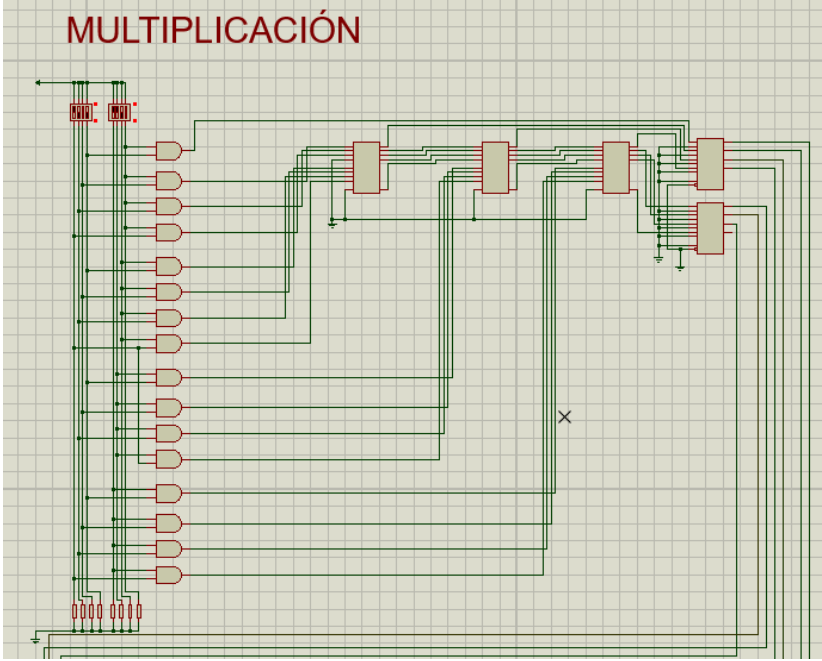
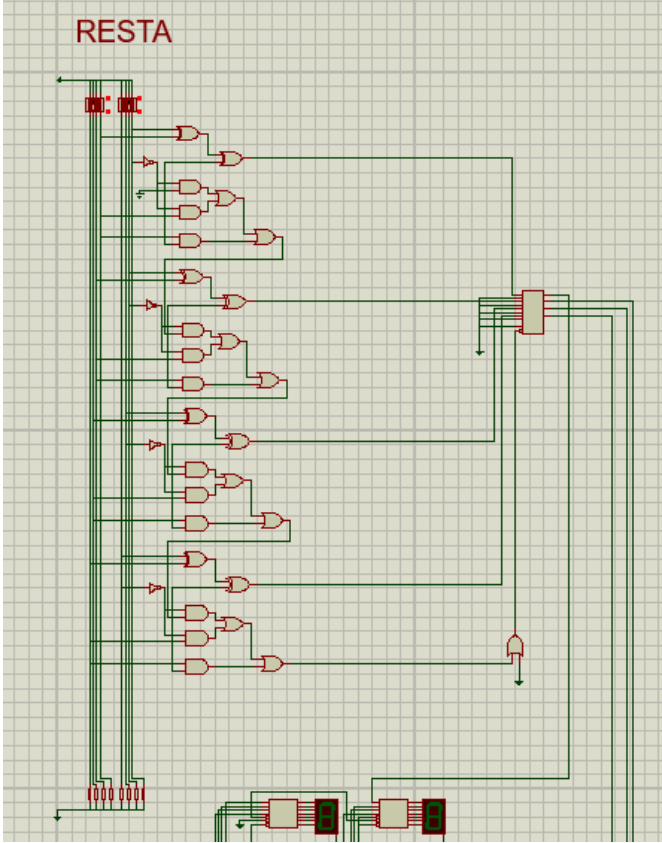
$A_3A_2 \setminus A_1A_0$	0	1	11	10
0	0	0	0	0
1	0	0	1	0
11	1	1	1	1
10	0	0	1	1

EXPRESION SIMPLIFICADA EN BOOLEANA

Ps:  $A_3 A_2 A_1 A_0$

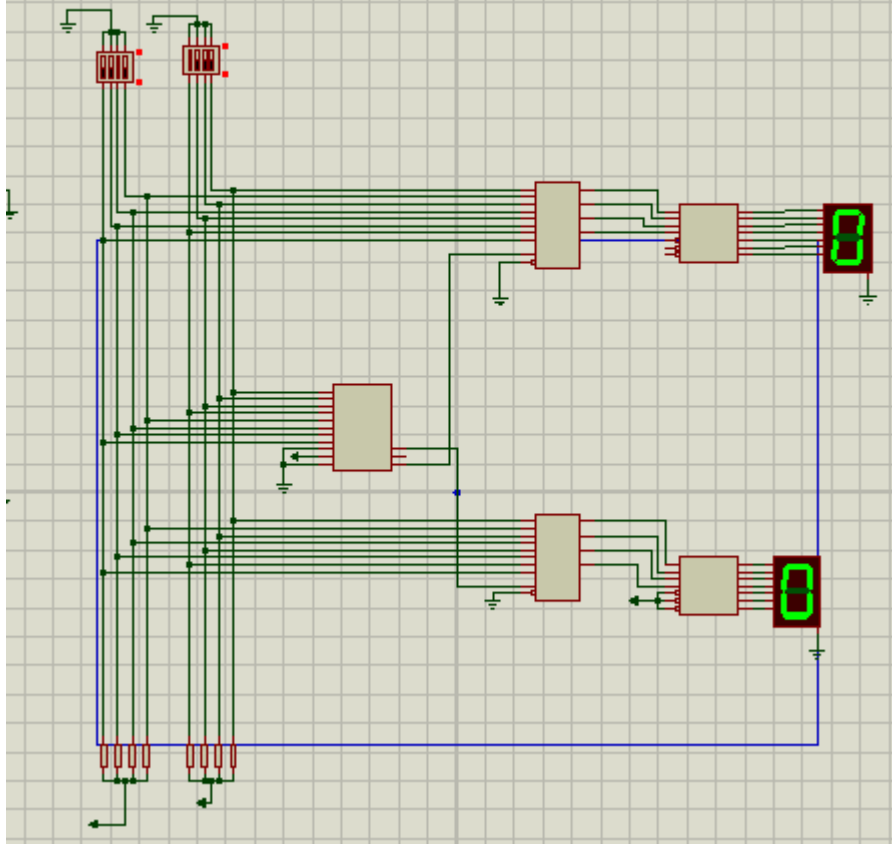
### Diagrama de los diseños utilizados





The circuit diagram illustrates a 4-bit parallel adder implemented using two 74148 decoders (labeled U55 and U56) and two 74147 decoders (labeled U57 and U58). The 74148 decoders are configured to accept 4-bit binary inputs (A, B, C, D) and generate 8-bit binary outputs (Y0 through Y7). The 74147 decoders are configured to accept 8-bit binary inputs (Y0 through Y7) and generate 4-bit binary outputs (S0 through S3). The circuit also includes a 74149 decoder (labeled U59) which is configured to accept 4-bit binary inputs (S0 through S3) and generate 8-bit binary outputs (Z0 through Z7). The final output of the circuit is a 4-bit binary number (Z0 through Z3) which is displayed on a 4-bit LED display (labeled D37). The circuit is powered by a 5V supply (VCC) and a ground (GND) connection.

# UNIDAD COMPARATIVA



**Equipo utilizado**

#	Equipo
1	Protoboard
2	Dip switch
3	Cable para protoboard
4	Display 7 Segmentos
5	Compuertas OR
6	Compuertas AND
7	Compuertas XOR
8	Compuertas NOT
9	Comparadores
10	Resistencias
11	Multiplexores
12	LED's
13	Decoder
14	Demultiplexores
15	Sumadores 74LS283
16	Ácido para quemar placas
17	Multimetro
18	Placas de cobre
19	Dremel para perforaciones de placa
20	Plancha para las placas
21	CHIP 74HC4075
22	Impresiones termo transferible

Componente	Cantidad	Precio Unitario	Total
Alambre para protoboard (Rojo, morado, amarillo, azul, verde, naranja, blanco)	49	Q 2.5	Q 122.5
Switch Dip de 4 posiciones	3	Q 3	Q 9
Resistencia 330 Ohm a 1 W	32	Q 0.9	Q 28.8
Display 7 Segmentos Cátodo Común	4	Q 6	Q 24
Componente 74LS04 (NOT)	6	Q 5	Q 30
Componente 74LS08 (AND)	17	Q 5	Q 85
Componente 74LS32 (OR)	11	Q 5.5	Q 60.5
Componente 74LS86 (XOR)	7	Q 7	Q 49
Componente 74LS48 (Decoder)	4	Q 15	Q 60
Componente 74LS283 (SUMADOR)	13	Q 10	Q 130
Componente 74LS138 (DEMUX)	1	Q 10	Q 10
LED (Rojo y Verde)	10	Q 1	Q 10

Total: Q 618.00

## Aportación económica

Nombre	Carné	Aportación económica
Lesly Mariela Chojolán Rubio	201807024	Q155.00
José Alexander López López	202100305	Q 195.60

## Conclusiones

1. La práctica permitió comprender el diseño y funcionamiento de circuitos combinacionales aplicados a una ALU básica. Se evidenció la importancia de utilizar multiplexores, sumadores y compuertas lógicas de forma óptima. Con ello se logró una implementación clara y eficiente de operaciones aritméticas y lógicas.
2. El desarrollo de esta práctica reforzó el aprendizaje sobre operaciones binarias como suma, resta, multiplicación y comparaciones. Asimismo, se comprobó cómo el uso de lógica



combinacional asegura resultados inmediatos sin elementos secuenciales, esto fomentó una visión práctica de la teoría estudiada en clase.

3. Se evidenció claramente la necesidad de orden, claridad y uso correcto de componentes en el diseño digital. Al simular y construir los circuitos, se aprendió a optimizar recursos y evitar errores comunes.

## **Anexos**

### **Imágenes de los circuitos físicos para las operaciones Aritméticas, lógicas y comparativas**

#### **Circuito de la operación de multiplicación de 2 números binarios de 4 bits cada uno**

