

Direccionamiento Modo Protegido - Paginación

Paginación de la Memoria

La ventaja que representa la Segmentación por ser más flexible en la definición del entorno en la programación, hace más complicada la administración de la memoria por parte del sistema operativo.

La Paginación no es tan flexible como sistema de programación de aplicaciones porque usa bloques del mismo tamaño, pero hace más sencillo el desarrollo del algoritmo de memoria virtual.

UNIX es un ejemplo de sistema operativo que se diseñó con la administración de memoria utilizando bloques de tamaño uniforme.

La unidad de paginación permitió ejecutar UNIX en procesadores IA-32

Paginación

Es una técnica de manejo de memoria, en el cual el espacio de memoria se divide en secciones físicas de igual tamaño, denominados paginas. Técnica utilizada en ambientes multitarea y uso de Memoria Virtual.

Los programas se dividen en unidades lógicas:

Denominadas paginas -> q tienen el mismo tamaño que los marcos de paginas (Divisiones de la Memoria Física)

La paginación permite que la direcciones lineal sean reubicadas en direcciones físicas específicas utilizando bloques de tamaño fijo (Páginas físicas).

Esta reubicación se hace por medio de tablas.

Por razones de eficiencia, no se trata de una única tabla sino de una *estructura Jerárquica de n tablas o niveles de paginación*.

Una vez que se dispone de la estructura de tablas se enciende el bit PG de CR0 para activar la unidad de paginación, ya que la misma es optativa y debe ser activada.

Paginación IA-32

Por un tema de compatibilidad se continuó con el tamaño de página que se definió para el procesador 80386 que es de 4 Kbytes, pero los procesadores posteriores como el Pentium también pueden trabajar con páginas de 4Mbytes, si no se aclara específicamente la unidad de paginación trabaja con páginas de 4Kbytes.

La elección del tipo de página se realiza mediante el bit PSE del registro CR4, propio del programador de sistemas. La activación de este bit implica trabajar con páginas de 4 MB, en caso contrario, se trabaja con páginas de 4 KB.

Si dijimos que el espacio lineal es de 4 Gbytes, entonces lo vamos a poder dividir en forma completa en 2^{20} páginas de 4 Kbytes.

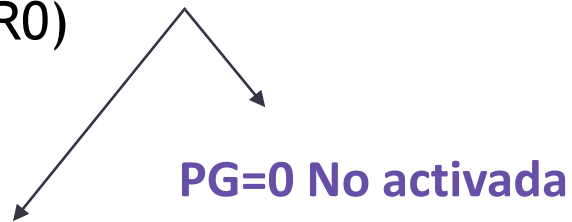
Esto implica tener una tabla de descriptores de páginas enorme, ya que cada uno de los 2^{20} descriptores ocupa 4 bytes y esto implicaría que la tabla ocuparía 4 MBytes de memoria física.

Para reducir este tamaño se arman tablas de descriptores de paginación en 2 niveles de acceso (Directorios y Páginas).

Unidad de Paginación

Traduce las direcciones lineales de 32 bits en direcciones físicas también de 32 bits

Por defecto no está habilitado (si el sistema operativo lo desea, debe setear la bandera PG en el registro CR0)



* La dirección lineal coincide con la dirección física (da acceso a la memoria principal ligada directamente a la CPU)

PG=1 Activada

** Cada segmento se descompone en un número variable de páginas del mismo tamaño (4KB ó 4MB), y la Unidad deposita a dichas páginas sobre la memoria física en los huecos que encuentra libres

Paginación: características

- ★ Estrategia de organización de la memoria física.
- ★ bloques de tamaño fijo: “**páginas**”
- ★ Permite que la memoria resida en un dispositivo de almacenamiento secundario.
- ★ Manejado por el sistema operativo.

Paginación – Descriptor de Páginas

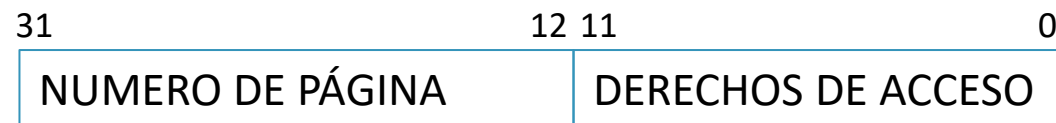
Las páginas en un procesador de 32 bits quedan definidas por 2 parámetros:

- Base.
- Atributos.

A diferencia del Descriptor de Segmento, no tiene campo límite porque el tamaño de las páginas es fijo.

La base debe tener 32 bits, de los cuales los 12 últimos deberán ser cero puesto que las páginas son de 4 KB y sus bases o direcciones de inicio serán múltiplos de 4 KB. Por lo que para definir la base solo se necesitan 20 bits que serán los más significativos del descriptor y los 12 bits menos significativos corresponderán a los derechos de acceso o atributos. Es decir que cada descriptor de página tiene 32 bits y ocupará 4 bytes es decir 4 posiciones de memoria en la tabla correspondiente.

Descriptor de Página:

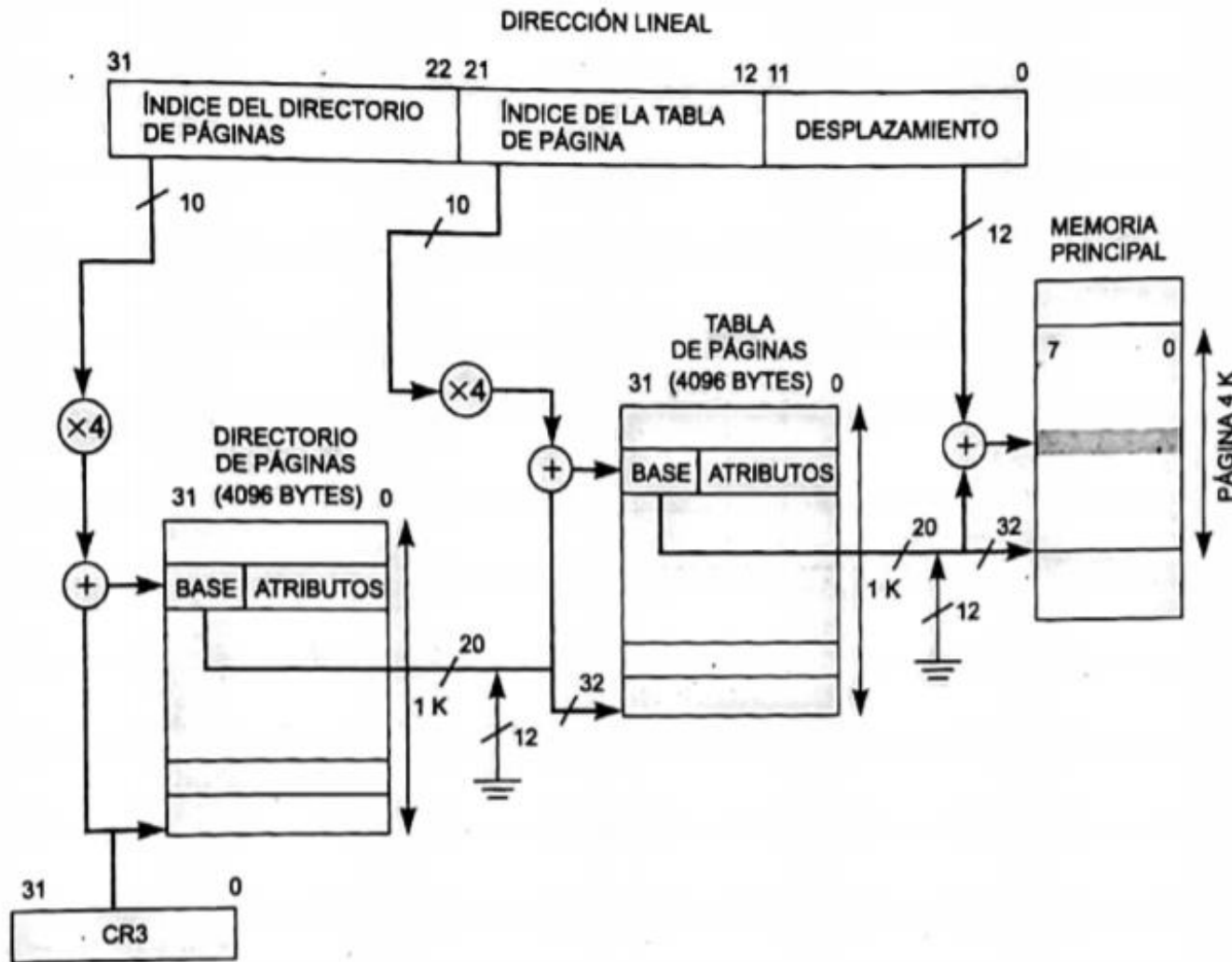


Paginación - Ejemplo: Traducción de lineales a físicas

- La traducción es llevada a cabo en dos etapas:
 - Page Directory (1024 entradas = 1K entradas).
 - Page Table (1024 entradas = 1 K entradas).
- En total se puede direccionar: $1K * 1K * 2^{12}$ (tamaño de cada pagina) = $1M * 4K = 4GB$
- El registro base de la tabla de directorio (Page Directory) está en el CR3.
- Los dos niveles permiten disminuir el espacio de memoria por las tablas.
- Las tablas deben ser mantenidas por el sistema operativo.

Si hay problemas con la paginación (también lo hay en memoria principal, recordemos que en memoria virtual el tiempo de acceso es mayor que para la RAM), por lo que el problema adquiere mas importancia trabajando con memoria virtual.

Unidad de Paginación - Traducción de direcciones lineales a físicas

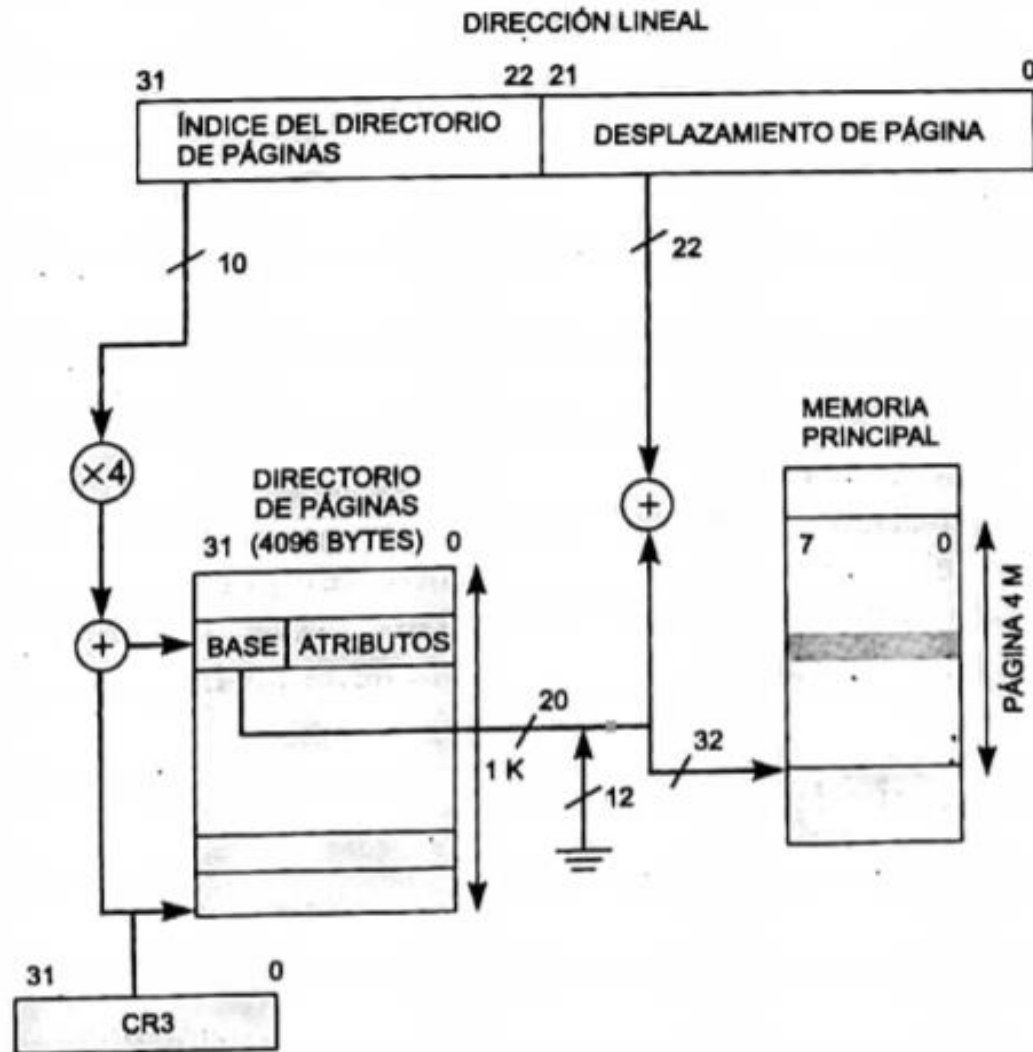


La dirección lineal resultado de la segmentación cuando trabajamos con páginas de 4 KB la dividimos en tres campos que corresponden a:

- Directorio de páginas (10 bits)
- Tablas de páginas (10 bits)
- Desplazamiento (12 bits)

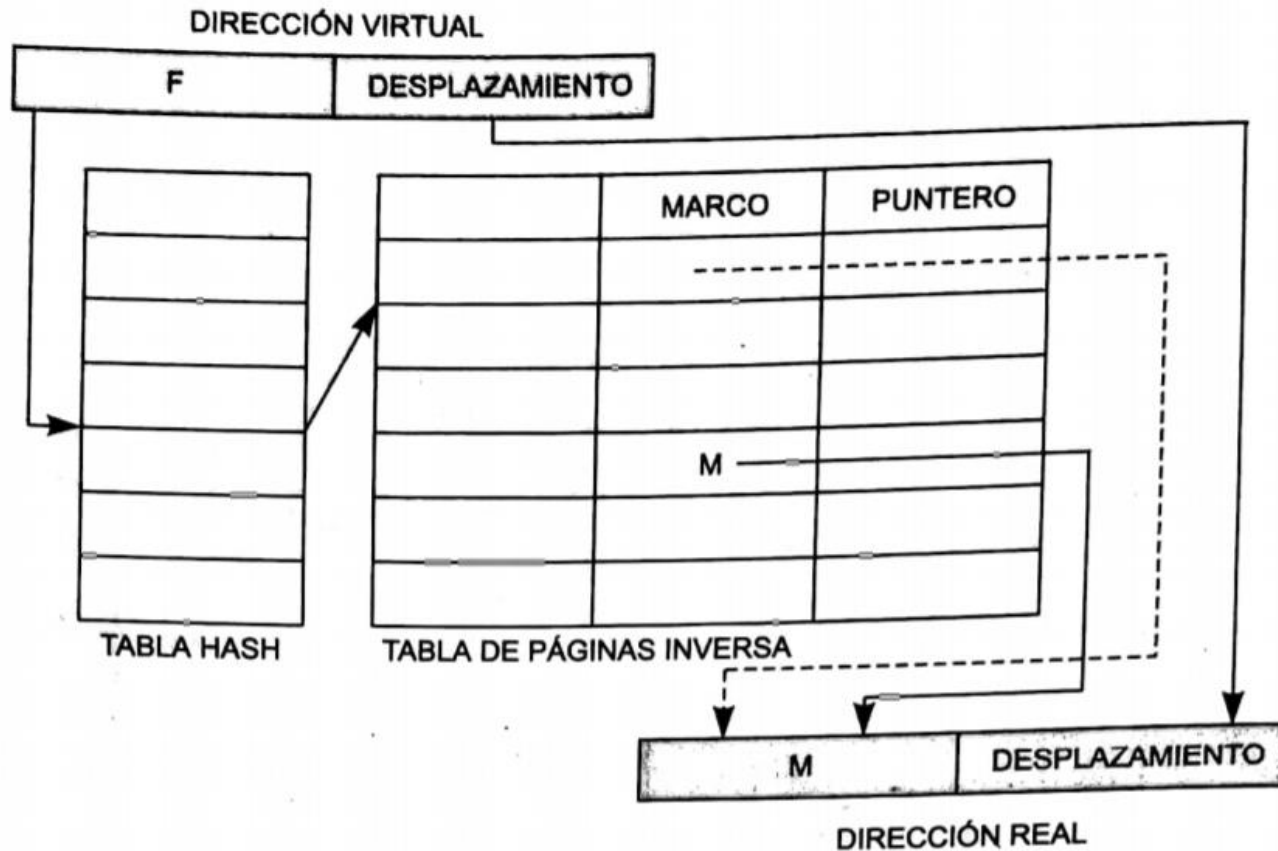
El registro de control CR3 posee la dirección de base de la tabla de Directorio de páginas, como cada índice tiene 10 bits dispondremos de 1024 entradas al Directorio de Páginas y como cada descriptor se obtiene leyendo 4 posiciones de memoria la tabla tiene un tamaño de 4KB, lo mismo ocurre con la tabla de páginas; es decir que el espacio que ocupamos de RAM para guardar los descriptors de páginas es de 8 KB en dos accesos a memoria, uno a directorio y otro a páginas.

Unidad de Paginación - Traducción de direcciones lineales a físicas



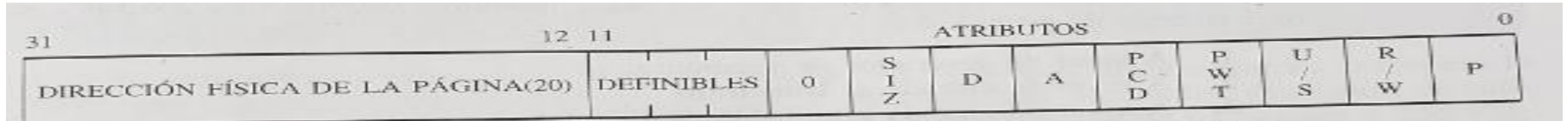
Cuando trabajamos con páginas de 4MB, activando el bit PSE del registro de control CR4, la dirección lineal que obtenemos de la segmentación la dividimos en dos campos; los 10 bits más significativos corresponden al Índice de directorio de Página y los 22 bits menos significativos corresponden al desplazamiento de página que nos permiten movernos dentro de los 4 MB que tiene la página. En este caso la dirección física se obtiene solo en un acceso a memoria y la única tabla tendrá un tamaño de 4 KB.

Tablas de Paginas Inversa



Otra posible solución para reducir el tamaño de la tabla de páginas en el mecanismo de paginación, es la tabla de página inversa, que es utilizada por los equipos AS/400 de IBM y los RISC Power PC. En este caso en lugar de una entrada por cada página virtual, existe una entrada por cada marco de página de la memoria física asignada al proceso. Es decir, la tabla inversa solo da información de las paginas guardadas en los marcos. En la Tabla de Páginas inversa hay tantas entradas como marcos de página hay asignados al proceso por el SO. Su principal ventaja es que el tamaño de la tabla es constante e independientemente del tamaño del proceso.

Formato de las entradas del Directorio y de las tablas de Páginas



Cada entrada de Directorio o de Tabla de Página tiene el formato que se muestra arriba la base de la dirección física de cada página queda determinada por los 20 bits más significativos del formato mostrado, de tal manera que cada entrada apunta a una página distinta. Los 12 bits menos significativos de cada página siempre serán ceros, mas allá de la información que llevan en el formato de la entrada que corresponden a los derechos de acceso ó atributos de las páginas.

Atributos:

De los 12 bits que definen los atributos, los 3 más significativos están disponibles para el programador de sistema y pueden usarse para guardar información auxiliar sobre la página.

Cualquier fallo en la protección que detecta la Unidad de Paginación origina una excepción, que entre otras cosas, guarda el valor de la dirección lineal que lo ha provocado en uno de los registros de control (CR2).

Atributos de las entradas del Directorio y de las tablas de Páginas

Los 8 bits menos significativos de las entradas en forma decrecientes de mayor a menor son:

SIZ: este bit solo es válido en CR4 y se llama PSE, si vale 1 el Pentium trabaja con páginas de 4 MB. En las entradas de Directorio de página y de Tablas de páginas vale 0 ya que no tiene ningún valor. Los procesadores anteriores al Pentium, solo manejan páginas de 4 KB.

D: (bit sucio) si vale 1 significa que la página fue escrita, en este caso, si se quiere eliminar de la RAM se debe previamente salvarla en la memoria virtual.

A: (Accedido) Se pone en 1 cada vez que se accede a dicha página. Lo maneja el SO para llevar la cuenta de la cantidad de accesos a la página.

PCD: (aceptación de caché) indica si la página es cacheable.

PWT: (escritura obligada) además de ser cacheable funciona en modo de escritura obligada.

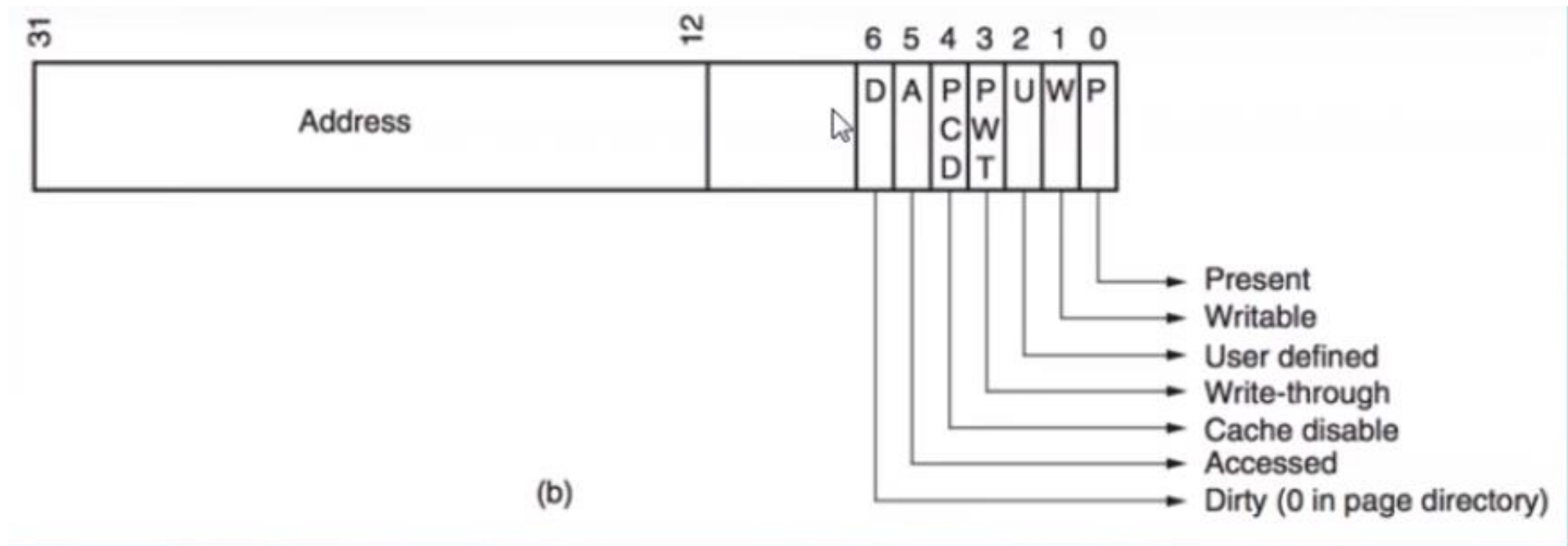
U/S: (Usuario/Supervisor) indica el nivel de privilegio correspondiente a dicha página. 0 Usuario.

R/W: (Lectura/Escritura) si R/W=1 la página es accesible en lectura y escritura. Si es 0 es de solo lectura.

P: (Presencia) si está en 1 la página esta cargada en la memoria física. Si está en 0 cuando se accede, la CPU genera una excepción de fallo de página, que activa una rutina del SO que trae la página desde la unidad de almacenamiento externo (disco) a la RAM y una vez cargada la página en la memoria física, el SO pone P en 1, escribe los 20 bits más significativos de la entrada con el valor correspondiente a la dirección de la base de página y actualiza el resto de los atributos.

Fallo de Paginas

Si el flag de presencia en memoria no está encendido, la unidad de paginación carga la dirección lineal en el registro CR2 y genera la excepción número 14 .



Unidad de Paginación - Conceptos

Page fault: es una excepción arrojada cuando se requiere de una dirección que no se encuentra en la memoria en ese momento.

1. Emite la excepción
2. Guarda el IP y la pila.
3. Determina que es de tipo fallo de página y se llama a la rutina.
4. Averigua qué dirección virtual se estaba buscando.
5. Chequea que sea una dirección válida.
6. Selecciona un marco, si hay, y sino se libera mediante el algoritmo.

Paginación por demanda

- ★ Los procesos residen en el disco y se ponen en la memoria principal cuando se necesitan.
- ★ Cargador perezoso.
- ★ Algoritmos de reemplazo: FIFO, Second Chance, NRU

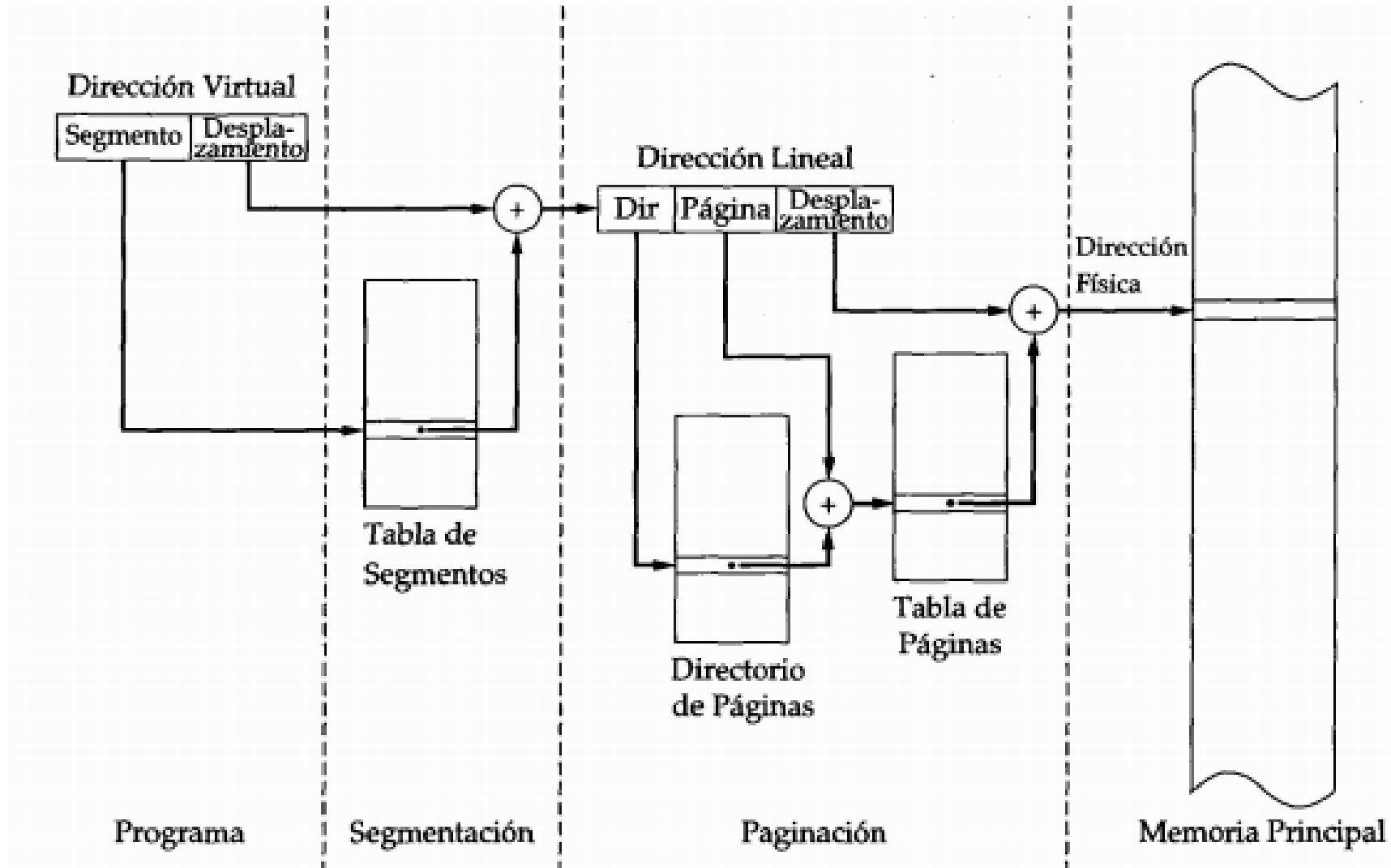
Paginación –Trashing y predicción anticipada

Trashing: situación en la que se utiliza una cantidad de recursos cada vez mayor, para hacer una cantidad de trabajo cada vez menor.

El procesador lleva y trae páginas → *reduce el rendimiento*.

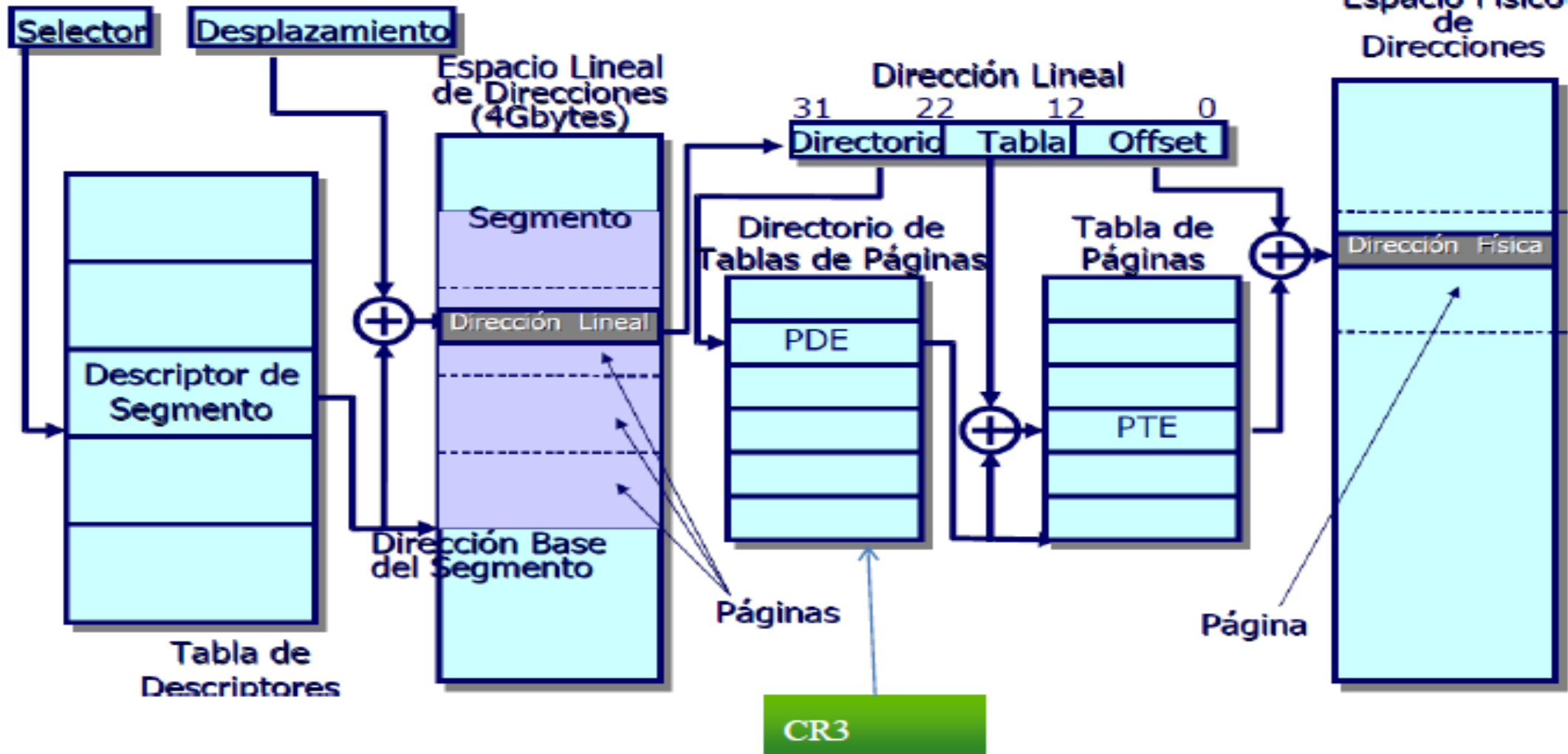
Predicción anticipada: algoritmos basados en la idea de intentar adivinar qué páginas van a ser utilizadas próximamente, basados en: historia reciente y el principio de cercanía de referencias.

Paginación y Segmentación combinada



Paginación y Segmentación combinada

Dirección Lógica o puntero far



Paginación – TLB (Traslation Lookaside Buffer)

Es una pequeña memoria caché que almacena traducciones de direcciones lineales a físicas

Cada traducción requiere 2 accesos a memoria: directorio + tabla de páginas

- Cada vez que la MMU tiene que hacer una traducción:
 - La busca en la TLB. Si está ya resuelta, nos ahorramos dos accesos a memoria.
 - Si no estaba resuelta, la resuelve, y la guarda en la TLB.
- Una TLB de 32 entradas proporciona un 97% de aciertos.
- El Pentium tiene 2 TLBs de 32 entradas, una para la caché de datos y otra para la de instrucciones.

