

Universidad de Buenos Aires

FACULTAD DE INGENIERÍA

TRABAJO PRÁCTICO 2

Autor:

Franco Mariotti 102223

2do Cuatrimestre 2020

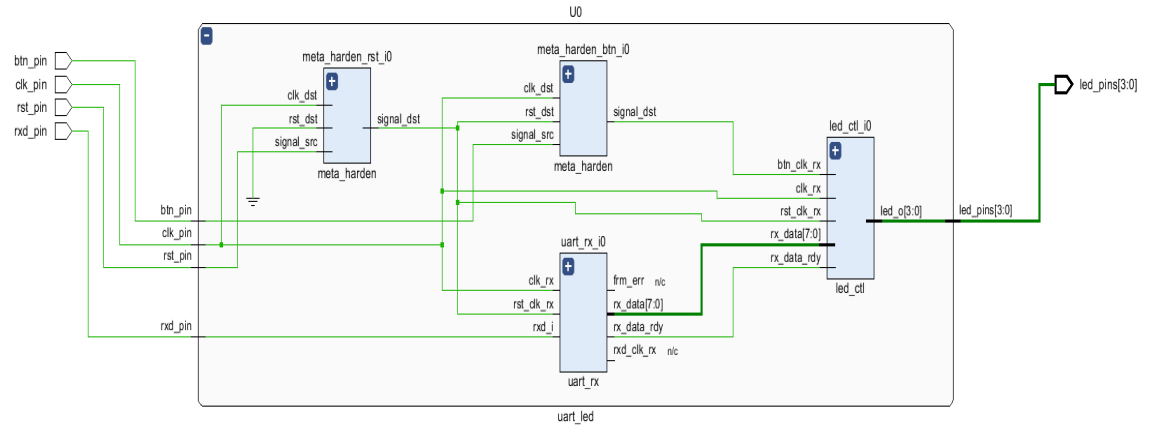
1 Introducción

El trabajo práctico consistió en el sintetizado de un sistema utilizando configuraciones diferentes de la herramienta de síntesis del entorno Vivado y un posterior análisis de los reportes generados por la misma.

2 Elaboración del Sistema

Una vez creado el proyecto con los archivos fuente VHDL, seleccione la opción **Schematic** para poder visualizar un diagrama lógico del sistema. Dicho diagrama puede verse en la **Figura 1**.

Figure 1: Diagrama esquemático UART_LED



En la **Figura 2** se encuentra la descripción de las conexiones del componente `uart_rx_i0`. Podemos ver por ejemplo que al pin de entrada `clk_rx` del mismo se le esta conectando el pin `clk_pin` del componente `U0(uart_led)`

Figure 2: Descripción módulo UART_RX.i0

```

uart_rx_i0: uart_rx
generic map(
    CLOCK_RATE => CLOCK_RATE,
    BAUD_RATE   => BAUD_RATE
)
port map(
    clk_rx      => clk_pin,
    rst_clk_rx  => rst_clk_rx,

    rxd_i       => rxd_pin,
    rxd_clk_rx  => open,

    rx_data_rdy => rx_data_rdy,
    rx_data     => rx_data,
    frm_err     => open
);

```

Luego realice el análisis de ruido sobre los pines de salida del sistema, para lo que tuve que agregar el archivo de restricciones **uart_led_pins_Artyz7.xdc**. En este se configura la asignación de pines de salida del sistema a los On Board leds(leds integrados al FPGA) del FPGA.

Una vez importado dicho archivo el análisis de ruido reporto lo siguiente:

Figure 3: Descripción módulo UART_RX.i0

Tcl Console Messages Log Reports Design Runs Noise x									
Summary									
Messages (1)									
I/O Bank Details									
Links									
Name	Port	I/O Std	Vcco	Slew	Drive Strength (...)	Off-Chip Termina...	Remaining Margin ...	Notes	
I/O Bank 0 (0)									
I/O Bank 13 (0)									
I/O Bank 34 (2)		LVC MOS33	3.30	SLOW	12	FP_VTT_50			
R14	led_pins[0]	LVC MOS33	3.30	SLOW	12	FP_VTT_50	93.04		
P14	led_pins[1]	LVC MOS33	3.30	SLOW	12	FP_VTT_50	94.90		
I/O Bank 35 (2)		LVC MOS33	3.30	SLOW	12	FP_VTT_50			
N16	led_pins[2]	LVC MOS33	3.30	SLOW	12	FP_VTT_50	93.36		
M14	led_pins[3]	LVC MOS33	3.30	SLOW	12	FP_VTT_50	90.69		

En la **Figura 4** se muestra el archivo mencionado con anterioridad. También se puede ver remarcado donde se realiza la asignación de pines de salida del sistema a los pines asociados a les on_board del FPGA.

Figure 4: Archivo de restricciones uart_led_pins_Artyz7.xdc

```
# On-board led
#####
set_property -dict { PACKAGE_PIN R14 IOSTANDARD LVCMOS33 } [get_ports { led_pins[0] }];
set_property -dict { PACKAGE_PIN P14 IOSTANDARD LVCMOS33 } [get_ports { led_pins[1] }];
set_property -dict { PACKAGE_PIN N16 IOSTANDARD LVCMOS33 } [get_ports { led_pins[2] }];
set_property -dict { PACKAGE_PIN M14 IOSTANDARD LVCMOS33 } [get_ports { led_pins[3] }];

# CLK source 50 MHz
set_property -dict { PACKAGE_PIN H16 IOSTANDARD LVCMOS33 } [get_ports { clk_pin }];

# Rst Btn[3]
set_property -dict { PACKAGE_PIN L19 IOSTANDARD LVCMOS33 } [get_ports { rst_pin }];

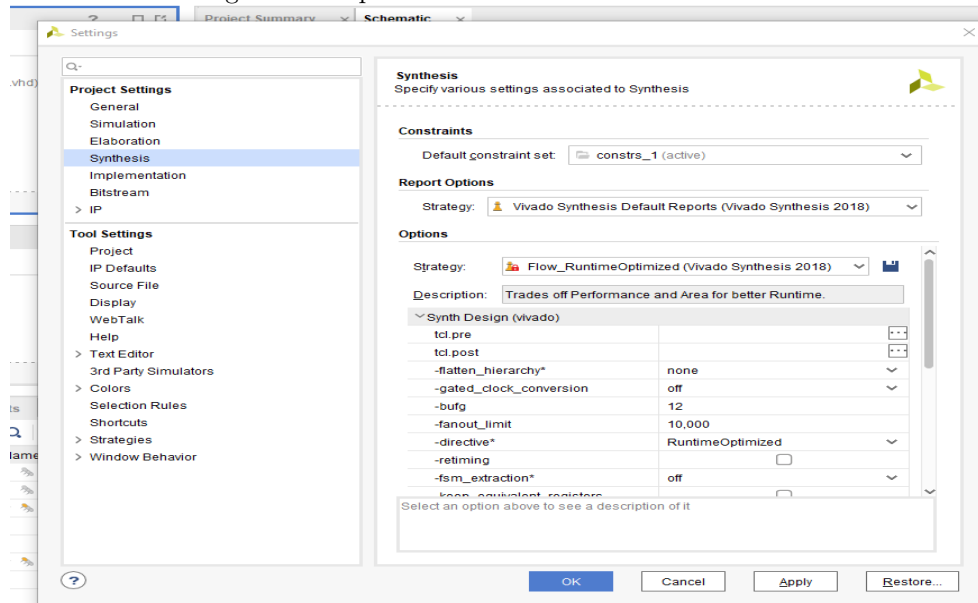
# Nible Swap Btn[0]
set_property -dict { PACKAGE_PIN D19 IOSTANDARD LVCMOS33 } [get_ports { btn_pin }];

# UART
set_property -dict { PACKAGE_PIN Y18 IOSTANDARD LVCMOS33 } [get_ports { rxd_pin }]; #IO_L17P_T2_34 Sch=JA1_P
```

3 Sintetización del Sistema

Una pasado el proceso de elaboración, el siguiente paso es la síntesis del sistema. El primer paso fue cambiar la estrategia de la herramienta de síntesis a **RuntimeOptimized**. Según el manual **Vivado Design Suite User Guide: Synthesis**, la estrategia **RuntimeOptimized** realiza menos optimizaciones de tiempo y elimina algunas optimizaciones del proceso de Análisis RTL para disminuir el tiempo de síntesis.

Figure 5: Propiedades herramienta de Síntesis



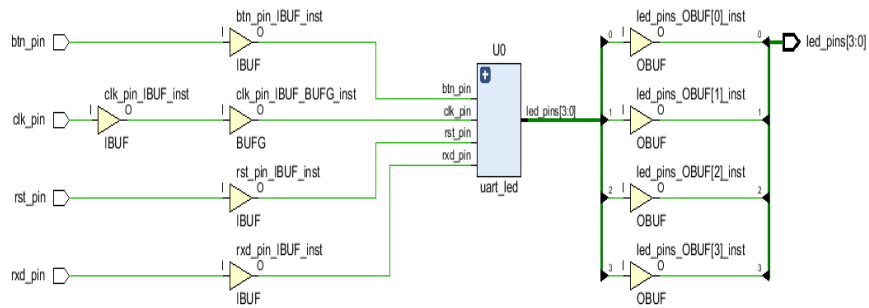
Una vez completado el proceso de Síntesis se puede visualizar la siguiente tabla:

Resource	Estimation	Available	Utilization
LUT	40	17600	0.23
FF	45	35200	0.13
IO	8	100	8.00
BUFG	1	32	3.13

En esta tabla podemos ver una estimación de la cantidad de recursos de la FPGA que utiliza nuestro sistema sintetizado.

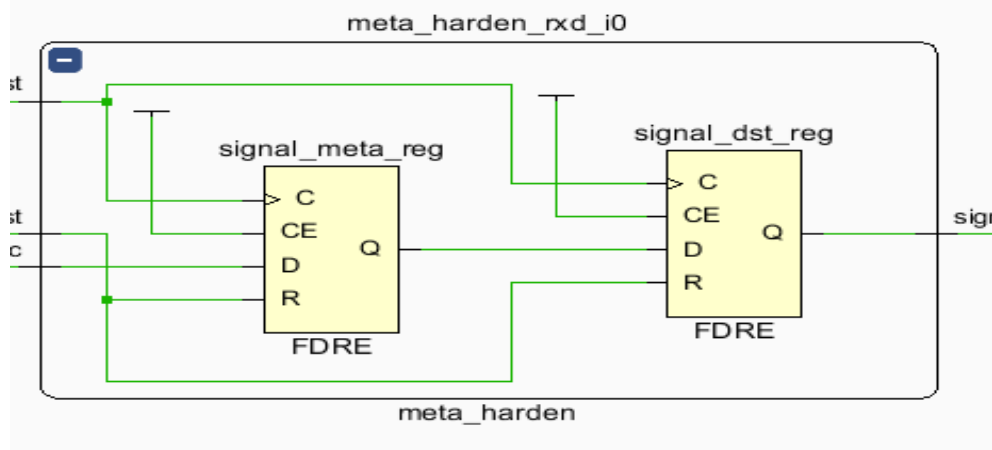
En la **Figura 6** podemos un diagrama esquemático del sistema ya con componentes de la FPGA es decir LUTs, registros, buffers, etc.

Figure 6: Esquemático Sistema Sintetizado



Y en la **Figura 7** tenemos la implementación del componente **meta_harden_rxd** en donde podemos ver los Flip-Flops Tipo D.

Figure 7:



3.1 Análisis del Reporte de Temporización

El siguiente paso fue la generación del reporte de temporización en que podemos ver que hay caminos dentro de nuestro sistema que no cumplen con restricciones de tiempo impuestas en el archivo `uart_led_timing_ArtyZ7.xdc`, es decir los retardos propios de la lógica que se implementa en la FPGA, no cumplen con las restricciones de tiempo que nosotros definimos con anterioridad.

Figure 8: Reporte de Temporización

Design Timing Summary		
Setup	Hold	Pulse Width
Worst Negative Slack (WNS): -3.970 ns	Worst Hold Slack (WHS): -1.508 ns	Worst Pulse Width Slack (WPWS): 9.500 ns
Total Negative Slack (TNS): -15.790 ns	Total Hold Slack (THS): -2.983 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 4	Number of Failing Endpoints: 2	Number of Failing Endpoints: 0
Total Number of Endpoints: 99	Total Number of Endpoints: 99	Total Number of Endpoints: 46
Timing constraints are not met.		

Luego genere los reportes de utilización y consumo del sistema que se muestran en las **Figuras 9 y 10** respectivamente, en los que podemos ver estimaciones de la cantidad de recursos de la FPGA que utiliza el sistema y consumo del mismo.

Figure 9: Reporte de Utilización

Summary

Resource	Utilization	Available	Utilization %
LUT	40	17600	0.23
FF	45	35200	0.13
IO	8	100	8.00

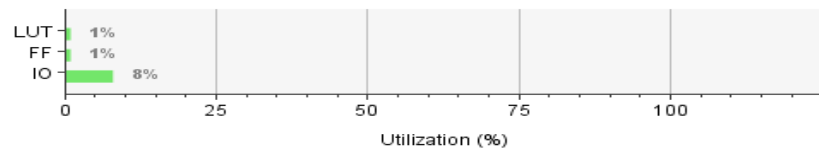
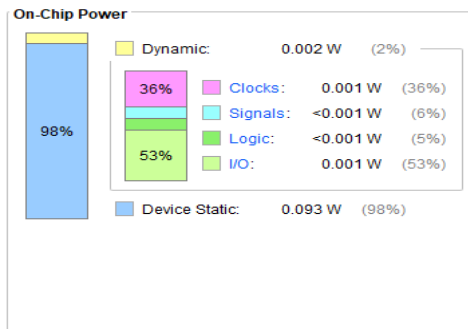


Figure 10: Reporte de Consumo

Summary

Power estimation from Synthesized netlist. Activity derived from constraints files, simulation files or vectorless analysis. Note: these early estimates can change after implementation.

Total On-Chip Power: 0.095 W
Design Power Budget: Not Specified
Power Budget Margin: N/A
Junction Temperature: 26.1°C
Thermal Margin: 58.9°C (5.0 W)
Effective θ_{JA} : 11.5°C/W
Power supplied to off-chip devices: 0 W
Confidence level: Medium
[Launch Power Constraint Advisor](#) to find and fix invalid switching activity

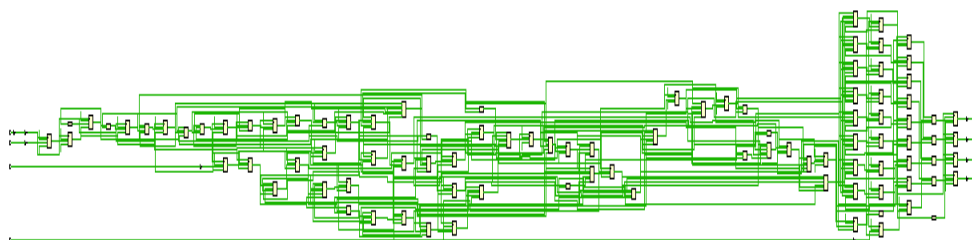


3.2 Cambio de configuración de la herramienta de síntesis

En este punto lo que hice fue cambiar la estrategia de la herramienta de síntesis a **Flow_PerfOptimized_high** y cambiar la opción **flatten-hierarchy** a full. Según el manual **Vivado Design Suite User Guide: Synthesis** la opción **flatten-hierarchy** determina como Vivado sintetiza el control de jerarquías. Cuando esta se encuentra en **full** le dice a la herramienta que aplane toda la jerarquía dejando solo el nivel de mas arriba.

Una vez corrido el proceso de síntesis con la nueva configuración, se puede visualizar el siguiente diagrama esquemático del sistema sintetizado:

Figure 11: Esquemático del Sistema aplanado



Como se puede ver el sistema se encuentra aplanado, es decir no se ve una estructura de modulo y submódulos como en las imágenes anteriores.

Finalmente generando el reporte de utilización extraje la siguiente información:

Resource	Utilization
LUT	48
FF	49

Podemos ver que con esta nueva configuración el sistema sintetizado consume mas recursos de FPGA que el sistema sintetizado con la otra configuración.

4 Conclusión

Puedo concluir que el la configuración de la herramienta de síntesis utilizada impacta directamente en la implementación final de nuestro sistema en la FPGA y es muy importante tener esto en cuenta porque para un misma elaboración de un sistema, llegamos a dos sintetisis del mismo totalmente diferentes, los cuales consumen distintos recursos y tienen características diferentes.