

TRABAJO PRÁCTICO 5

[66.17/86.41] Sistemas Digitales

Asignación de Restricciones

Autor:

Franco Mariotti 102223

2do Cuatrimestre 2020

1 Introducción

El objetivo de esta practica es la creación de archivos de restricción de temporización y ubicación de pines para el sistema UART con el que se trabajo en las practicas previas.

2 Asignación de ubicaciones utilizando la interfaz Device View y Package pins

En esta etapa lo que se hizo fue una asignación de los puertos del sistema UART(clk_pin, btn_pin, rst_pin, rxd_pin y txd_pin) a distintos pines físicos de la FPGA, a partir de la vista gráfica Package View de los pines.

Figure 1: Interfaz Device View

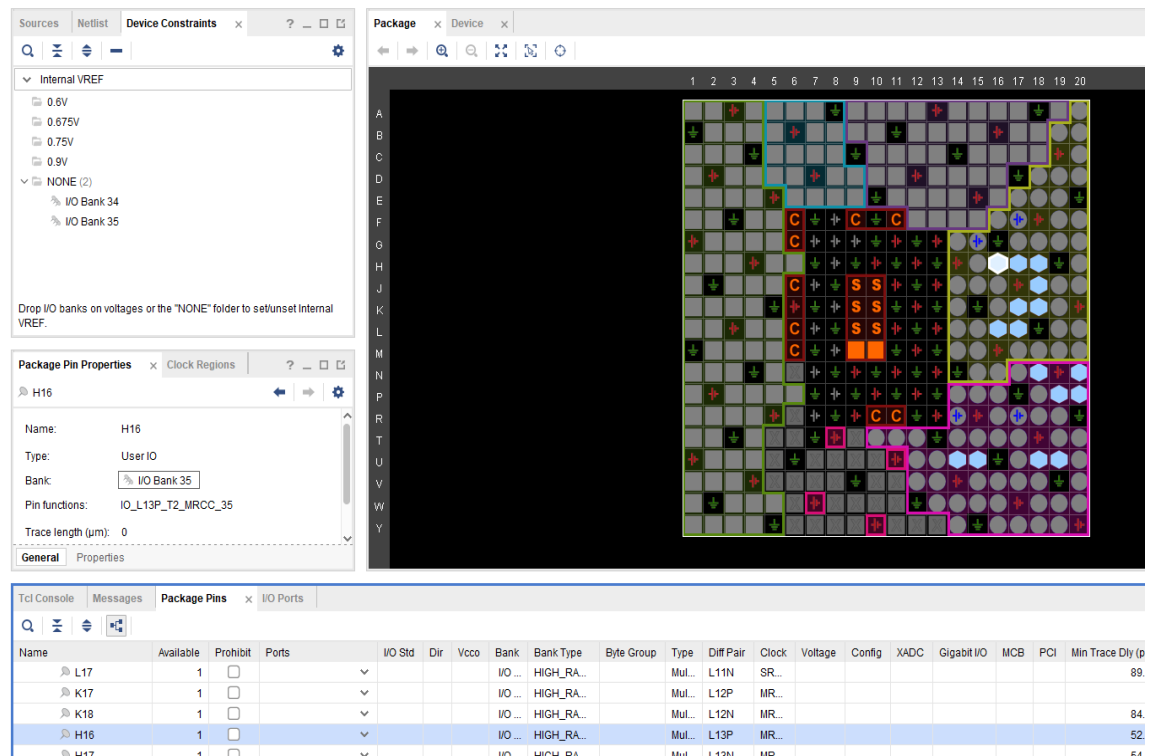


Figure 2: Asignación puerto **clk_pin** a pin H16

Name	Available	Prohibit	Ports	IO Std	Dir	Vcco	Bank	Bank Type	Byte Group	Type	Diff Pair	Clock	Voltage	Config	XADC	Gigabit I/O	MCB	PCI	Min Trace Dly (ps)	Max Trace Dly
L17	1	<input type="checkbox"/>					IO	HIGH_RA		Mul	L11N	SR							89.43	89.43
K17	1	<input type="checkbox"/>					IO	HIGH_RA		Mul	L12P	MR							87	87
K18	1	<input type="checkbox"/>					IO	HIGH_RA		Mul	L12N	MR							84.13	84.13
H16	0	<input type="checkbox"/>	clk_pin	LVCNOS33*	Input	3.300	IO	HIGH_RA		Mul	L13P	MR							52.78	52.78
H17	1	<input type="checkbox"/>					IO	HIGH_RA		Mul	L13N	MR							54.15	54.15
J18	1	<input type="checkbox"/>					IO	HIGH_RA		Mul	L14P	SR			AD4P				74.11	74.11
H18	1	<input type="checkbox"/>					IO	HIGH_RA		Mul	L14N	SR			AD4N				70.68	70.68

Figure 3: Asignación puerto **btn_pin** a pin D19

D19	0	<input type="checkbox"/>	btn_pin	LVCNOS33*	Input	3.300	IO	HIGH_RA		Us	L4P								72.52	72.52
-----	---	--------------------------	---------	-----------	-------	-------	----	---------	--	----	-----	--	--	--	--	--	--	--	-------	-------

Figure 4: Asignación puerto **rst_pin** a pin L19

L19	0	<input type="checkbox"/>	rst_pin	LVCNOS33*	Input	3.300	IO	HIGH_RA		Mul	L9P				AD9P				104.38	104.38
-----	---	--------------------------	---------	-----------	-------	-------	----	---------	--	-----	-----	--	--	--	------	--	--	--	--------	--------

Figure 5: Asignación puertos **rxn_pin** y **txd_pin** a pines Y18 y Y19

Y18	0	<input type="checkbox"/>	rxn_pin	LVCNOS33*	Input	3.300	IO	HIGH_RA		Us	L17P								93.46	93.46
Y19	0	<input type="checkbox"/>	txd_pin	LVCNOS33*	Output	3.300	IO	HIGH_RA		Us	L17N								86.75	86.75

Luego de crear y asignar los puertos a los respectivos pines físicos de la FPGA, el siguiente paso fue crear un vector de 4 puertos llamado **led_pins** y realizar la asignación por medio del comando TCL **set_property** como se puede observar en la siguiente captura:

Figure 6: Asignación puertos **led_pins** usando comando TCL **set_property**

```

Tcl Console x Messages Package Pins I/O Ports
[Icons]
set_property slew SLOW [get_ports {led_pins[0]} {led_pins[1]} {led_pins[2]} {led_pins[3]}]
set_property pulltype NONE [get_ports {led_pins[0]} {led_pins[1]} {led_pins[2]} {led_pins[3]}]
endgroup
set_property -dict { PACKAGE_PIN R14 IOSTANDARD LVCNOS33 } [get_ports { led_pins[0] }];
set_property -dict { PACKAGE_PIN P14 IOSTANDARD LVCNOS33 } [get_ports { led_pins[1] }];
set_property -dict { PACKAGE_PIN N16 IOSTANDARD LVCNOS33 } [get_ports { led_pins[2] }];
set_property -dict { PACKAGE_PIN M14 IOSTANDARD LVCNOS33 } [get_ports { led_pins[3] }];
Type a Tcl command here

```

Una vez completadas las restricciones de ubicación, guarde el archivo de

restricciones con el nombre **"uart_led_pins_ArtyZ7"** y migre el proyecto a un proyecto RTL.

Figure 7: Archivo `uart_led_pins_ArtyZ7.xdc` guardado

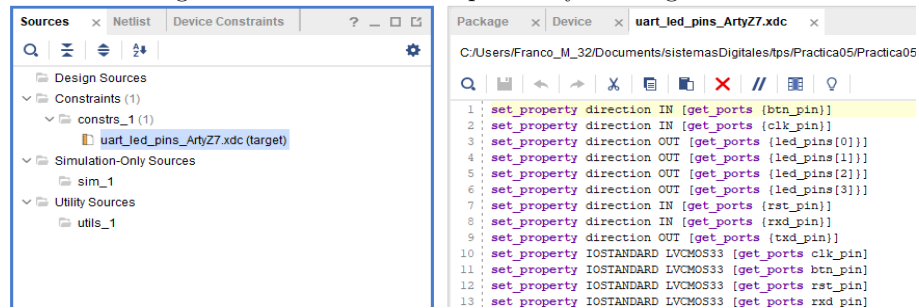


Figure 8: entidad IOS

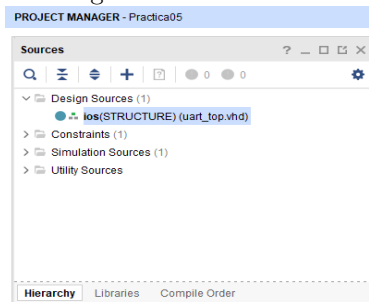


Figure 9: uart_top.vhd

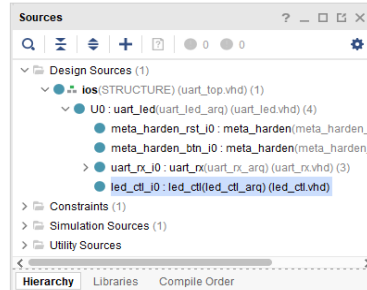
```

11  library IEEE;
12  use IEEE.STD_LOGIC_1164.ALL;
13  use IEEE.STD_LOGIC_ARITH.ALL;
14  use IEEE.STD_LOGIC_UNSIGNED.ALL;
15
16  ---- The following library declaration should be present if
17  ---- instantiating any Xilinx primitives in this code.
18  library UNISIM;
19  use UNISIM.VComponents.all;
20
21
22
23  entity ios is
24  Port (
25      led_pins : out STD_LOGIC_VECTOR ( 3 downto 0 );
26      clk_pin : in STD_LOGIC;
27      btn_pin : in STD_LOGIC;
28      rst_pin : in STD_LOGIC;
29      rxd_pin : in STD_LOGIC;
30      txo_pin : out STD_LOGIC
31  );
32
33  end ios;
34
35  architecture STRUCTURE of ios is
36  begin
37
38  end STRUCTURE;
39

```

Ya teniendo el proyecto RTL, agregue los fuentes led_ctl.vhd, meta_harden.vhd, uart_baud_gen.vhd, uart_led.vhd, uart_rx.vhd, uart_tx.vhd al mismo y agregue la descripción de la entidad **ios**, quedando la jerarquía del sistema del siguiente modo:

Figure 10: jerarquía del sistema



3 Síntesis y Restricciones Temporales

Ya teniendo el proyecto con todas las entidades, agregue las restricciones de temporización, estableciendo la frecuencia del puerto clk_pin en 125.000 Mhz y utilizando la herramienta **Constraints Wizard**. Luego corrió el proceso de síntesis y genere un reporte de temporización para verificar que se cumplan todas las restricciones de temporización en el sistema sintetizado. En el siguiente reporte generado podemos ver que se cumplen con todas las restricciones.

Figure 11: Reporte de temporización

Design Timing Summary			
Setup	Hold	Pulse Width	
Worst Negative Slack (WNS): 4.968 ns	Worst Hold Slack (WHS): 0.134 ns	Worst Pulse Width Slack (WPWS): 3.500 ns	
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns	
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	
Total Number of Endpoints: 101	Total Number of Endpoints: 101	Total Number of Endpoints: 48	
All user specified timing constraints are met.			

4 Implementación y Análisis Temporal

Finalmente corrí el proceso de implementación del sistema y genere otro reporte de temporización para verificar que se cumplan las restricciones de temporización en el sistema implementado, el cual podemos ver en la siguiente imagen:

Figure 12: Reporte de temporización

Design Timing Summary			
Setup	Hold	Pulse Width	
Worst Negative Slack (WNS): 4.352 ns	Worst Hold Slack (WHS): 0.159 ns	Worst Pulse Width Slack (WPWS): 3.500 ns	
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns	
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	
Total Number of Endpoints: 101	Total Number of Endpoints: 101	Total Number of Endpoints: 48	
All user specified timing constraints are met.			