

**Universidad de Buenos Aires**

FACULTAD DE INGENIERÍA

# TRABAJO PRACTICO 1

Autor:

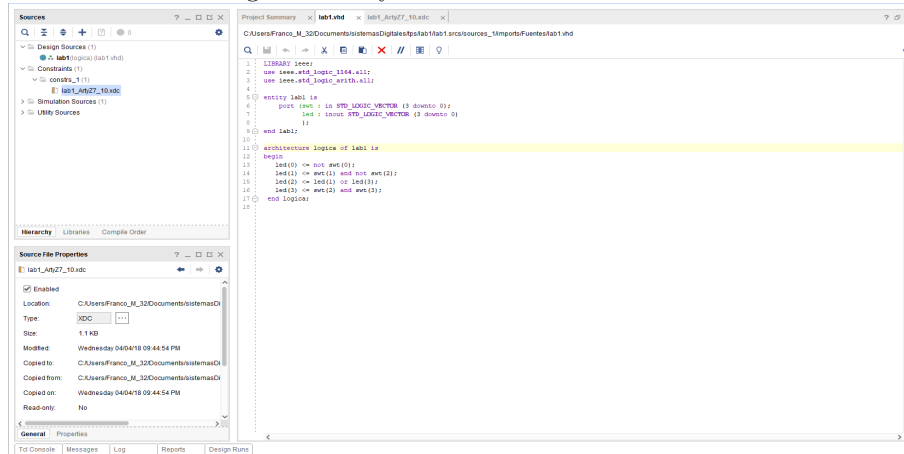
Franco Mariotti 102223

2do Cuatrimestre 2020

# Creación del Proyecto

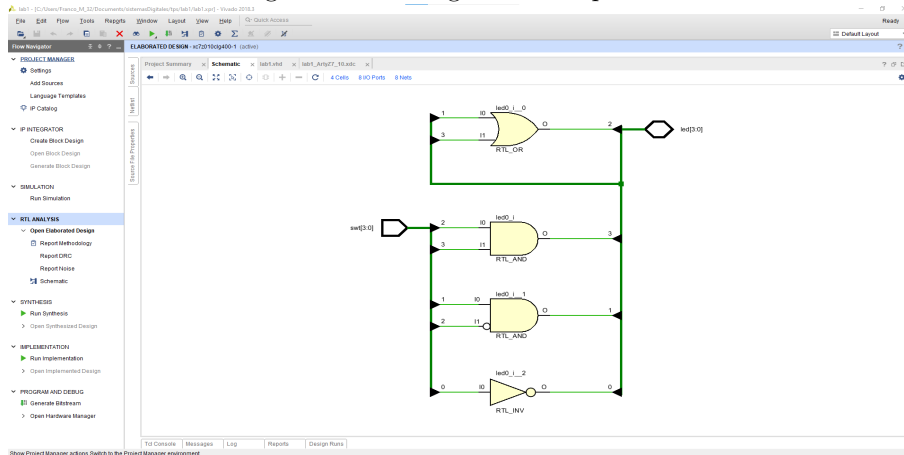
Primero cree el proyecto en Vivado con los archivos **lab.vhd** que contiene el la definición del circuito combinacional y el archivo de restricciones **lab1\_Arty\_Z7\_10.xdc**

Figure 1: Proyecto Lab creado en Vivado



Luego genere la vista lógica del componente definido en lab.vhd, el cual conincide con la lógica definida en el mismo.

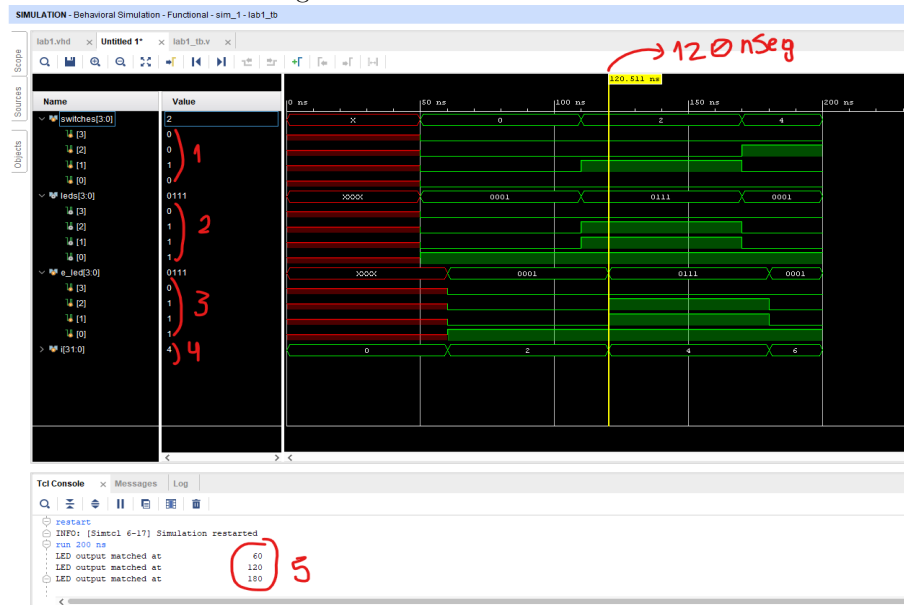
Figure 2: Vista lógica del componente



## Simulación del Sistema

En este punto genere una simulación, de 200 nSeg de duración, del sistema a partir del archivo **lab1\_tb**, el cual define las señales de entrada y salida las cuales podemos visualizar en la imagen siguiente:

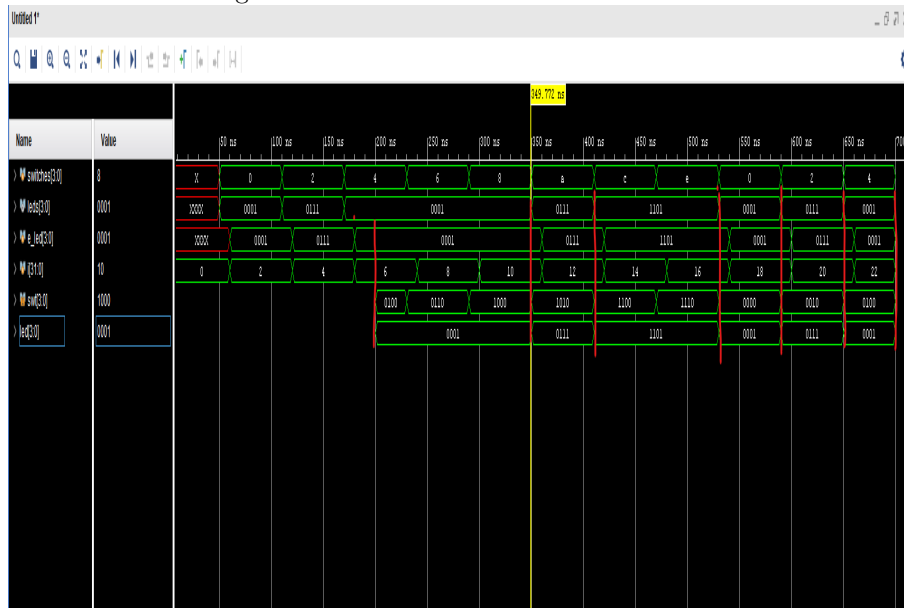
Figure 3: Simulación del sistema



En la imagen 03 remarqué algunos datos de gran importancia según mi consideración. En primer lugar en la consola, la cual indique con el número 5, se puede visualizar la salida del archivo de pruebas. En segundo lugar podemos visualizar en un determinado instante de la simulación, en este caso elegí a los 120 nSeg, que la salida esperada del circuito cambia en ese instante y pasa a coincidir con la salida del componente. Los valores de salida esperada, la salida del componente y la entrada (estados de los interruptores) se encuentran remarcados con los números 3, 2 y 1 respectivamente.

Luego realice una simulación extendida de 700 nSeg del sistema para poder visualizar las señales internas del componente la cual se puede ver en esta imagen:

Figure 4: Simulación del sistema extendida



## Síntesis del Sistema

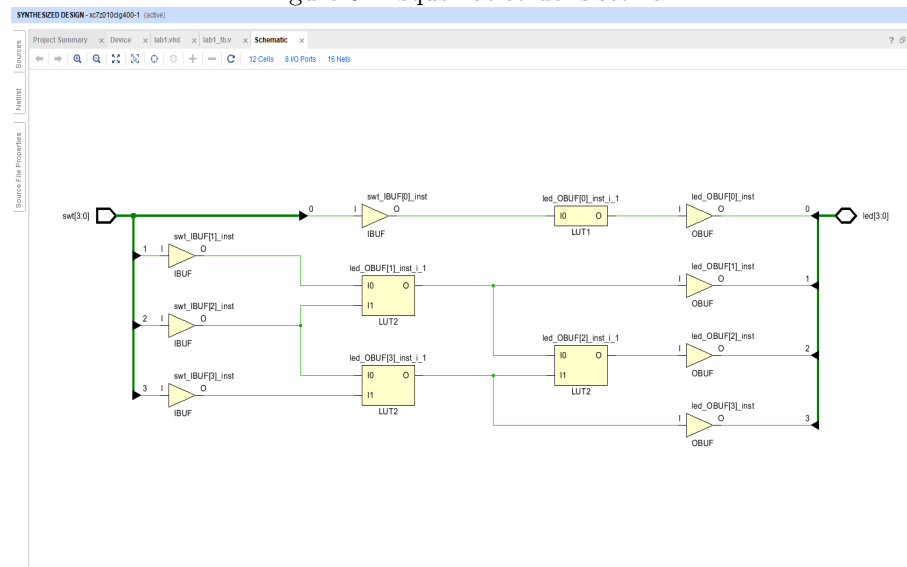
Al finalizar la etapa de simulación pase a correr la etapa de síntesis del sistema en Vivado, el cual genero el directorio de archivos en la carpeta del proyecto como se puede ver en la siguiente imagen: Y en la siguiente imagen se puede ver un

Figure 5: Archivos generados por Vivado en el proceso Síntesis

Name	Date modified	Type	Size
.Xil	11/1/2020 08:27	File folder	
.vivado.begin.rst	11/1/2020 08:26	RST File	1 KB
.vivado.end.rst	11/1/2020 08:27	RST File	0 KB
.vivado_synthesis.queue.rst	11/1/2020 08:26	RST File	0 KB
__synthesis_is_complete__	11/1/2020 08:27	File	0 KB
gen_run	11/1/2020 09:17	XML Document	3 KB
htr	11/1/2020 08:26	Text Document	1 KB
ISEWrap	11/1/2020 08:26	JavaScript File	8 KB
ISEWrap.sh	11/1/2020 08:26	SH File	2 KB
lab1	11/1/2020 08:27	Vivado Checkpoint...	8 KB
lab1.tcl	11/1/2020 08:26	TCL File	3 KB
lab1.vds	11/1/2020 08:27	VDS File	18 KB
lab1_utilization_synth.pb	11/1/2020 08:27	PB File	1 KB
lab1_utilization_synth.rpt	11/1/2020 08:27	RPT File	7 KB
project.wdf	11/1/2020 08:26	WDF File	4 KB
rundef	11/1/2020 08:26	JavaScript File	2 KB
runme	11/1/2020 08:26	Windows Batch File	1 KB
runme	11/1/2020 08:27	Text Document	18 KB
runme.sh	11/1/2020 08:26	SH File	2 KB
vivado.jou	11/1/2020 08:26	JOUI File	1 KB
vivado.pb	11/1/2020 08:27	PB File	28 KB

esquemático del sistema sintetizado, es decir una visualización mas cercana a los que en realidad implementa el **FPGA**.

Figure 6: Esquemático del sistema



## Implementación del sistema

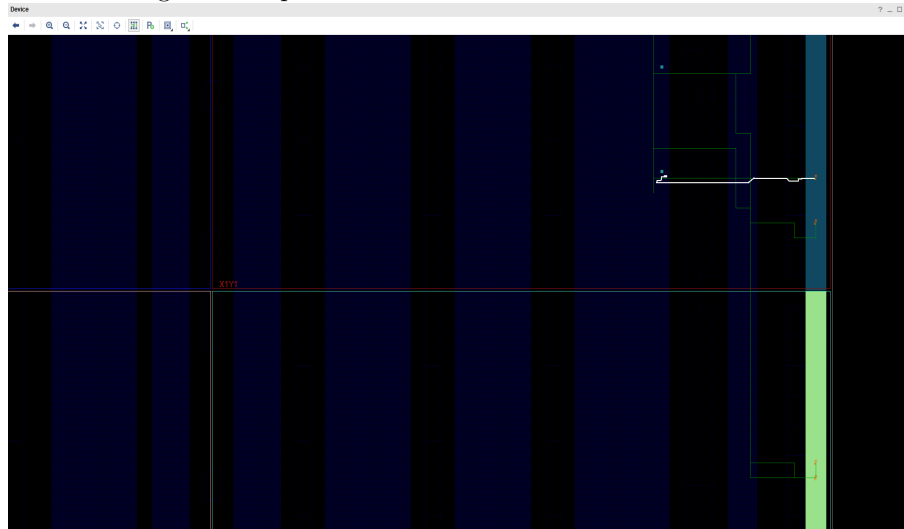
Ya teniendo el sistema sintetizado, corré la etapa de implementación la cual genero el siguiente directorio de archivos:

Figure 7: Directorio de archivos del proceso de implementación

Name	Date modified	Type	Size
.xci	11/1/2020 09:18	File folder	
init_design.begin.rst	11/1/2020 09:17	RST File	1 KB
init_design.end.rst	11/1/2020 09:17	RST File	0 KB
opt_design.begin.rst	11/1/2020 09:17	RST File	1 KB
opt_design.end.rst	11/1/2020 09:17	RST File	0 KB
place_design.begin.rst	11/1/2020 09:17	RST File	1 KB
place_design.end.rst	11/1/2020 09:17	RST File	0 KB
route_design.begin.rst	11/1/2020 09:17	RST File	1 KB
route_design.end.rst	11/1/2020 09:18	RST File	0 KB
vivado.begin.rst	11/1/2020 09:17	RST File	1 KB
vivado.end.rst	11/1/2020 09:18	RST File	0 KB
Vivado_implementation.queue.rst	11/1/2020 09:17	RST File	0 KB
gen_run	11/1/2020 09:18	XML Document	7 KB
htr	11/1/2020 09:17	Test Document	1 KB
int_design.pb	11/1/2020 09:17	PB File	3 KB
ISEWrap	11/1/2020 09:17	JavaScript File	8 KB
ISEWrap.sh	11/1/2020 09:17	SH File	2 KB
lab1	11/1/2020 09:17	Vivado Checkpoint...	205 KB
lab1.tcl	11/1/2020 09:17	TCL File	6 KB
lab1.vdi	11/1/2020 09:18	VDI File	25 KB
lab1_bus_skew_routed.pb	11/1/2020 09:18	PB File	1 KB
lab1_bus_skew_routed.rpt	11/1/2020 09:18	RPT File	1 KB
lab1_bus_skew_routed.rpx	11/1/2020 09:18	RPX File	1 KB
lab1_clock_utilization_routed.rpt	11/1/2020 09:18	RPT File	6 KB
lab1_control_sets_placed.rpt	11/1/2020 09:17	RPT File	3 KB
lab1_drc_opted.pb	11/1/2020 09:17	PB File	1 KB
lab1_drc_opted.rpt	11/1/2020 09:17	RPT File	3 KB
lab1_drc_opted.rpx	11/1/2020 09:17	RPX File	2 KB
lab1_drc_routed.pb	11/1/2020 09:18	PB File	1 KB
lab1_drc_routed.rpt	11/1/2020 09:18	RPT File	3 KB
lab1_drc_routed.rpx	11/1/2020 09:18	RPX File	2 KB
lab1_io_placed.rpt	11/1/2020 09:17	RPT File	116 KB
lab1_methodology_drc_routed.pb	11/1/2020 09:18	PB File	1 KB
lab1_methodology_drc_routed.rpt	11/1/2020 09:18	RPT File	2 KB
lab1_methodology_drc_routed.rpx	11/1/2020 09:18	RPX File	1 KB
lab1_opt	11/1/2020 09:17	Vivado Checkpoint...	205 KB
lab1_placed	11/1/2020 09:17	Vivado Checkpoint...	209 KB
lab1_power_routed.rpt	11/1/2020 09:18	RPT File	8 KB
lab1_power_routed.rpx	11/1/2020 09:18	RPX File	1 KB
lab1_power_summary_routed.pb	11/1/2020 09:18	PB File	1 KB
lab1_route_status.pb	11/1/2020 09:18	PB File	1 KB
lab1_route_status.rpt	11/1/2020 09:18	RPT File	1 KB
lab1_routed	11/1/2020 09:18	Vivado Checkpoint...	212 KB

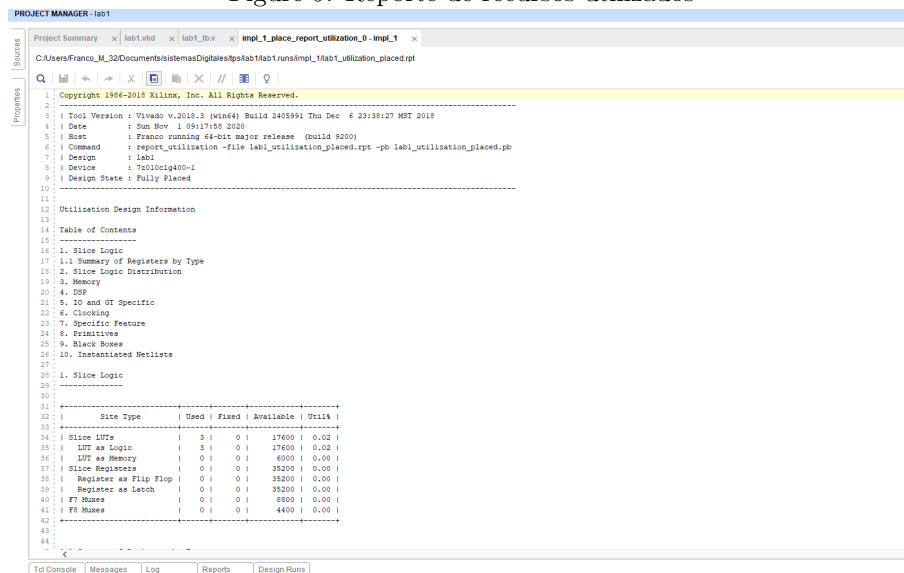
En la imagen 7 se puede ver una parte del diseño de la implementación del sistema en el **FPGA**, es decir podemos visualizar como serán las conexiones internas en el **FPGA** que permitirán implementar el sistema que se vio en la etapa de síntesis con el esquemático.

Figure 8: Implementación dentro de la FPGA del sistema



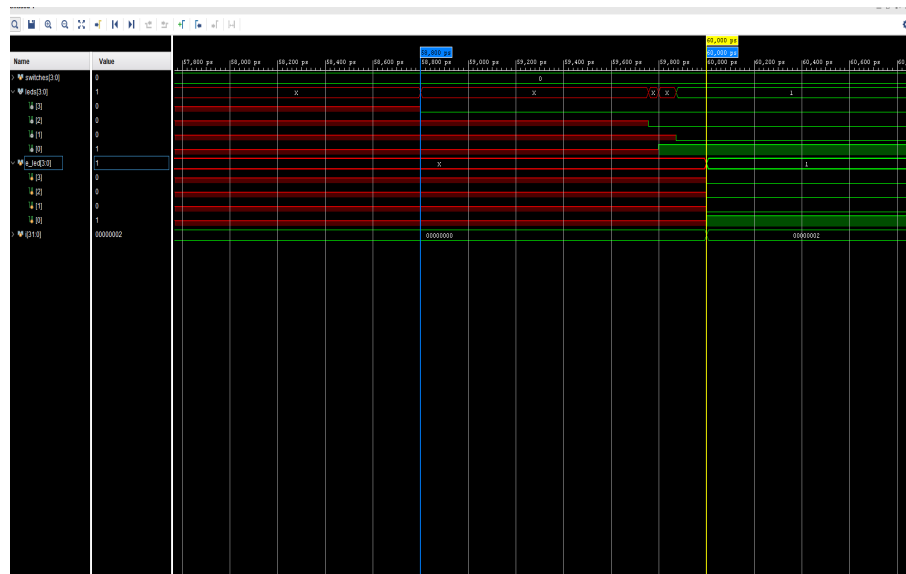
La figura 8 muestra un resumen de los recursos utilizados en el proceso de implementación.

Figure 9: Reporte de recursos utilizados



## Simulación Temporal

Ya con la implementación del sistema, el paso final es la simulación temporal del mismo la cual se puede visualizar en la siguiente imagen:



En esta imagen lo interesante es ver la propagación de los retardos producido por el mismo hardware. En este caso particular podemos ver que la salida del componente empieza a cambiar a los 58 nSeg aproximadamente y finaliza un tiempo después. Por esta razón la salida esperada (e\_led) tiene que cambiar con un cierto retardo, efecto que también puede apreciarse en la imagen. En este caso particular el e\_led cambia a los 60 nSeg.