

Universidad de Buenos Aires

FACULTAD DE INGENIERÍA

TRABAJO PRÁCTICO 3

Autor:

Franco Mariotti 102223

2do Cuatrimestre 2020

1 Introducción

Esta practica consiste en la implementación del sistemas sintetizado en el trabajo practico 2. Se hará un análisis de temporización y se generara el archivo de configuración para verificar el sistema en hardware.

2 Sintetización del sistema

El primer paso fue cambiar la configuración de la herramienta de síntesis seteando la propiedad **flatten_hierarchy** en rebuilt para poder volver a la estructura de módulos que teníamos antes de cambiar a **flatten_hierarchy** en el trabajo practico anterior. Esto nos facilita el análisis del sistema.

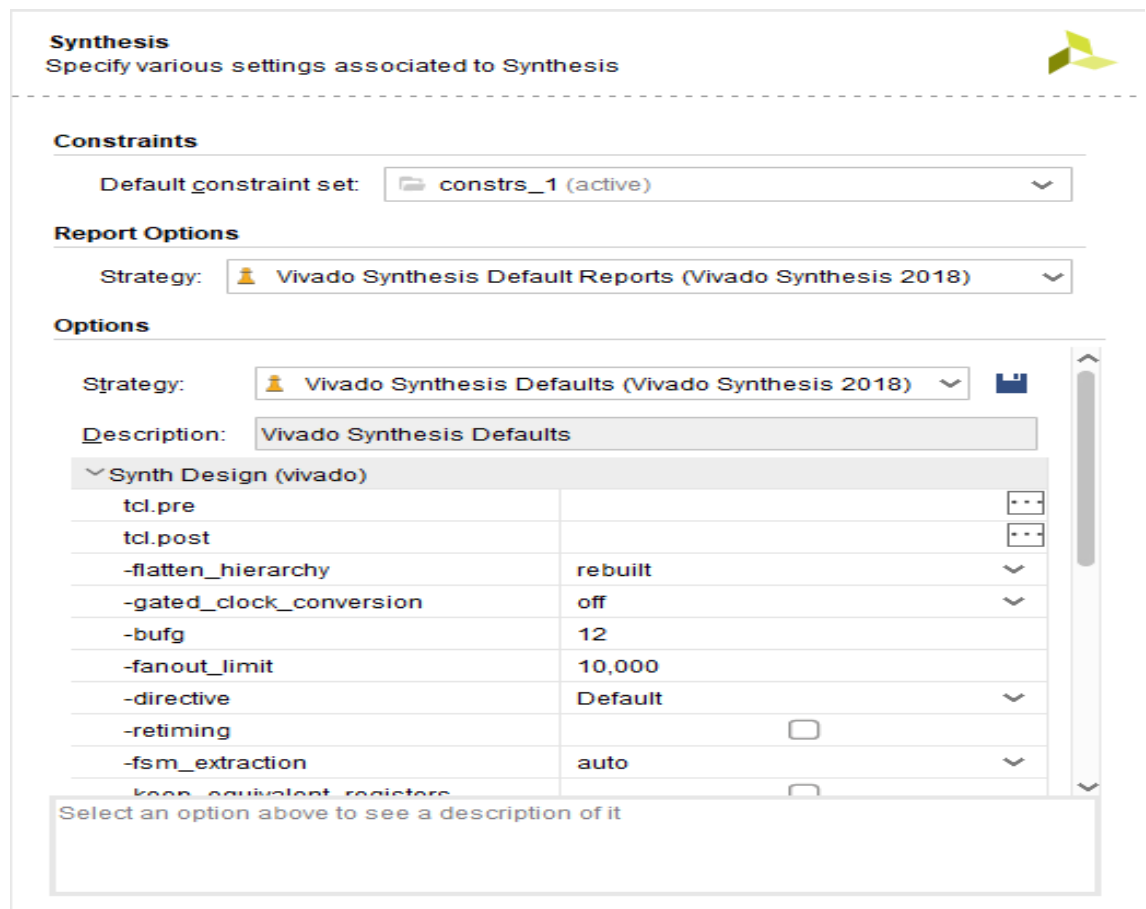


Figure 1: Cambio en la configuración de la herramienta de síntesis

Lo siguiente fue modificar la frecuencia del clock del sistema en el archivo de restricciones **uart_led_timing_ArtyZ7.xdc**. La utilizada para realizar este cambio se ve en la **figura 2**

```
# define clock and period
create_clock -period 8.000 -name clk_pin -waveform {0.000 4.000} [get_ports clk_pin]
```

Figure 2: Cambio de la frecuencia del reloj del sistema

Con la linea de la **figura 3** se agrego un pin de transmision que se conecto a la entrada **rxn** del componente **uart_led** y tener una señal de eco de lo enviado al componente.

```
22 |
23 | set_property -dict { PACKAGE_PIN Y19  IOSTANDARD LVCMOS33 } [get_ports { txd_pin }];
24 |
```

Figure 3: Agregado de pin de transmisión

En la siguiente figura se ve el pin **txd** mencionado antes, el cual agregue definiendo la conexión en archivo **uart_top.vhd**.

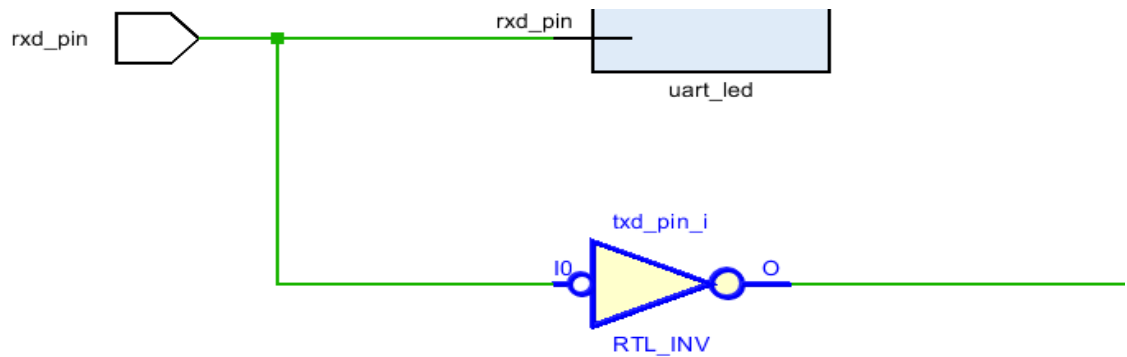


Figure 4: Conexión del pin de transmisión

Una vez modificado el archivo **vhd**, se corrió el proceso de síntesis del sistema y luego se generó el report **timing summary**.

En el reporte aparecieron incumplimientos de los requisitos de temporización, por lo que realice un análisis de uno de los caminos que incumplía con dichos requisitos el cual podemos ver en la siguiente figura:

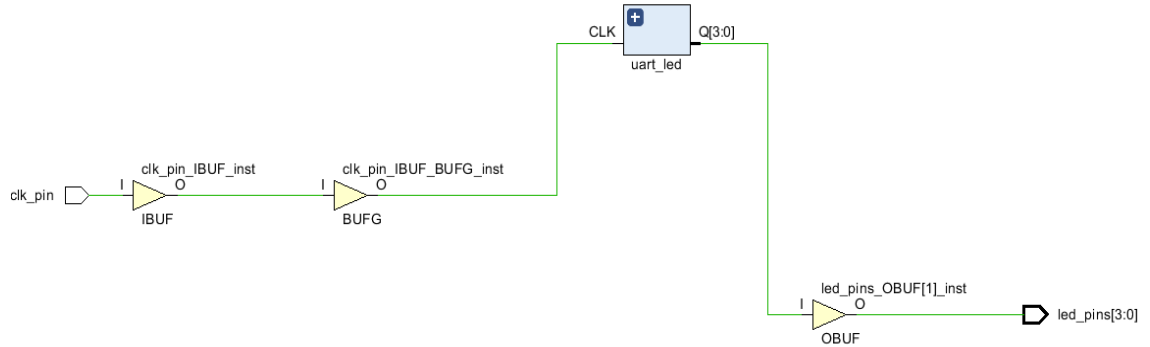


Figure 5: Camino del reloj de entrada

En la **figura 6** podemos ver el reporte de temporización para el camino de arriba y en el se puede visualizar la diferencia de tiempo en el tiempo de propagación y el tiempo requerido.

Arrival Time		15.945	31... 14	led_pins[1]
Destination Clock Path				
Delay Type	Incr (ns)	Path (...)	Loca...	Netlist Resour
(clock virtual...ck rise edge)	(r) 12.000	12.000		
ideal clock network latency	0.000	12.000		
clock pessimism	0.000	12.000		
clock uncertainty	-0.025	11.975		
output delay	-0.000	11.975		
Required Time		11.975		

Figure 6: Reporte de temporización del camino

Para arreglar esto cambie las restricciones de temporización y volví a correr el proceso de síntesis. Una vez finalizada la síntesis el reporte de temporización reporto un incumplimiento en el tiempo de retención como se puede ver en la **figura 7**. Para resolver esto se actualizo el archivo de restricciones del sistema con el archivo **uart_led_timing_ArtyZ7.xdc**

Hold	
Worst Hold Slack (WHS):	-1.508 ns
Total Hold Slack (THS):	-2.983 ns
Number of Failing Endpoints:	2
Total Number of Endpoints:	107

Figure 7: Reporte de temporización del diseño

3 Implementación del Sistema

Corrí el proceso de implementación del sistema y una vez finalizado genere el reporte de recursos utilizados el cual podemos ver en la **figura 8**

Hierarchy	Name	Used
Summary	uart_top	42
▼ Slice Logic	U0 (uart_led)	42
▼ Slice LUTs (<1%)	uart_rx_i...	39
LUT as Logic (<1%)	uart_r...	31
▼ Slice Registers (<1%)	uart_b...	8
Register as Flip Flop (<1%)	led_ctl_i...	2
▼ Slice Logic Distribution	meta_ha...	1
▼ Slice (1%)		
SLICEM		

Figure 8: Reporte de recursos utilizados

Luego genere el **report timing summary** para el sistema implementado en el cual se podía ver que había caminos de datos que no cumplían con los requisitos de temporización impuestos en el archivo de restricciones. En la **figura 9** podemos ver el reporte de temporización específico para uno de estos caminos.

Arrival Time		11.226		
Destination Clock Path				
Delay Type	Incr (ns)	Path ...	Loca...	Netlist Resour
(clock virtual...ck rise edge)	(r) 8.000	8.000		
ideal clock network latency	0.000	8.000		
clock pessimism	0.000	8.000		
clock uncertainty	-0.025	7.975		
output delay	-0.000	7.975		
Required Time		7.975		

Figure 9: Reporte de incumplimiento de tiempos.

La resolución fue cambiar las restricciones de tiempo impuestas ya que dicha diferencia de tiempos no afecta el funcionamiento sistema. Habiendo resuelto los problemas de temporización, volví a generar el reporte el cual no mostró ningún problema con los tiempos.

Por ultimo genere un reporte de conexiones del reloj dentro del sistema implementado, el cual podemos ver en la **figura 10**

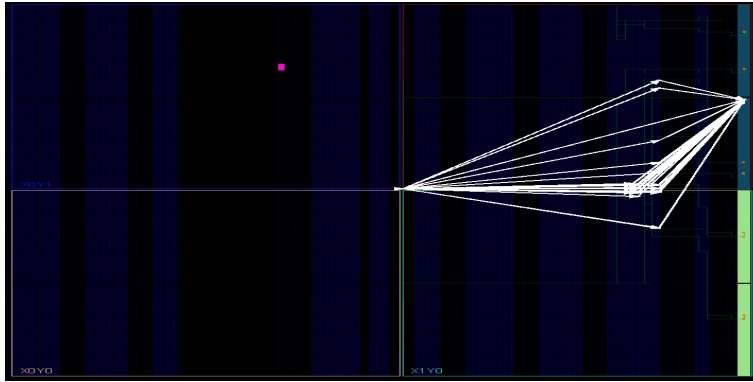


Figure 10: Redes del reloj

4 Generación del archivo de configuración

Finalmente corré el proceso para generar el archivo BitStream que se utiliza para configurar el FPGA.