

# Implementación de una calculadora en una placa FPGA

Franco Selleski

*Instituto Balseiro - Comisión Nacional de Energía Atómica  
(18 de agosto de 2019)*

## I. ESPECIFICACIONES

Se implementó en una placa FPGA Nexys 3 Spartan 6 una calculadora que es capaz de realizar las operaciones de suma, resta y multiplicación sobre dos operandos  $a$  y  $b$ , números de 4 bits en representación signo-magnitud. El usuario debe ingresar los números por medio de switches y elegir la operación a realizar entre estos por medio de 3 botones. El resultado se mostrará en un display de 7 segmentos en formato hexadecimal y, debido a que sólo se utiliza uno de los 4 displays disponibles, el máximo número posible de representar es el F ( $16_{10}$ ). En caso de que el número a representar sea negativo se encenderá el punto presente en el display de 7 segmentos, y si hubiera que representar un resultado mayor a F se prenderá un led en la placa para indicar que el resultado dará overflow.

## II. DISEÑO DEL MÓDULO TOP

En la figura 1 se puede observar un diagrama en bloques de la lógica del módulo top de la calculadora implementada. Se tienen tres entradas correspondientes a los números  $a$ ,  $b$  y el botón de la operación deseada, y seis salidas, cinco de ellas correspondientes al display en 7 segmentos y una al led indicador de overflow.

Por medio de los switches (7:4) para  $a$  y (3:0) para  $b$ , se introducen los números de la forma signo-magnitud utilizando tres switches para definir la magnitud del número y uno para el signo. Asimismo, se elige la operación a realizar entre los números por medio de botones. Para

realizar la suma  $a+b$  no se debe presionar ningún botón puesto que la placa muestra por defecto este resultado, para la resta  $a-b$  el usuario debe presionar el botón C4, y para la multiplicación  $a*b$  el botón B8.

En el display se muestran los resultados obtenidos de las operaciones en representación hexadecimal. El punto del display 7 segmentos es utilizado como signo encontrándose apagado para números positivos y encendido para números negativos. Debido a la representación utilizada, sólo habrá overflow para el caso de la multiplicación de dos números, en cuyo caso se indicará al usuario que el resultado dará overflow encendiendo el led U16.

### A. Modulo de suma

En la figura 2 se puede observar la representación en diagrama de flujo de la implementación de la suma. Se muestra esta representación ya que se instanció este módulo utilizando sentencias secuenciales por medio del comando process. El proceso consiste en calcularle el signo y la magnitud a los números a sumar, y si poseen el mismo signo sumar sus magnitudes y mantener el signo, mientras que si poseen signos distintos se debe restar la magnitud del mayor a la del menor y conservar el signo del mayor. Como se mencionó anteriormente, no existe posibilidad de que ocurra un overflow en la suma.

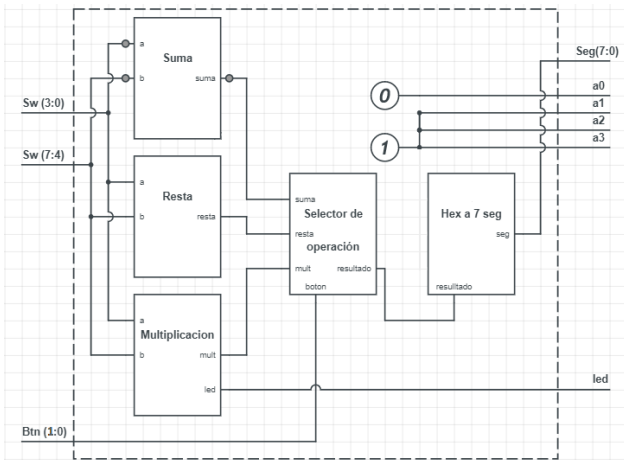


Figura 1. Diseño del módulo top de la calculadora.

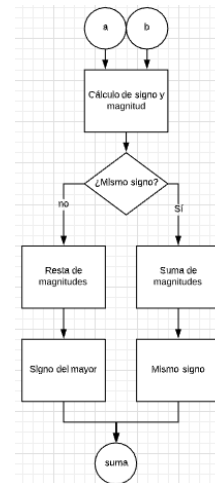


Figura 2. Representación en diagrama de flujo del modulo de suma.

### B. Modulo de resta

El modulo de resta se implementó negando el signo del número a restar y reutilizando el modulo de suma, de modo de realizar la operación  $a+(-b)$  la cual es equivalente a la resta  $a-b$ . Se puede ver en la figura 3 el diagrama en bloques del modulo resta. En este caso tampoco existe posibilidad de overflow.

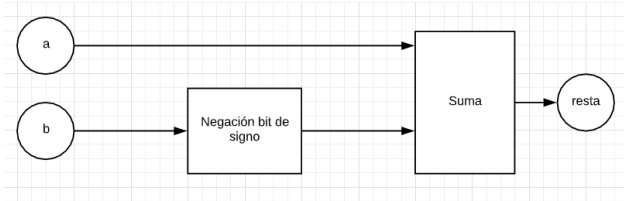


Figura 3. Representación en diagrama de bloques del modulo de resta.

### C. Modulo de multiplicación

En la figura 4 se puede observar el diagrama en bloques del módulo de la multiplicación. Se instanció una compuerta xnor para el cálculo del signo, ya que el signo debe ser positivo si los números tienen el mismo signo, y negativo si son de signos opuestos.

Para el cálculo de la magnitud de la multiplicación se obtuvo la magnitud de cada número utilizando una señal intermedia de tipo unsigned y se las multiplicó utilizando el comando `*` del lenguaje. Cabe destacar que el resultado de esta operación tiene un tamaño de 6 bits, por lo que se utilizó una señal de ese tamaño para el resultado, la cual fue tratada convenientemente luego en el modulo selector de operación del modulo top.

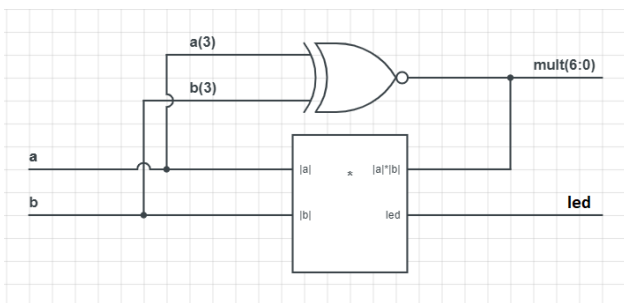


Figura 4. Diagrama en bloques del modulo de multiplicación.

### D. Modulo selector de operación

Este modulo se encarga de recibir los tres resultados de las operaciones suma, resta y multiplicación y seleccionar el deseado según el botón presionado. Consiste en un multiplexor de 4 entradas con una puesta a tierra ya

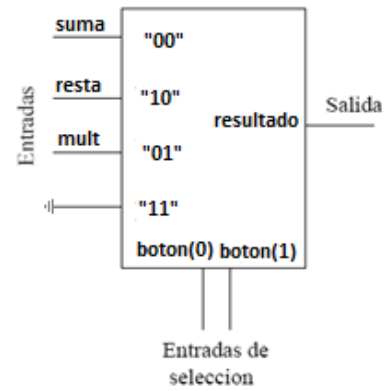


Figura 5. Diagrama del selector de operación.

que solo realizamos tres operaciones. La selección se realiza por medio de las señales de los botones. Para el caso "00", es decir ningún botón presionado, se selecciona el resultado de la suma. Se puede observar en la figura 5 un diagrama de este modulo.

### E. Modulo 7 segmentos

Este modulo es el encargado de enviar la señal al display de 7 segmentos en función de la magnitud del resultado de las operaciones. Consiste en un multiplexor de 16 entradas, los números hexadecimales, y 4 selectores (los bits de magnitud del resultado). El signo que era representando por medio de el punto decimal del display se obtenía negando el bit de signo del resultado, debido a la lógica negada del display.

### F. Testbenchs

Se realizaron testbenchs a cada uno de los módulos por separado de forma de garantizar su correcto funcionamiento antes de implementar la calculadora en la placa. En cada operación se simuló los distintos casos posibles: numeros del mismo signo y signo opuesto. Se verificó que los resultados sean los correctos y, en particular para el caso de la multiplicación, que se encienda el led que indica el overflow.

En el apéndice [1] se puede encontrar un link con los archivos .vhd de cada modulo por separado, asi como también del modulo top.

## III. CONCLUSIONES

Se programó en el lenguaje VHDL una calculadora que realiza operaciones de suma, resta y multiplicación de dos números de 4 bits en representación signo-magnitud. Se simularon por separado cada uno de los módulos y se le realizaron los testbenchs correspondientes para asegurar

el correcto funcionamiento de estos. Se utilizó una placa Nexys3 Spartan 6 para la implementación de la calculadora. Los resultados obtenidos fueron satisfactorios, tan-

to en las simulaciones como en la sintetización en placa el conjunto de las operaciones y el display mostraron los resultados correctos.

---

[1] Selleski, Franco. [https://github.com/FrancoSelleski/Calculadora\\_FPGA](https://github.com/FrancoSelleski/Calculadora_FPGA)