

# 组合逻辑电路

---

**学习要求：** 了解组合逻辑电路的特点，  
熟练掌握组合电路分析和设计的基本方法。  
了解竞争、冒险的概念；掌握消除冒险的  
基本方法。

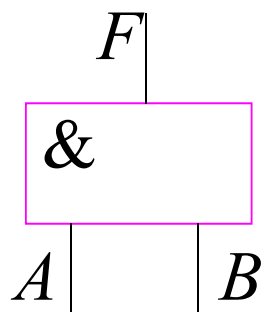
**定义:** 如果一个逻辑电路在任何时刻产生的稳定输出值仅仅取决于该时刻各输入值的组合,而与过去的输入值无关,则称该电路为组合逻辑电路.

组合逻辑电路需要讨论的两个基本问题是分析与设计.

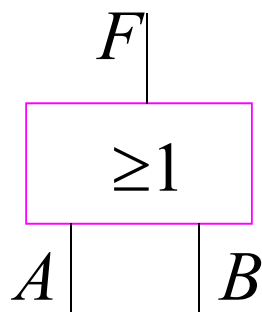
# 逻辑门电路的逻辑符号及外部特性

## 简单逻辑门电路

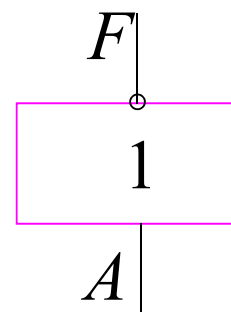
实现"与"、"或"、"非"三种基本运算的门电路称为简单门电路。




(a)



(b)



(c)



电平：电压等级的高低；

高电平：+5v

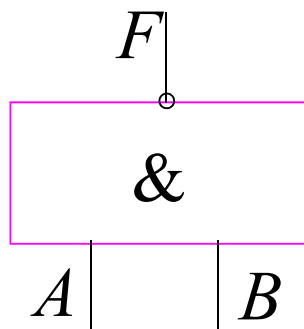
低电平：0v

正逻辑：高电平用1表示，低电平用0表示。

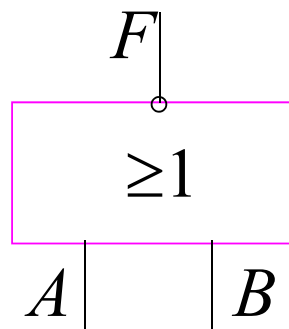
本课程使用正逻辑。

# 复合逻辑门电路

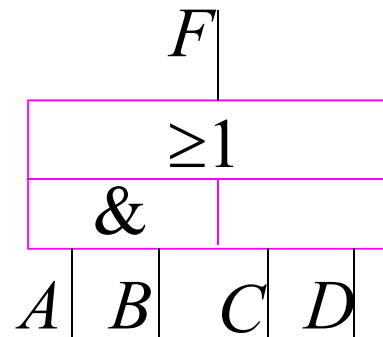
复合门在逻辑功能上是简单逻辑门的组合，实际性能上有所提高。常用的复合门有"与非"门，"或非"门、"与或非"门和"异或"门等。



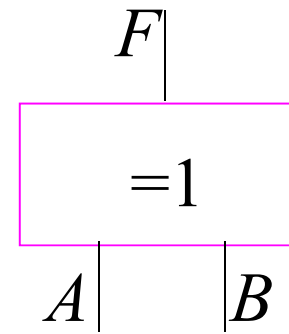
(a)



(b)



(c)



(d)

## 一、"与非"门

上图(a)的逻辑表达式为

$$F = \overline{AB}$$

使用"与非"门可以实现"与"、"或"、"非"3种基本运算,并可构成任何逻辑电路,故称为通用逻辑门。

## 二、"或非"门

上图(b)的逻辑表达式为

$$F = \overline{A + B}$$

"或非"门也是一种通用门。

## 三、"与或非"门

上图(c)的逻辑表达式为

$$F = \overline{AB + CD}$$

"与或非"门也是一种通用门。



## 四、“异或”门

“异或”运算是一种特殊的逻辑运算, 用符号“ $\oplus$ ”表示, 其运算真值表见表 3.12. 上图(d)的逻辑表达式为:

$$F = A \oplus B = A\bar{B} + \bar{A}B$$

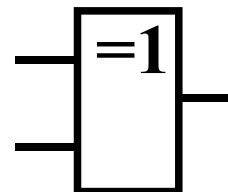
**真值表**

$A$	$B$	$F$
0	0	0
0	1	1
1	0	1
1	1	0

**相同为 “0”**

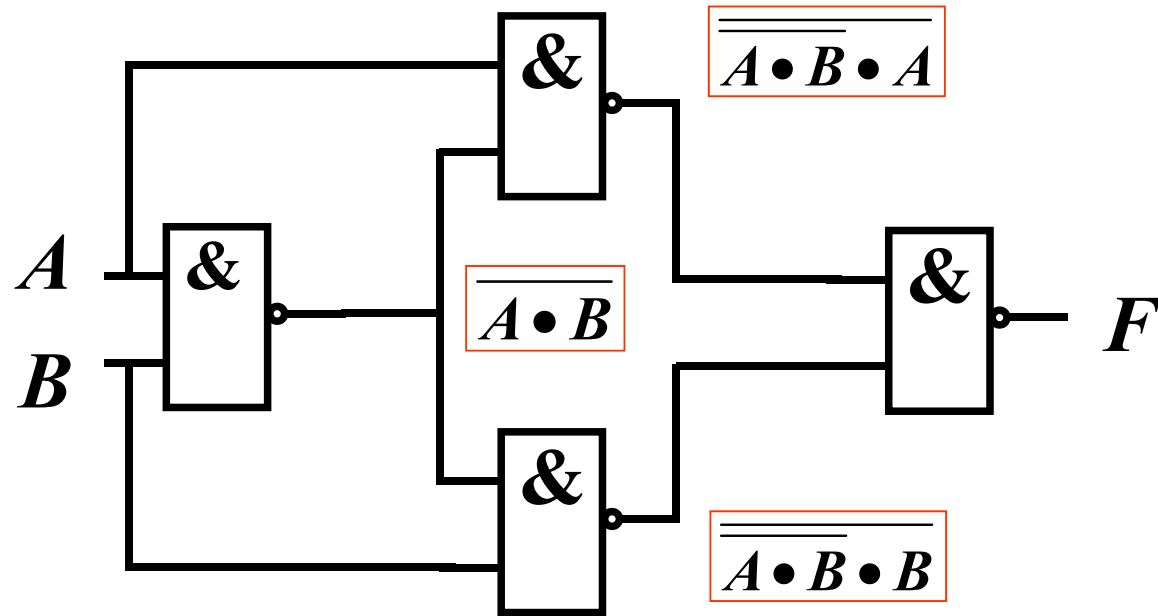
**不同为 “1”**

**异或门**



$$F = A \oplus B$$

例：分析下图的逻辑功能。



$$\begin{aligned}
 F &= \overline{\overline{A \cdot B \cdot A} \cdot \overline{A \cdot B \cdot B}} \\
 &= \overline{A \cdot B \cdot A} + \overline{A \cdot B \cdot B} \\
 &= (\overline{A} + \overline{B}) \cdot A + (\overline{A} + \overline{B}) \cdot B = A \cdot \overline{B} + \overline{A} \cdot B
 \end{aligned}$$

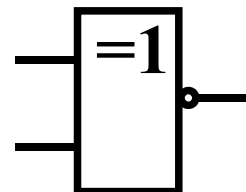
## 真值表

$A$	$B$	$F$
0	0	1
0	1	0
1	0	0
1	1	1

相同为 “1”

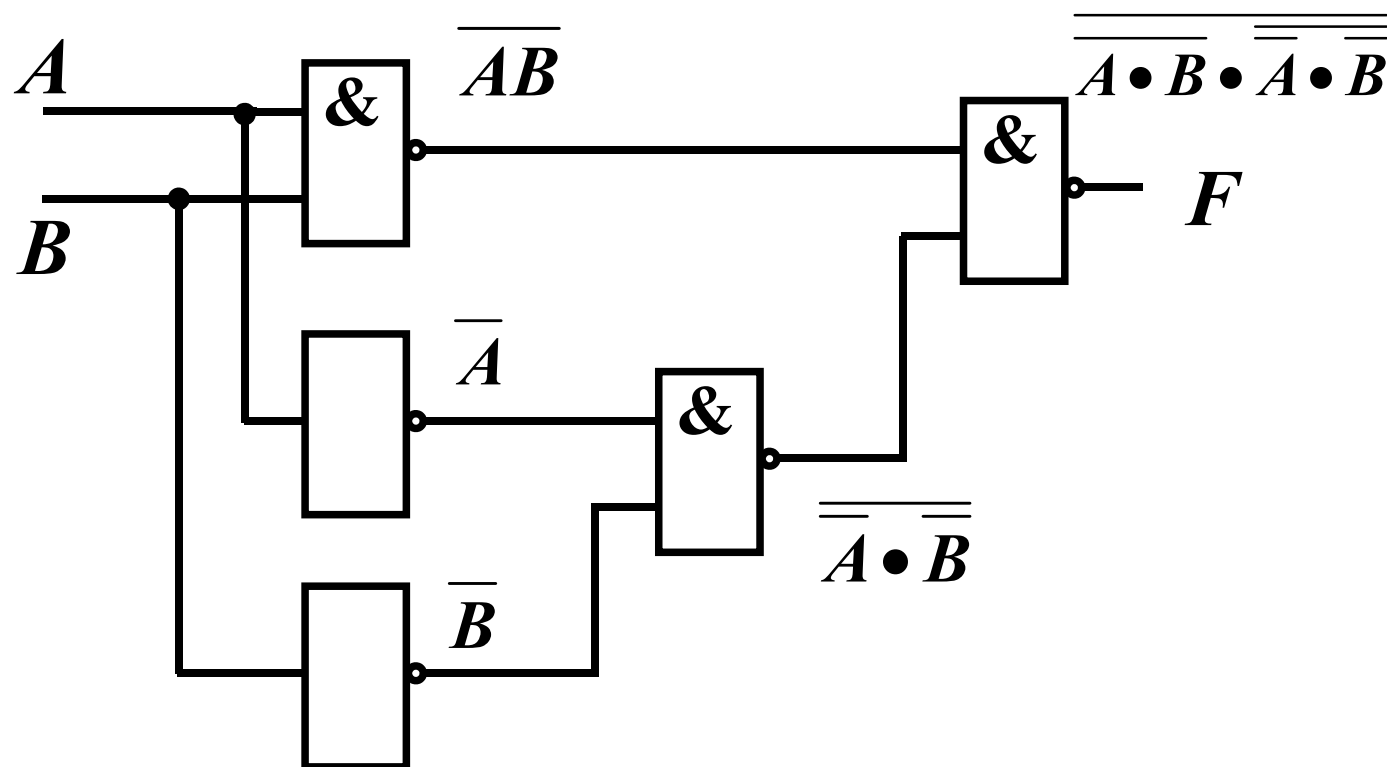
不同为 “0”

同或门



$$F = \overline{A \oplus B}$$

例：分析下图的逻辑功能。



$$F = \overline{\overline{A \cdot B \cdot \overline{A} \cdot \overline{B}}} = \overline{\overline{A \cdot B}} + \overline{\overline{\overline{A} \cdot \overline{B}}} = A \cdot B + \overline{A} \cdot \overline{B}$$

## 3.2 组合逻辑电路的分析

**分析的任务：**根据给定的组合电路，写出逻辑函数表达式，并以此来描述它的逻辑功能，确定输入与输出的关系，必要时对其设计的合理性进行评定。

## 分析的一般步骤：

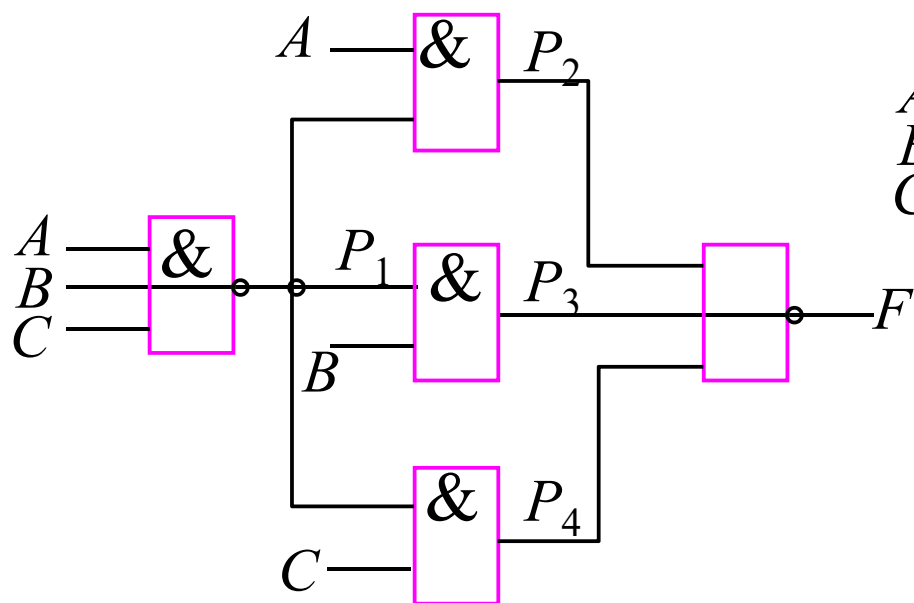
第一步：写出给定组合电路的逻辑函数表达式；

第二步：化简逻辑函数表达式；

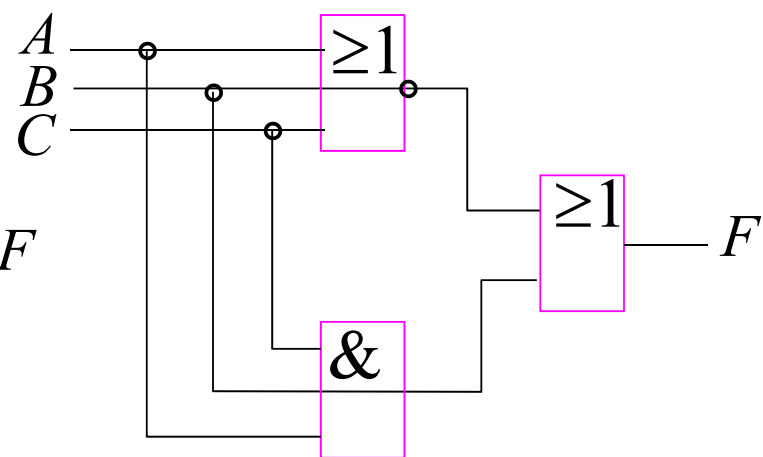
第三步：根据化简的结果列出真值表；

第四步：功能评述。

例：分析下图(a)给定的组合电路。



(a)



(b)



解： 写出逻辑函数表达式

$$P_1 = \overline{ABC}$$

$$P_2 = A \cdot P_1 = A \cdot \overline{ABC}$$

$$P_3 = B \cdot P_1 = B \cdot \overline{ABC}$$

$$P_4 = C \cdot P_1 = C \cdot \overline{ABC}$$

$$F = \overline{P_2 + P_3 + P_4} = \overline{A \cdot \overline{ABC} + B \cdot \overline{ABC} + C \cdot \overline{ABC}}$$

化简

$$F = \overline{\overline{ABC}(A + B + C)} = ABC + \overline{A + B + C}$$

列出真值表

功能评述

由真值可知，当  
 $A$ 、 $B$ 、 $C$ 取相同值  
时， $F$ 为1，否则 $F$ 为0。  
所以该电路是一个"  
一致性电路"。

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

另外，原设计并不是最佳的，可简化为上图(b)

## 举例

e.g.1、分析图示电路

解：

$$x = \overline{AB}$$

$$y = \overline{Ax} = \overline{AAB} = \overline{A(\overline{A} + \overline{B})} = \overline{A\overline{B}}$$

$$z = \overline{Bx} = \overline{BAB} = \overline{B(\overline{A} + \overline{B})} = \overline{\overline{A}B}$$

$$S = \overline{yz} = \overline{\overline{A\overline{B}} \overline{\overline{A}B}} = \overline{A\overline{B} + \overline{A}B}$$

$$CO = \overline{x} = AB$$

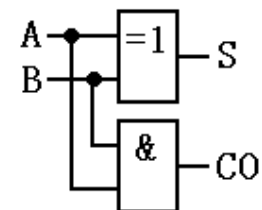
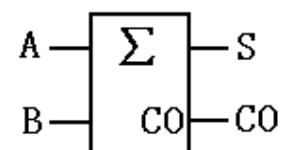
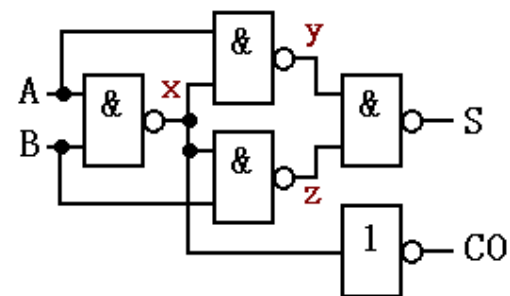
真值表：

A	B	S	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

功能：半加器。（Half adder）

——只考虑本位数，不考虑低位进位的二进制加法器。

异或——模2加。



## e.g.2 分析图示电路

解:  $x = A \oplus B = A\bar{B} + \bar{A}B$

$$S = x \oplus CI = A \oplus B \oplus CI$$

$$= (A\bar{B} + \bar{A}B)\bar{CI} + \overline{A\bar{B} + \bar{A}B}CI$$

$$= (A\bar{B} + \bar{A}B)\bar{CI} + (AB + \bar{A}\bar{B})CI$$

$$= \bar{A}\bar{B}\bar{CI} + \bar{A}B\bar{CI} + AB\bar{CI} + \bar{A}\bar{B}CI$$

$$y = xCI = (A \oplus B)CI$$

$$z = \bar{AB}$$

$$CO = \bar{yz} = \overline{(A \oplus B)CI \bar{AB}}$$

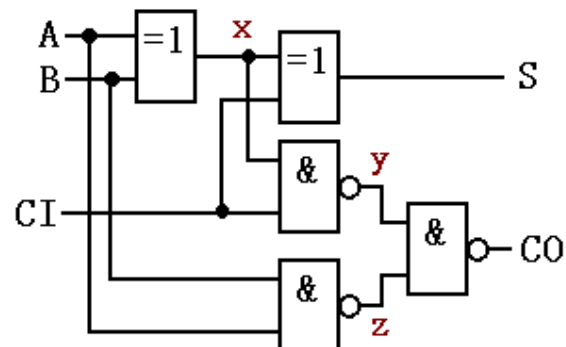
$$= (A\bar{B} + \bar{A}B)CI + AB$$

$$= \bar{A}\bar{B}CI + \bar{A}B\bar{C}I + AB$$

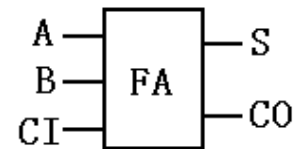
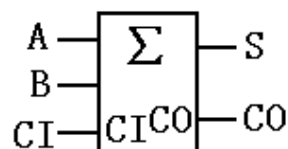
$$= \bar{A}CI + B\bar{C}I + AB$$

真值表:

功能: 全加器 (Full adder)



A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



# 组合逻辑电路的设计

---

组合逻辑电路的设计是根据给定的逻辑功能要求，选用适当的门电路画出实现该功能的逻辑电路图。

### **组合逻辑电路设计的一般方法**

设计过程是其分析过程的逆过程，一般可分为以下四步：

- (1) 根据逻辑功能要求，进行逻辑约定并列出真值表
- (2) 根据真值表写出逻辑函数的“最小项之和”表达式
- (3) 化成最简“与-或”式，并进行适当变换
- (4) 画出逻辑电路图

解 ① 根据逻辑功能要求建立真值表。

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1

② 根据真值表写出函数的“最小项之和”表达式

$$F(A, B, C, D) = \sum m(7, 11, 13, 14, 15)$$

③ 化简函数表达式，并进行适当变换。

$$F(A, B, C, D) = ABC + ABD + ACD + BCD$$

$$= \overline{\overline{ABC + ABD + ACD + BCD}} = \overline{\overline{ABC} \cdot \overline{ABD} \cdot \overline{ACD} \cdot \overline{BCD}}$$

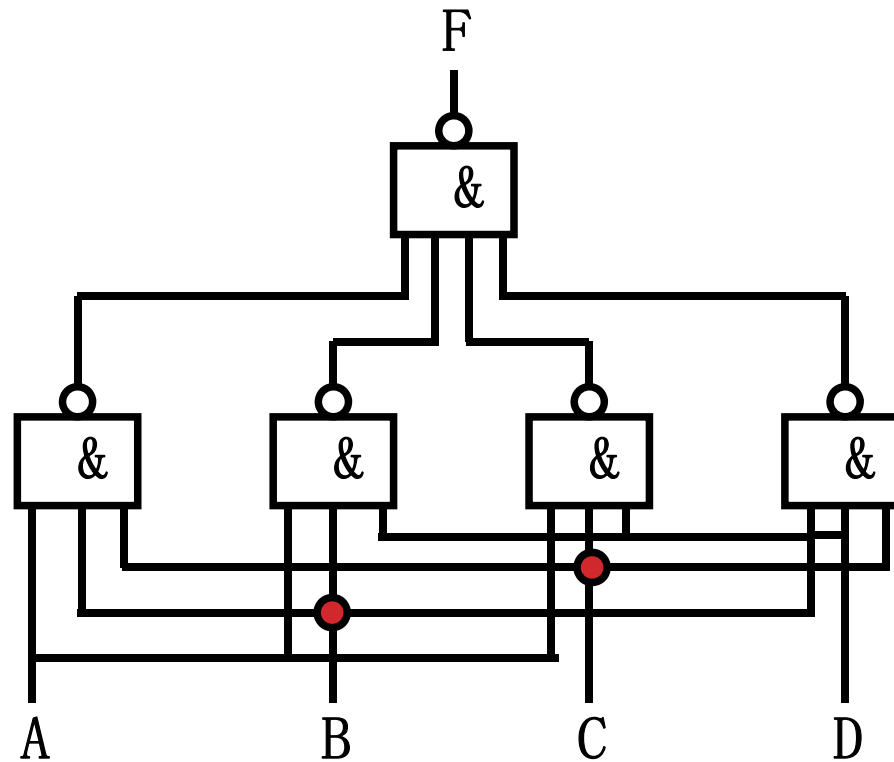
AB \ CD	00	01	11	10
00				
01			1	
11		1	1	1
10			1	



④ 画出逻辑电路图

$$F(A,B,C,D)=ABC+ABD+ACD+BCD$$

$$= \overline{\overline{ABC+ABD+ACD+BCD}} = \overline{\overline{ABC} \square \overline{ABD} \square \overline{ACD} \square \overline{BCD}}$$



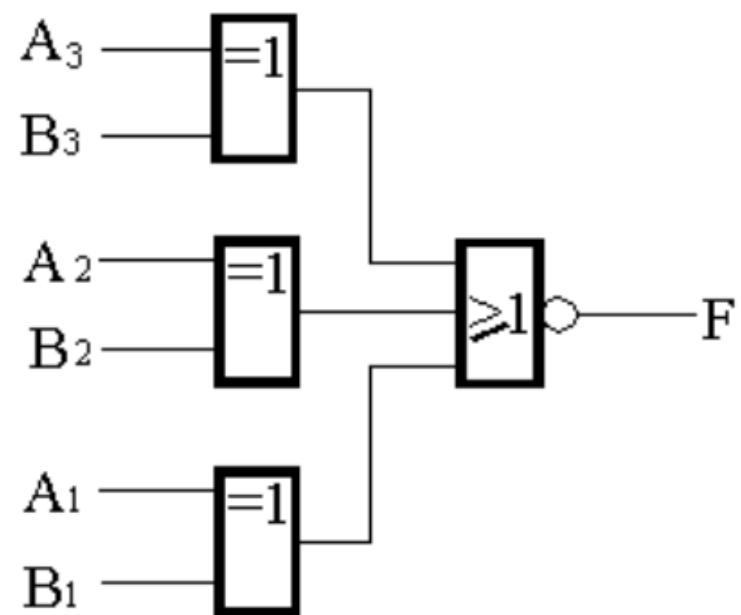
设计两个3位二进制数是否相等的数值比较器。

解 设两3位二进制数分别为 $A=A_3A_2A_1$ ， $B=B_3B_2B_1$ ，电路的输出为F。当 $A=B$ 时，F为1；否则F为0。

根据常识可知，要使 $A=B$ ，必须使 $A_3=B_3$ 、 $A_2=B_2$ 、 $A_1=B_1$ ，即要使F为1，必须使 $A_3$ 和 $B_3$ 同时为0或同时为1、 $A_2$ 和 $B_2$ 同时为0或同时为1、 $A_1$ 和 $B_1$ 同时为0或同时为1。即

$$\begin{aligned} F &= (\overline{A_3} \overline{B_3} + A_3 B_3)(\overline{A_2} \overline{B_2} + A_2 B_2)(\overline{A_1} \overline{B_1} + A_1 B_1) \\ &= \overline{A_3 \oplus B_3} \bullet \overline{A_2 \oplus B_2} \bullet \overline{A_1 \oplus B_1} \\ &= \overline{(A_3 \oplus B_3) + (A_2 \oplus B_2) + (A_1 \oplus B_1)} \end{aligned}$$

画出用异或门实现的电路图：



设计判断献血者与受血者的血型是否相容的电路。血型相容规则如下表所示，表中“√”表示血型相容。

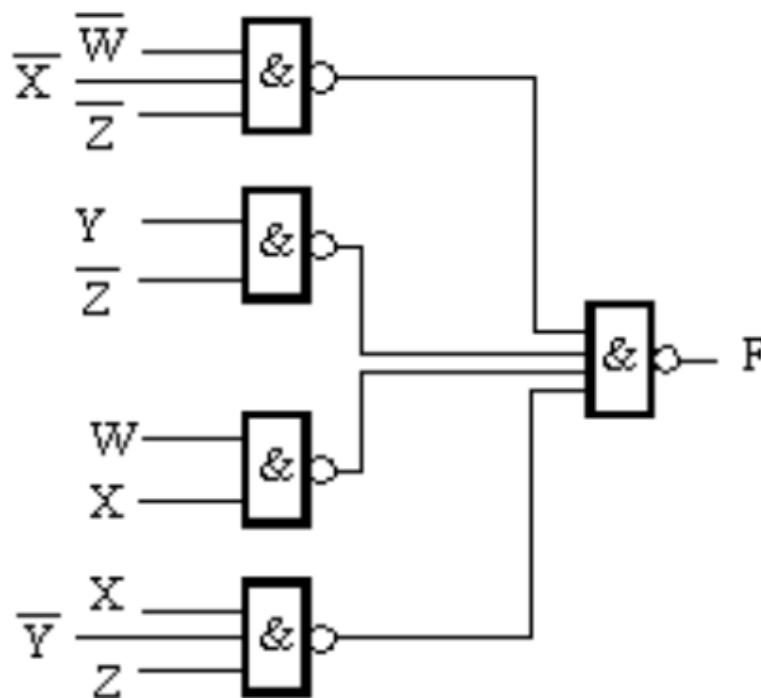
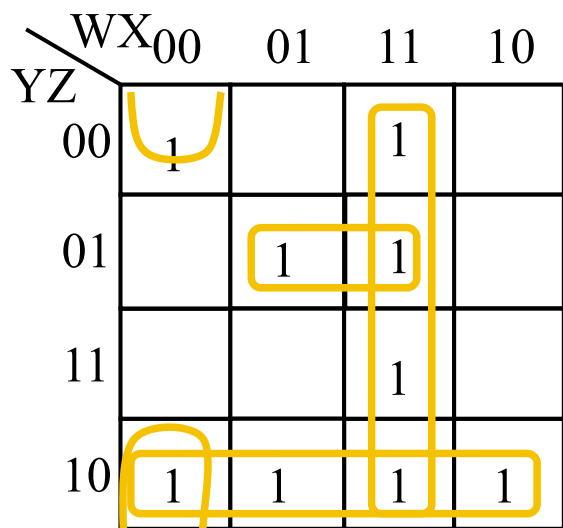
献血	受血			
	A	B	AB	O
A	√		√	
B		√	√	
AB			√	
O	√	√	√	√

血型	献	受
	WX	YZ
A	00	00
B	01	01
AB	10	10
O	11	11

解 四种血型可用两个变量的四种编码表示。设变量W、X表示献血者的血型，Y、Z表示受血者的血型，采用上表所示的编码。电路的输出用F表示，当血型相容时F为1，否则F为0。

根据血型相容规则，可直接得出函数的卡诺图如下图所示，由卡诺图可得函数的最简“与或”式为：

$$F = \overline{W}\overline{X}\overline{Z} + Y\overline{Z} + WX + X\overline{Y}Z$$



用“与非”门实现的电路图如上图所示。

## 组合逻辑电路设计中应考虑的问题

### 1 逻辑函数形式的变换

#### (1) 逻辑函数的“与非”门实现

有两种方法：一种是对F两次求反，一次展开；另一种是对F三次求反，一次展开。

例 用“与非”门实现逻辑函数  $F = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{D} + \overline{D}\overline{A}$

解 方法一：对F两次求反，一次展开可得：

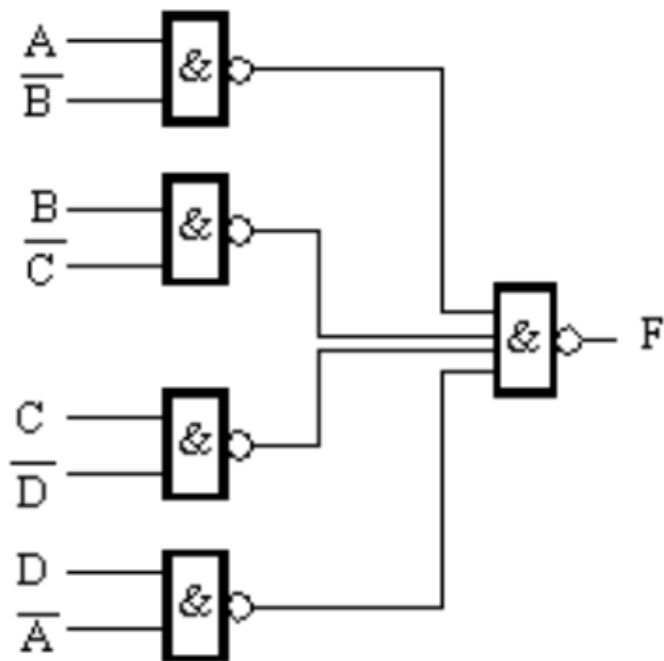
$$F = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{D} + \overline{D}\overline{A} = \overline{(\overline{\overline{A}\overline{B}}) \cdot (\overline{\overline{B}\overline{C}}) \cdot (\overline{\overline{C}\overline{D}}) \cdot (\overline{\overline{D}\overline{A}})}$$

方法二：对F三次求反，一次展开可得：

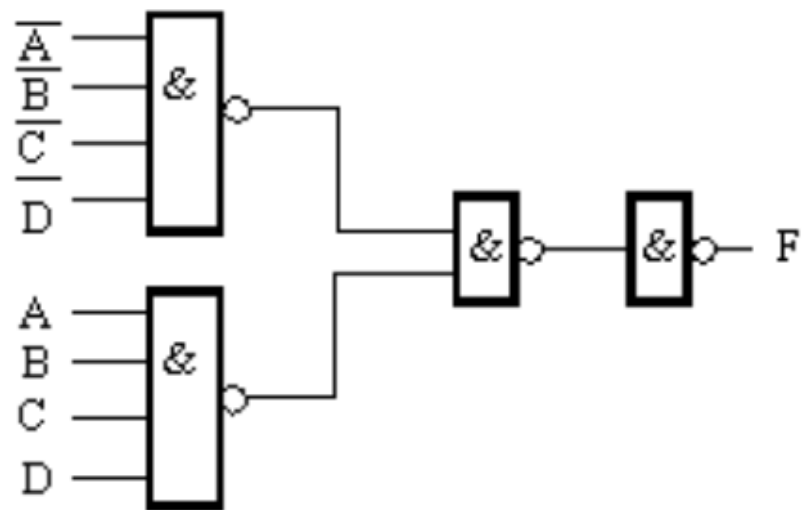
$$\overline{F} = \overline{\overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{D} + \overline{D}\overline{A}} = \overline{\overline{A}\overline{B}\overline{C}\overline{D} + ABCD}$$

$$F = \overline{\overline{\overline{\overline{A}\overline{B}\overline{C}\overline{D}} + \overline{ABCD}}} = \overline{(\overline{\overline{A}\overline{B}\overline{C}\overline{D}}) \cdot (\overline{ABCD})}$$

两种方法对应的电路图比较：



方法一图



方法二图

## (2) 逻辑函数的“或非”门实现

可以采用对F两次求对偶的方法。即，先求F的对偶式 $F_d$ ，并将其化为最简“与非-与非”式，然后再求 $F_d$ 的对偶式 $(F_d)_d$ ，则 $(F_d)_d$ 即是F的最简“或非-或非”式。

$$F = A\bar{B} + B\bar{C} + C\bar{A}$$

例：用“或非”门实现函数

解 先求F的对偶式 $F_d$ 并将其化成最简“与-或”式：

$$F_d = (A + \bar{B})(B + \bar{C})(C + \bar{A}) = ABC + \bar{A}\bar{B}\bar{C}$$

再将 $F_d$ 的最简“与-或”式两次求反，一次展开变为“与非-与非”式：

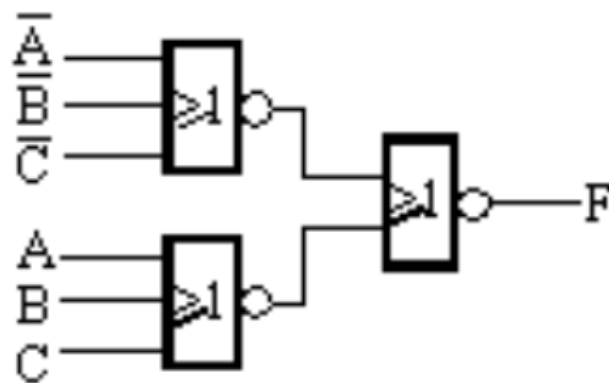
$$F_d = \overline{(\overline{ABC})} \square \overline{(\overline{\bar{A}\bar{B}\bar{C}})}$$



再求对偶，则得：

$$F=(F_d)_d=\overline{\overline{A+B+C}}+\overline{\overline{\overline{A}}+\overline{\overline{B}}+\overline{\overline{C}}}$$

画出下图所示的逻辑电路图：



也可先求出 $F$ 的最简“或-与”式，并将其两次取反，一次展开，即可得到最简的“或非-或非”式。该方法请自己练习。

### (3) 逻辑函数的“与或非”门实现

例： 用“与或非”门实现函数  $F = A\bar{B} + B\bar{C} + C\bar{A}$

两种方法，一种是对F两次求反，另一种是对 $\bar{F}$ 一次求反。

解 方法一：对F两次求反，可得：

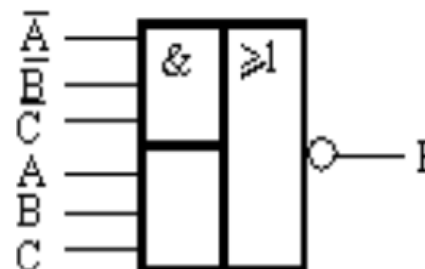
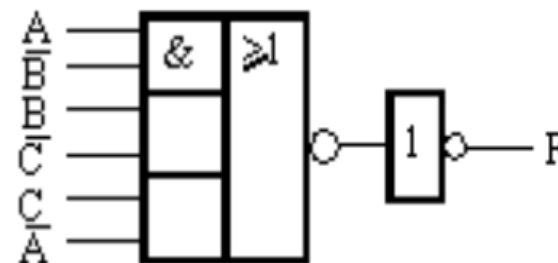
$$F = \overline{\overline{A\bar{B} + B\bar{C} + C\bar{A}}}$$

方法二：先求 $\bar{F}$ ，再对 $\bar{F}$ 一次求反可得：

$$\bar{F} = \overline{A\bar{B} + B\bar{C} + C\bar{A}} = \overline{\bar{A}BC} + ABC$$

$$F = \overline{(\bar{F})} = \overline{\overline{\bar{A}BC} + ABC}$$

两种方法对应的电路图比较：



## 2. 多输出组合逻辑电路的设计

例：用“与非”门实现下列多输出函数：

$$F_1 = \sum m(1, 3, 4, 5, 7)$$

$$F_2 = \sum m(3, 4, 7)$$

解 若把 $F_1$ 和 $F_2$ 看成两个孤立函数，用卡诺图把 $F_1$ 和 $F_2$ 化简可得：

$$F_1 = C + A\bar{B}$$

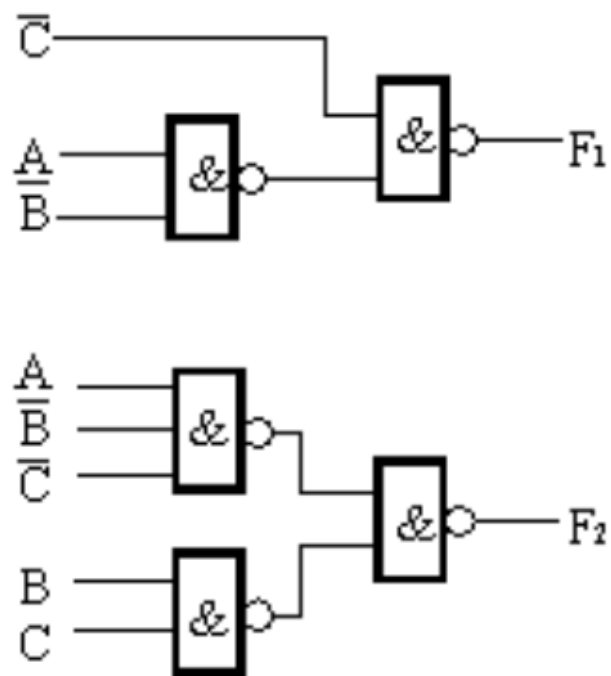
$$F_2 = BC + A\bar{B}\bar{C}$$

如果考虑 $F_1$ 和 $F_2$ 的公共项，可将上式改为：

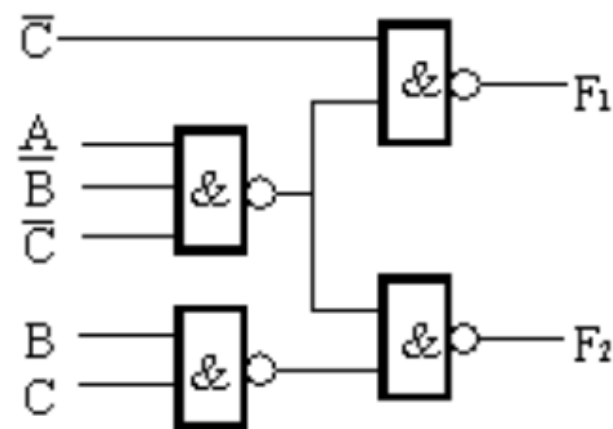
$$F_1 = C + A\bar{B}\bar{C}$$

$$F_2 = BC + A\bar{B}\bar{C}$$

两种方法对应的电路图比较:



未考虑公共项



考虑公共项

### 3. 包含无关项的组合逻辑电路的设计

例 用“与非”门设计一个判别1位余3码表示的十进制数是否为合数的组合电路。

解：列真值表如左表所示：

不考虑无关项的化简：

AB \ CD	00	01	11	10
00	d		1	
01	d		d	1
11		1	d	1
10	d		d	

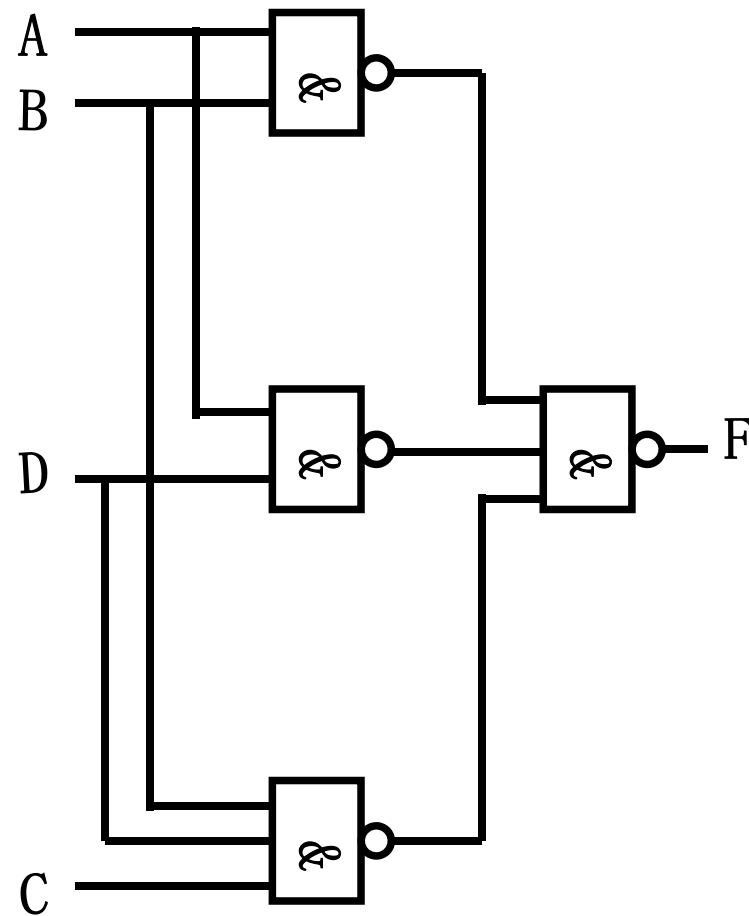
$$F(A, B, C, D) = \bar{A}\bar{B}D + A\bar{B}\bar{C}\bar{D} + \bar{A}BCD$$

A	B	C	D	F
0	0	0	0	d
0	0	0	1	d
0	0	1	0	d
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	d
1	1	1	0	d
1	1	1	1	d

考虑无关项的化简：

AB \ CD	00	01	11	10
00	d		1	
01	d		d	1
11		1	d	1
10	d		d	

$$F(A, B, C, D) = AB + AD + BCD$$



#### 4. 考虑级数的组合逻辑电路设计

例 用“与非”门、“与或非”门分别实现函数  $F=AB+\bar{A}C$

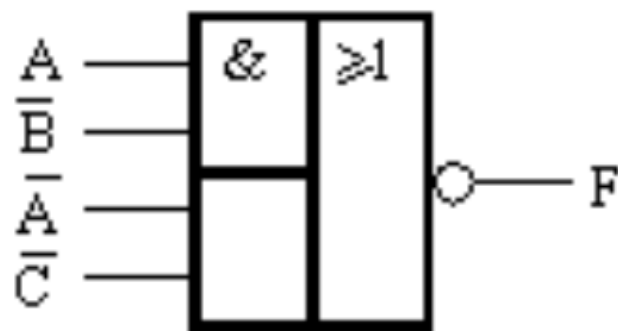
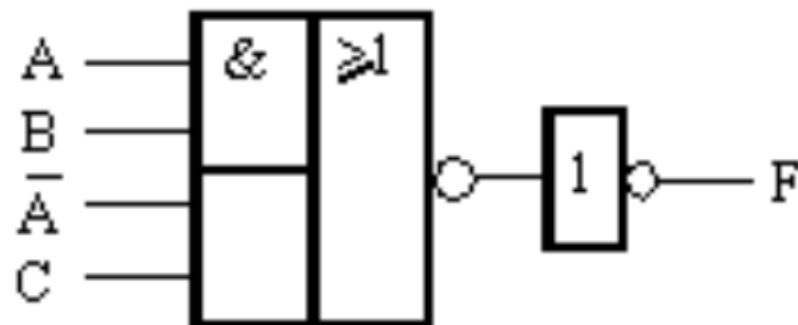
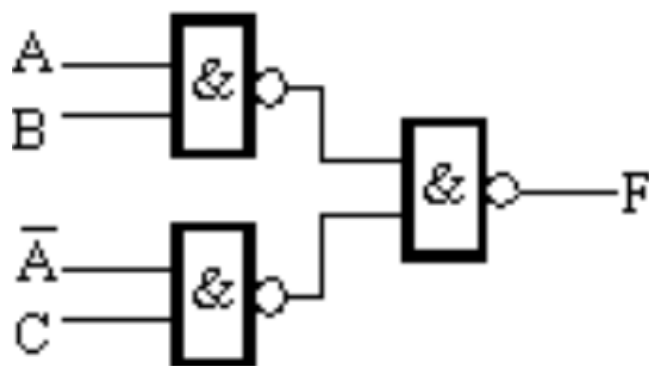
解 对F两次求反可得其“与或非”形式，再进行一次展开，可得到其“与非-与非”形式：

$$\begin{aligned} F &= \overline{\overline{AB + \bar{A}C}} \\ F &= \overline{\overline{AB}} \cdot \overline{\overline{\bar{A}C}} \end{aligned}$$

若先求出 $\bar{F}$ 的最简“与-或”式，再对F求反，可使F的级数减少：

$$\begin{aligned} \bar{F} &= \overline{AB + \bar{A}C} = \bar{A}\bar{B} + \bar{A}\bar{C} \\ F &= \overline{\bar{A}\bar{B} + \bar{A}\bar{C}} \end{aligned}$$

三种方式对应的电路图：



级数减少，速度增加