

# 实验3补充说明

---

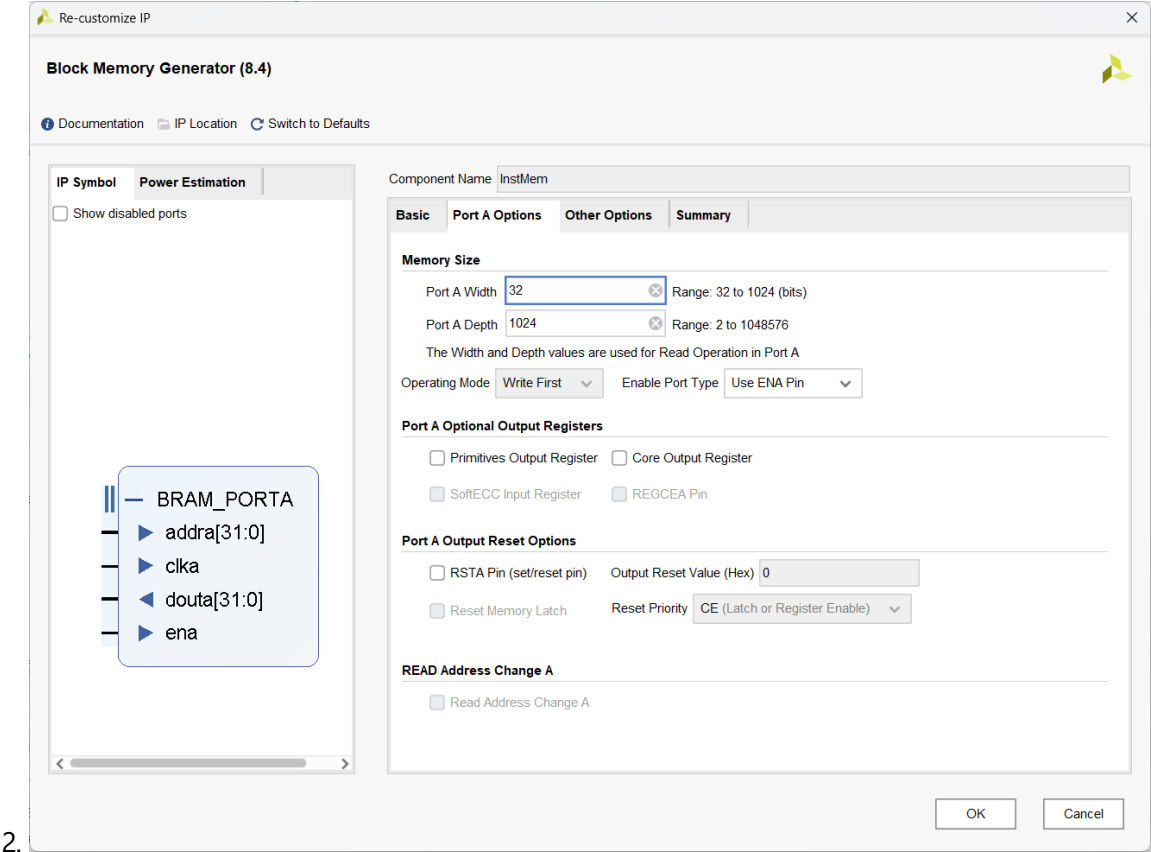
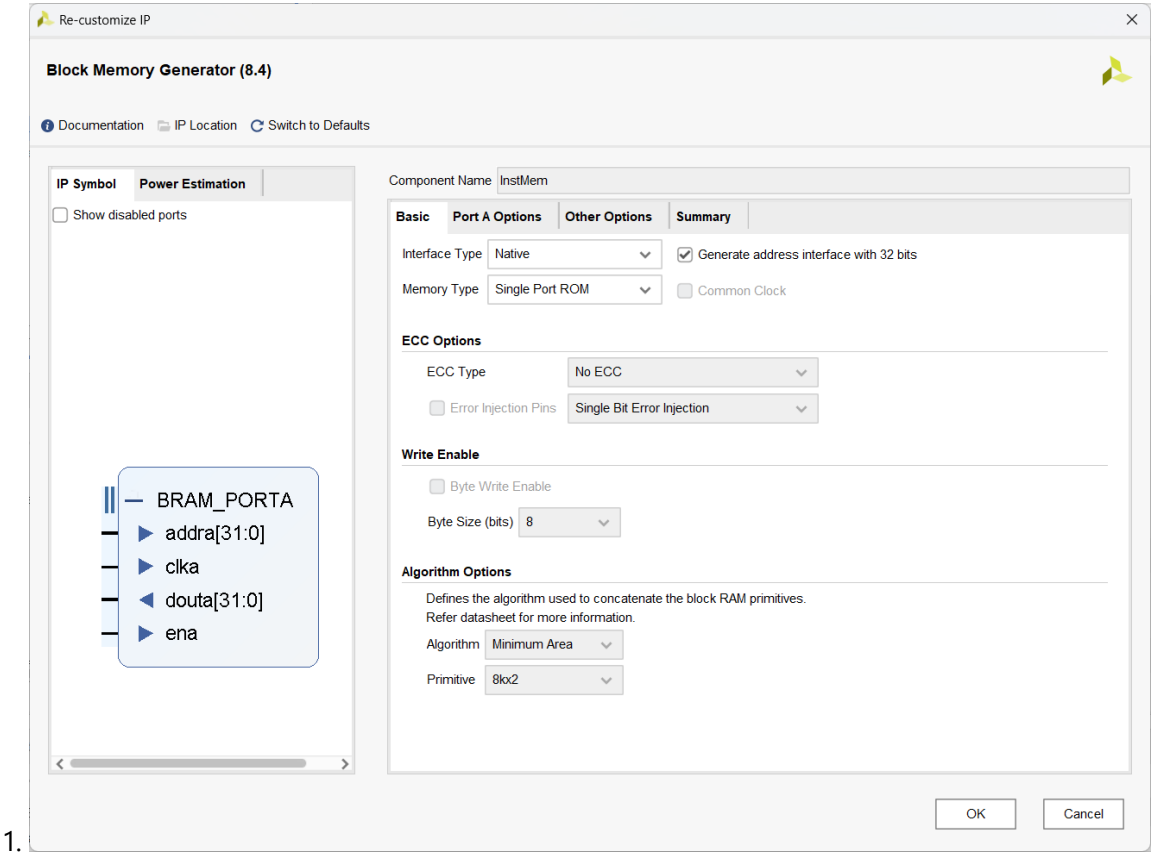
1. 实验指导书的图1中，MemWrite信号建议先连进datapath，再从datapath连出至DataMemory，因为实验4改成流水线，需要对该信号在数据通路中做处理。
2. 实验指导书的图2并不完整，缺了j指令的部分，完整的看最底下的图13.
3. 其中一些模块可以直接写在datapath中，像下面这样，

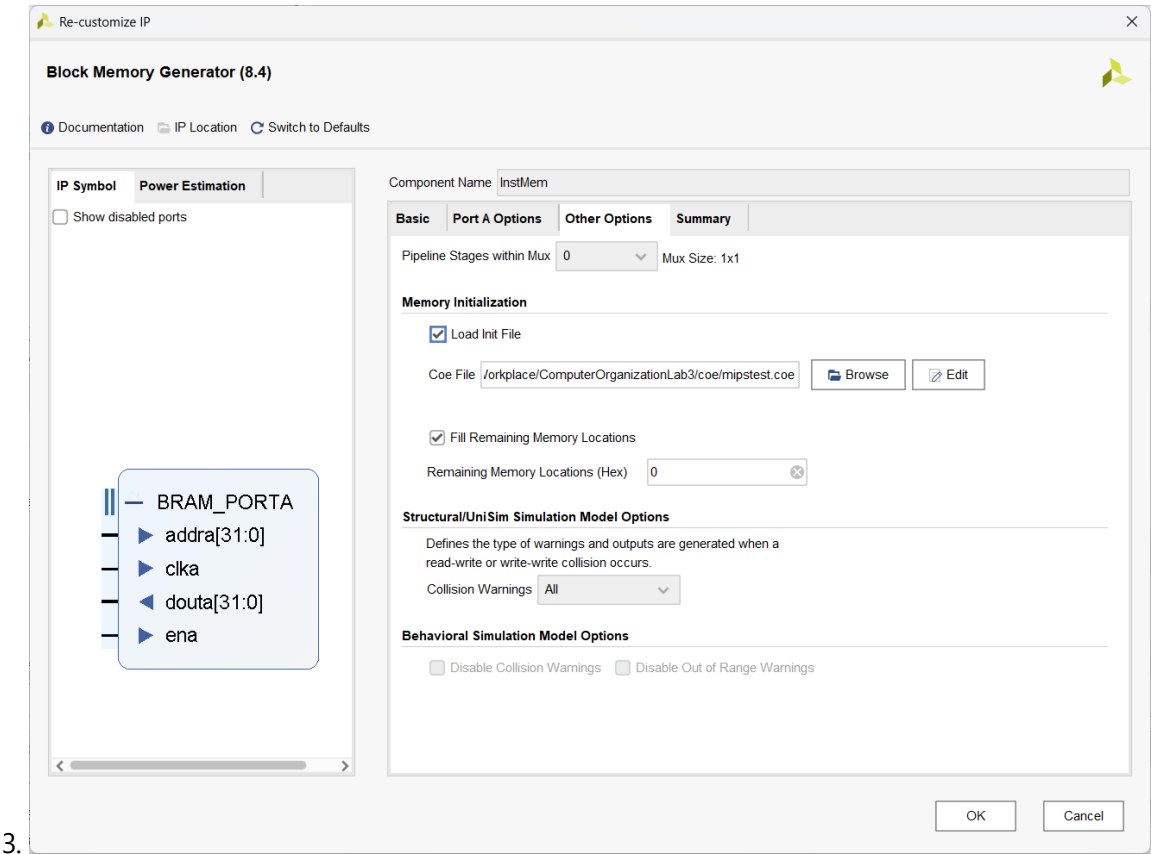
```
// `datapath.v`  
// PC mux 1  
wire [31:0] pc_mux_1;  
assign pc_mux_1 = pcsrc ? PCBranch : PCPlus4;
```

而不是真的去调用一个多路选择器，像SignExtend这样的同理。当然调用也可以，只是我觉得后者更麻烦。

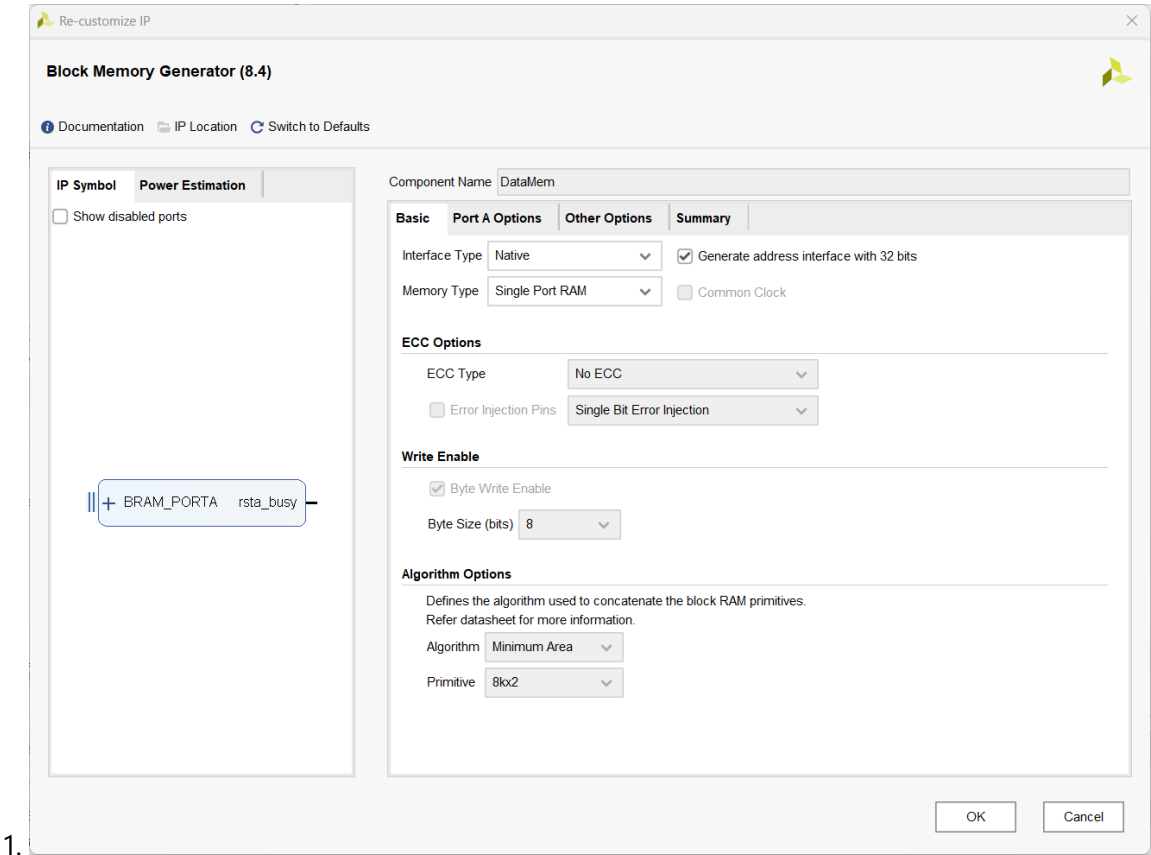
数据通路中不建议用always语句综合出组合逻辑，就用assign

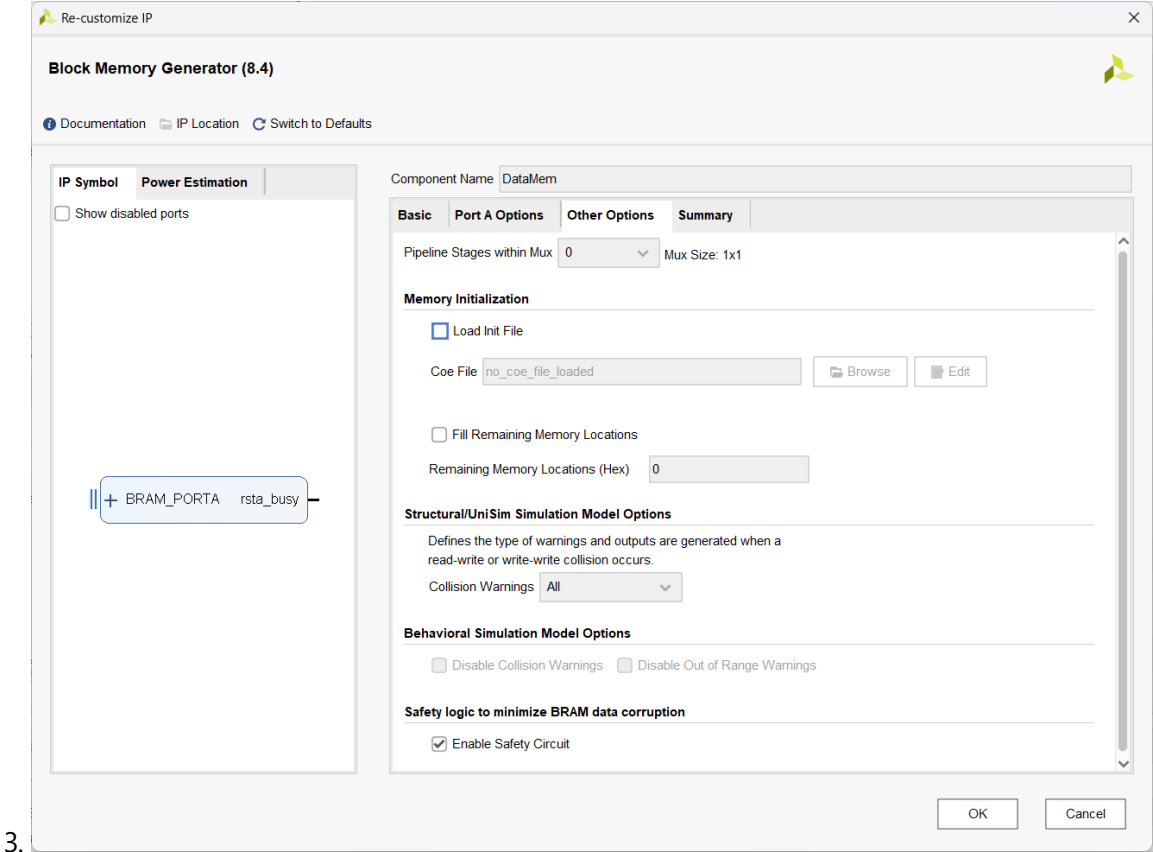
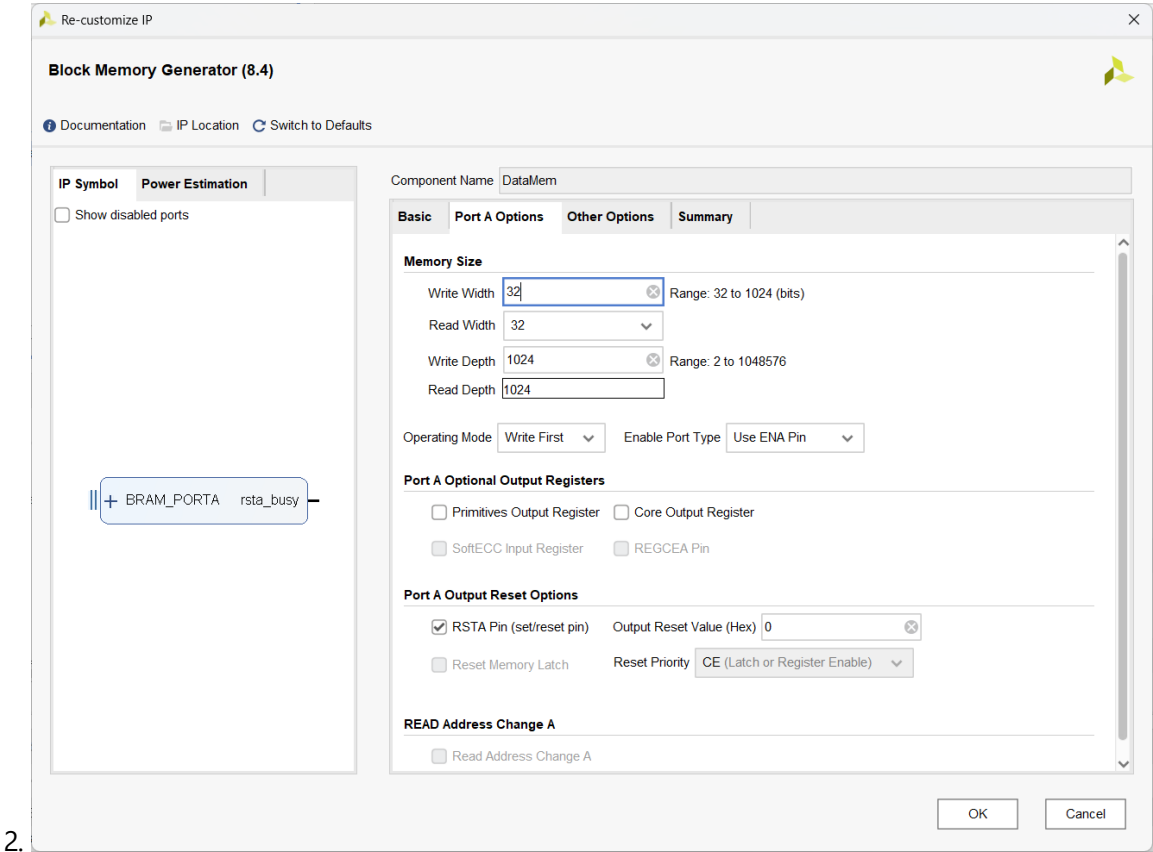
4. 加载进InstrMem的指令内容，看coe指令说明.jpg
5. 附带的仿真文件和顶层文件可以稍微修改以适应自己的代码，但要保证仿真成功的条件不变。
6. 实验里面的Alu控制信号和实验1的Alu不一致，建议将Alu的信号修改为实验2指导书中表3的，保持一致
7. pc和refile, InstMem, DataMem要反接clk。
  1. 比如pc的是.clk(clk)，则refile, InstMem, DataMem的就是.clk(~clk)
  2. 因为这是单周期CPU，一个周期内完成指令，而且不反接会出现上下两条指令冲突的问题
8. 两个Mem设置
  1. InstMem





2. DataMem





4. 像上面初始化的DataMem的写使能端口有4位，将1位的MemWrite乘4即可。