



触发器



触发器

- 5.1 概述

- 5.2 SR锁存器

- 5.3 电平触发触发器

- 5.4 脉冲触发触发器

- 5.5 边沿触发触发器

- 5.6 触发器的逻辑功能及描述

- 小结

触发器

学习要求

- (1) 一般了解各种触发器的电路结构(基本RS触发器、电平触发器、主从触发器、边沿则触发器等):
- (2) 正确理解各种触发器工作原理;
- (3) 熟练掌握各种触发器的逻辑功能. 触发方式、脉冲工作特性及参数;
- (4) 熟练掌握各种触发器工作波形的画法;

触发器

本章重点：

- 各种触发器的逻辑功能、触发方式(上升沿、下降沿)、触发器的波形图（时序图）的画法。

本章难点：

- 主从触发器存在的“翻转”现象。

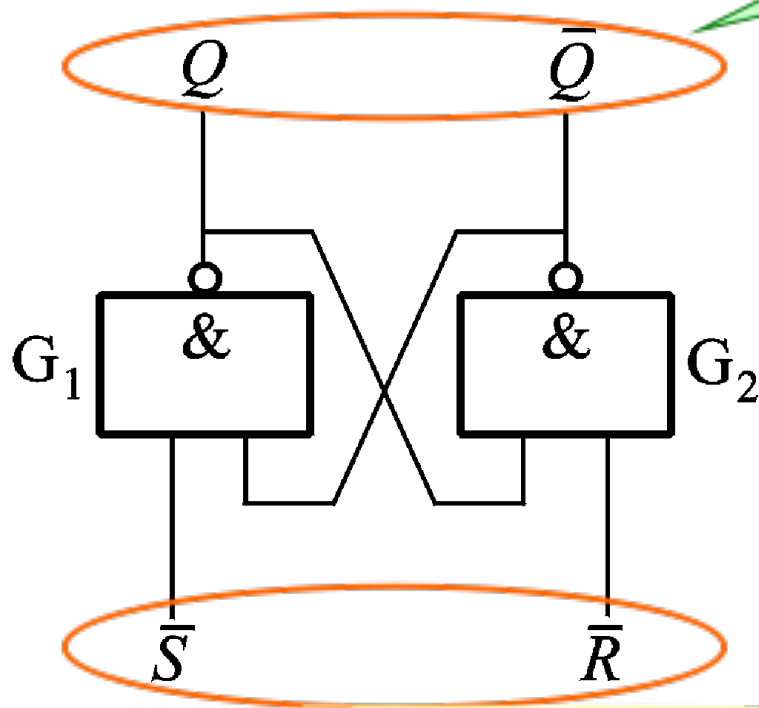
5.1 概述

- **定义：**能够存储1位二值信号的单元电路统称为触发器。
- **特点：**1、具有两个能自行保持的稳定状态，用来表示逻辑状态的0和1。
- **分类：**根据不同的输入信号可以置成1或0状态。
根据逻辑功能的不同，触发器可以分为：
RS触发器、D触发器、JK触发器、T和T'触发器；
按照触发方式的不同，又可分为：
电平触发器、脉冲触发器、边沿触发器。
按照存储数据的原理，又分为动态触发和静态触发。

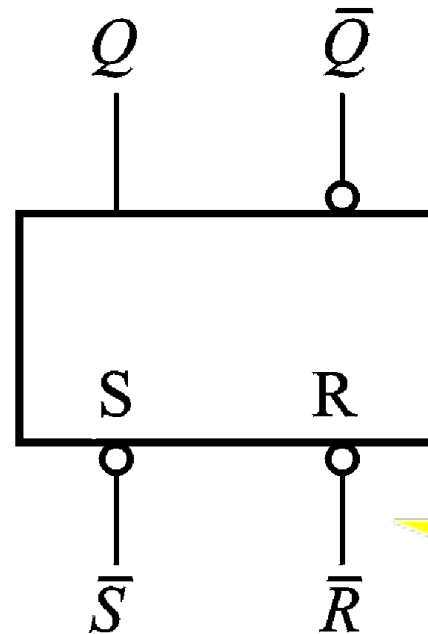
5.2 SR锁存器

(一)与非门实现的基本RS锁存器

1. 电路组成及逻辑符号



1状态: $Q=1$ 、 $\bar{Q}=0$
0状态: $Q=0$ 、 $\bar{Q}=1$



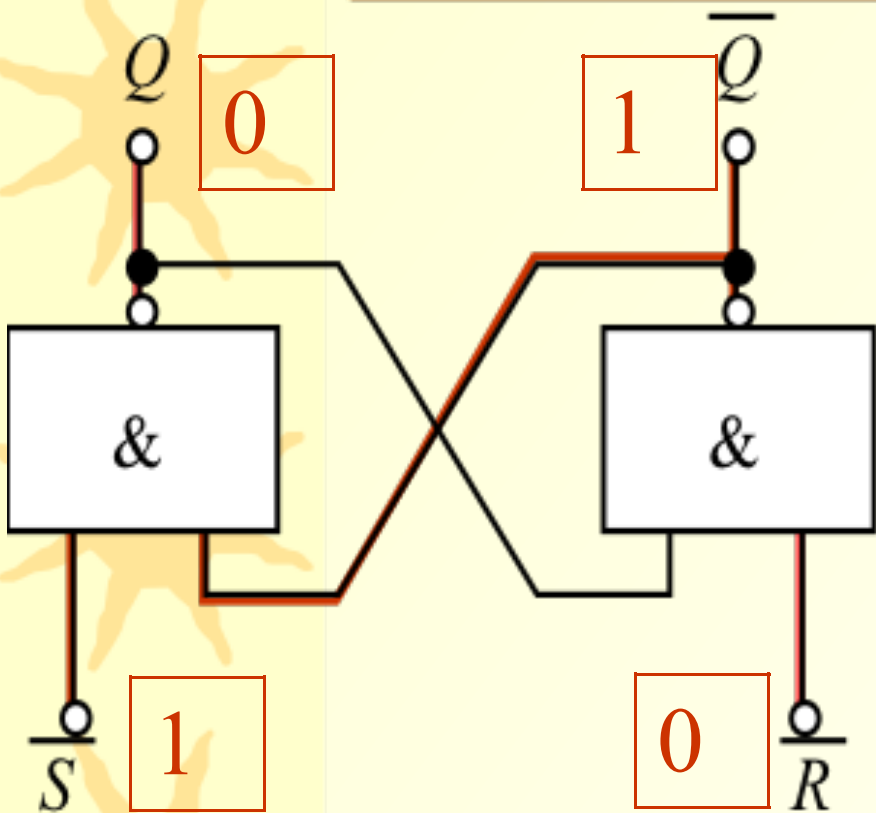
表示低电平有效

(\bar{R} 为置0端 (或复位端)
 S 为置1端 (或置位端)

图5.2.2 与非门组
(a) 逻辑电路

5.2 SR锁存器

2. 工作原理

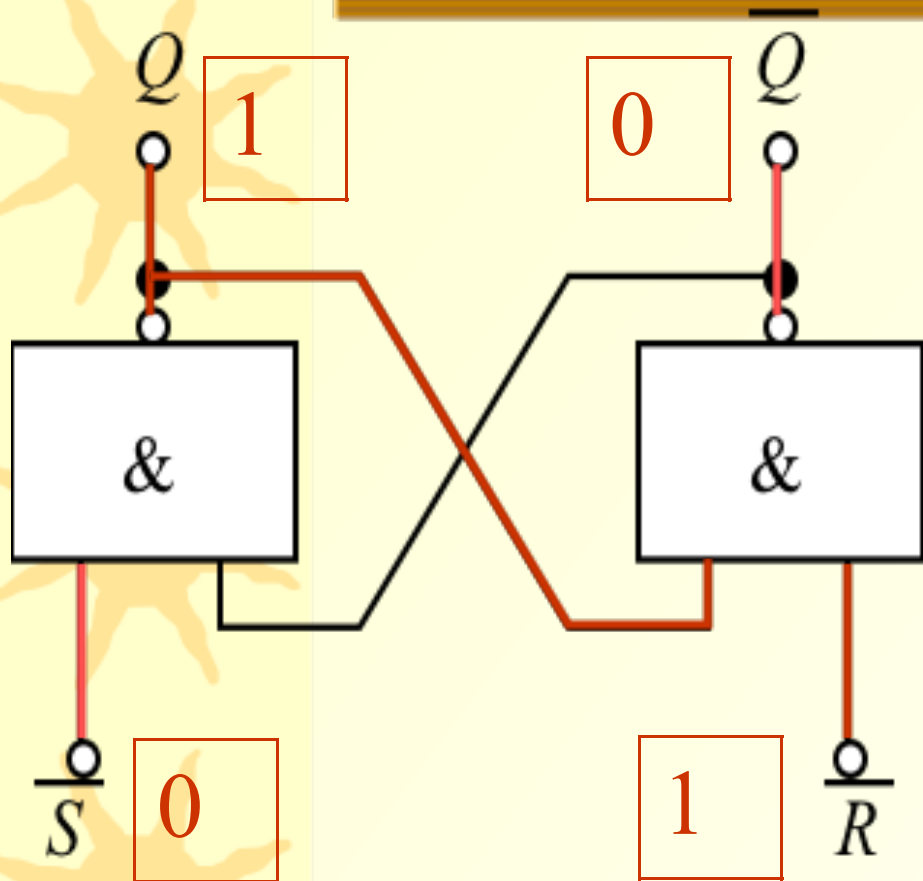


\bar{R}	\bar{S}	Q
0	1	0

① $\bar{R}=0$ 、 $\bar{S}=1$ 时：由于 $\bar{R}=0$ ，不论原来 Q 为0还是1，都有 $Q=1$ ；再由 $\bar{S}=1$ 、 $Q=1$ 可得 $Q=0$ 。即不论锁存器原来处于什么状态都将变成0状态，这种情况称将锁存器置0或复位。 R 端称为锁存器的置0端或复位端。

5.2 SR锁存器

2. 工作原理

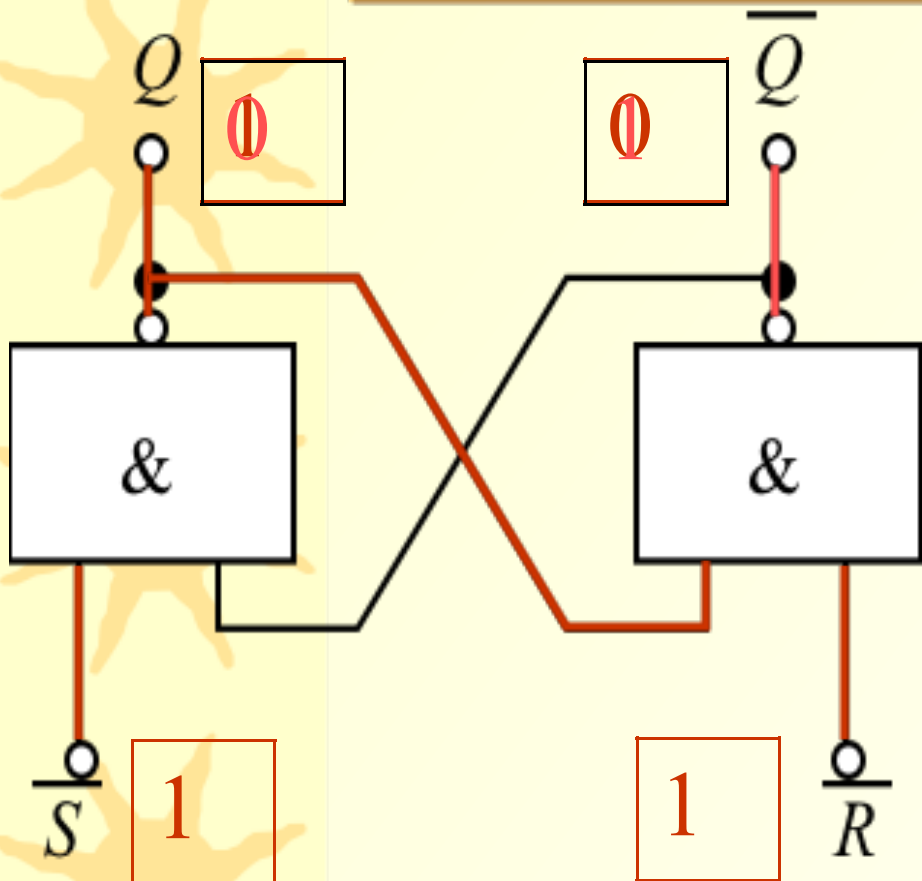


\bar{R}	\bar{S}	Q
0	1	0
1	0	1

② $\bar{R}=1$ 、 $\bar{S}=0$ 时：由于 $\bar{S}=0$ ，不论原来 Q 为0还是1，都有 $Q=1$ ；再由 $\bar{R}=1$ 、 $Q=1$ 可得 $\bar{Q}=0$ 。即不论锁存器原来处于什么状态都将变成1状态，这种情况称将锁存器置1或置位。 \bar{S} 端称为锁存器的置1端或置位端。

5.2 SR锁存器

2. 工作原理

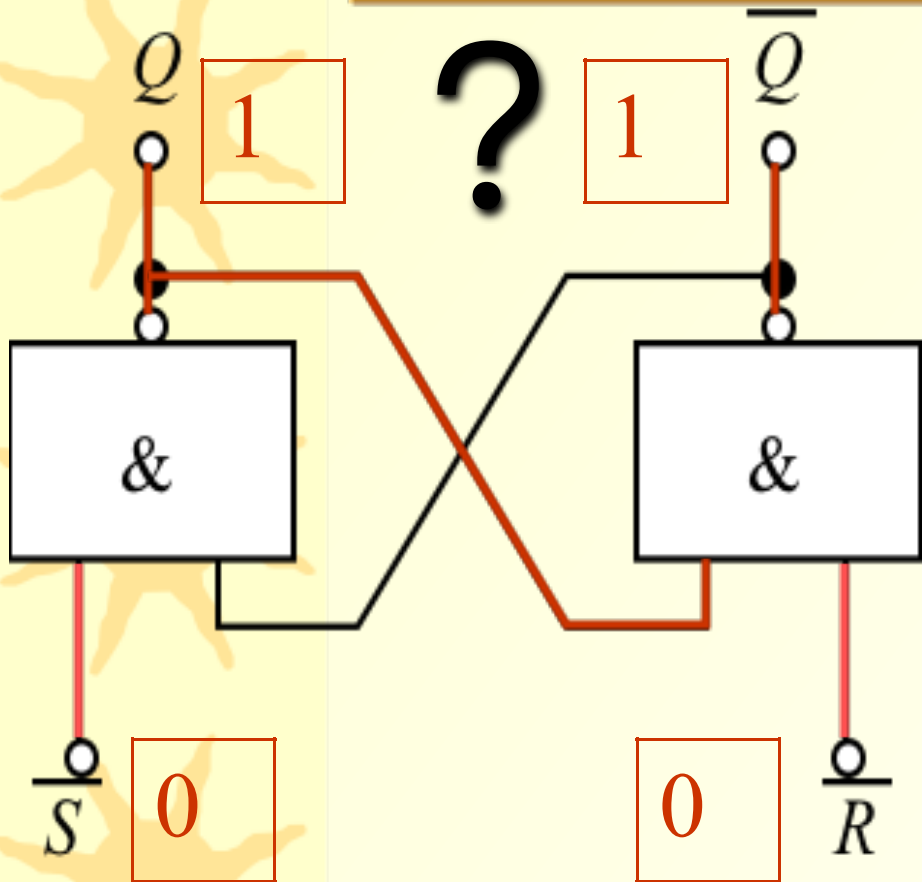


\bar{R}	\bar{S}	Q
0	1	0
1	0	1
1	1	不变

③ $\bar{R}=1$ 、 $\bar{S}=1$ 时：根据与非门的逻辑功能不难推知，锁存器保持原有状态不变，即原来的状态被锁存器存储起来，这体现了锁存器具有记忆能力。

5.2 SR锁存器

2. 工作原理



\bar{R}	\bar{S}	Q
0	1	0
1	0	1
1	1	不变
0	0	不定

④ $\bar{R}=0$ 、 $\bar{S}=0$ 时： $Q=\bar{Q}=1$ ，不符合锁存器的逻辑关系。并且由于与非门延迟时间不可能完全相等，在两输入端的0同时撤除后，将不能确定锁存器是处于1状态还是0状态。所以锁存器不允许出现这种情况，这就是基本RS锁存器的约束条件。

5.2 SR锁存器

3. 特性表（真值表）

现态：
锁存器
接收输
入信号
之前的
状态，
也就是
触发器
原来的

\bar{R}	\bar{S}	Q^n	Q^{n+1}	功能
0	0	0	不定	不允许
0	0	1	不定	
0	1	0	0	$Q^{n+1} = 0$
0	1	1	0	置 0
1	0	0	1	$Q^{n+1} = 1$
1	0	1	1	置 1
1	1	0	0	$Q^{n+1} = Q^n$
1	1	1	1	
				保持

次态：
锁存器
接收输
入信号
之后所
处的新
的稳定
状态。

5.2 SR锁存器

4. 特性方程

次态 Q_{n+1} 的卡诺图

$\overline{R}\overline{S}$					
Q^n		00	01	11	10
	0	×	0	0	1
1	×	0	1	1	

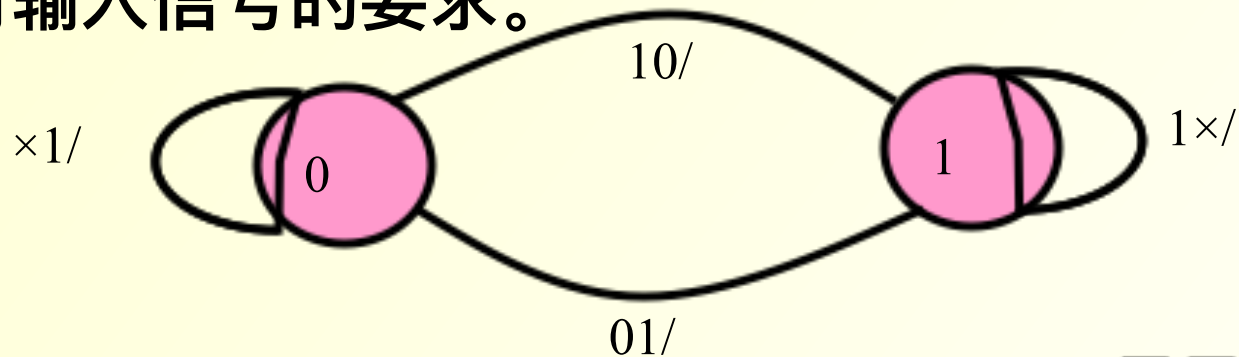
$$\begin{cases} Q^{n+1} = \overline{(\overline{S})} + \overline{R}Q^n = S + \overline{R}Q^n \\ RS = 0 \quad \text{约} \end{cases}$$

锁存器的特性方程就是锁存器次态 Q_{n+1} 与输入及现态 Q_n 之间的逻辑关系式

5.2 SR锁存器

5. 状态图

状态转换图表示触发器从一个状态变化到另一个状态或保持原状不变时，对输入信号的要求。



①当触发器处在0状态，即 $Q_n=0$ 时，若输入信号 $\overline{R}\overline{S}=01$ 或 11 ，触发器仍为0状态；

若 $\overline{R}\overline{S}=10$ ，触发器就会翻转成为1状态。

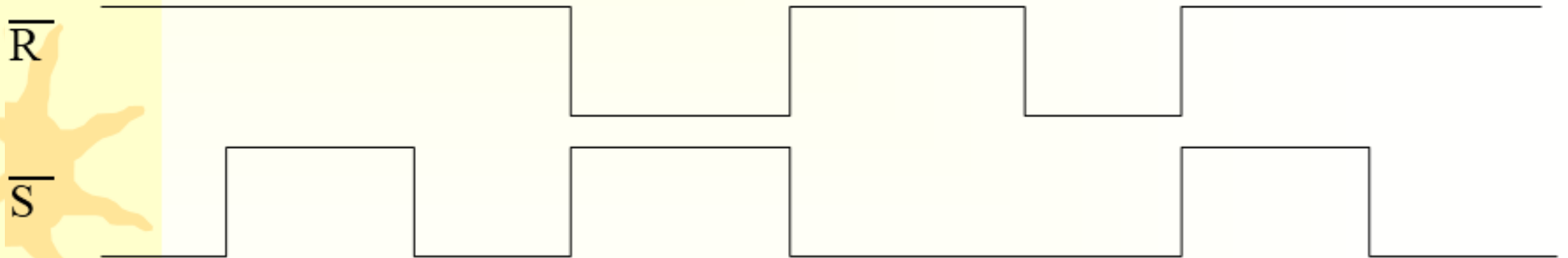
②当触发器处在1状态，即 $Q_n=1$ 时，若输入信号 $\overline{R}\overline{S}=10$ 或 11 ，触发器仍为1状态；

若 $\overline{R}\overline{S}=01$ ，触发器就会翻转成为0状态。

5.2 SR锁存器

6. 波形图

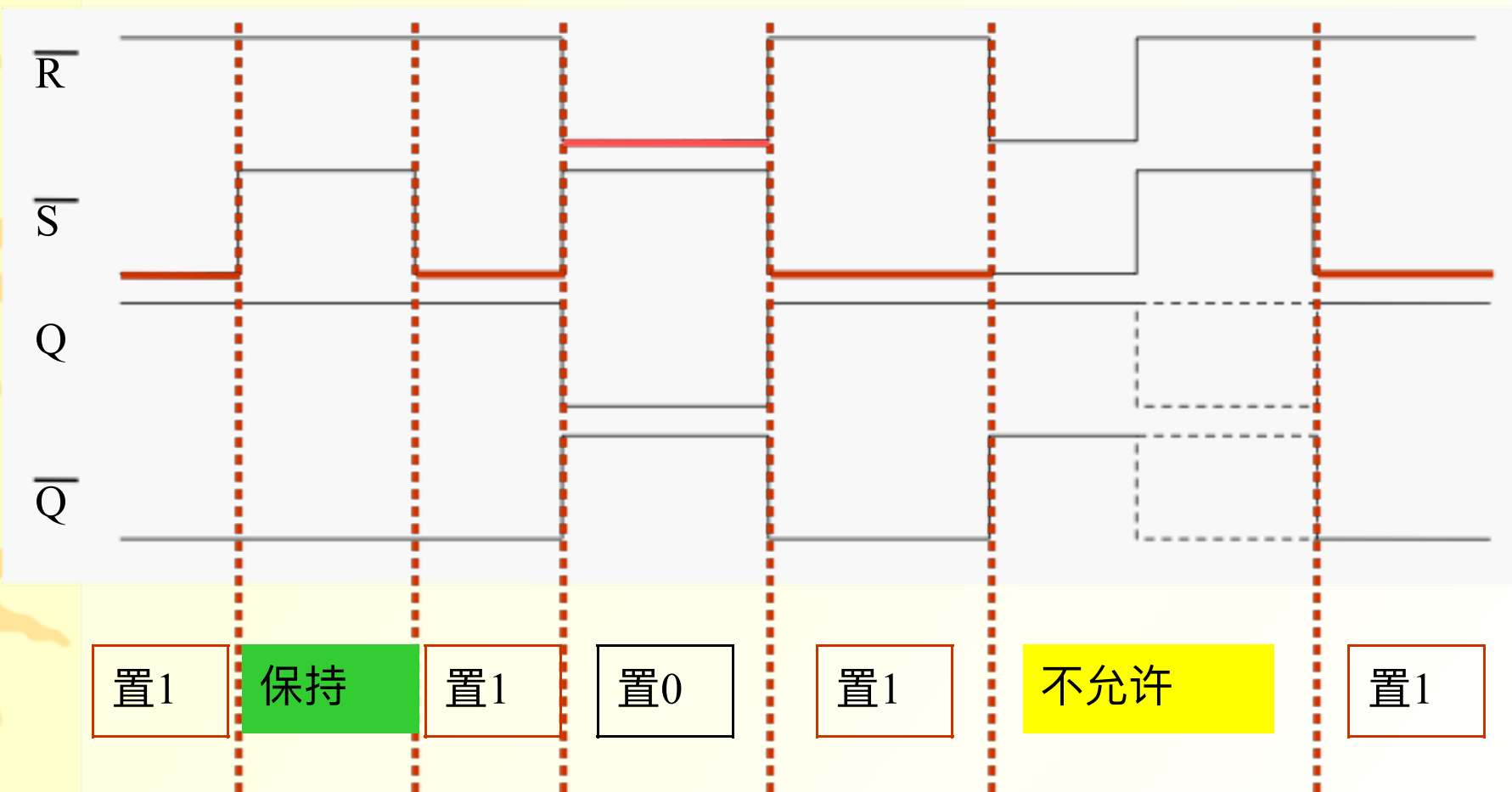
反映触发器输入信号取值和状态之间对应关系的图形称为波形图



5.2 SR锁存器

6. 波形图

反映触发器输入信号取值和状态之间对应关系的图形称为波形图



5.2 SR锁存器

(二)或非门组成的基本RS锁存器

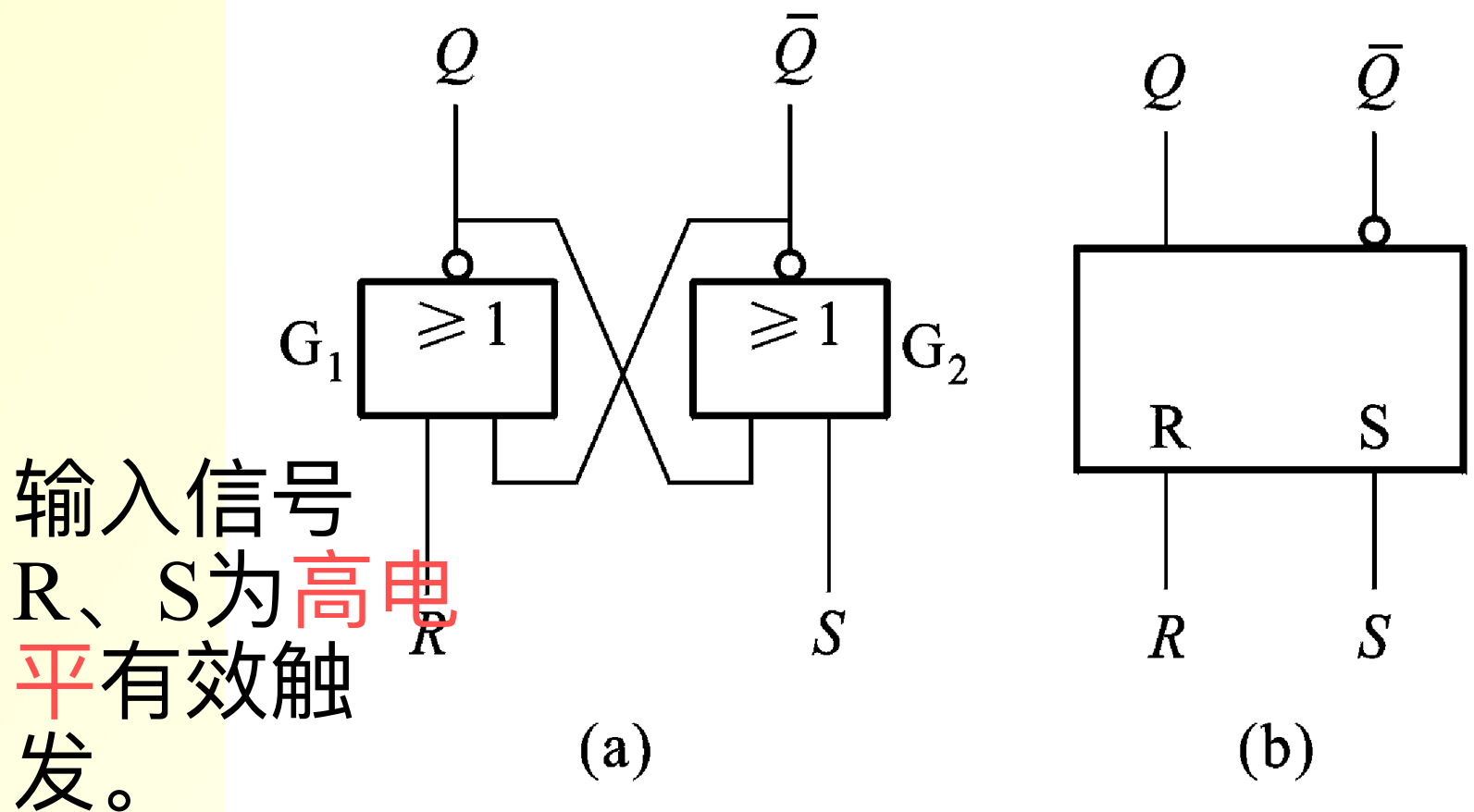


图5.2.1 或非门组成的基本RS锁存器

(a) 逻辑电路 (b) 逻辑符号

5.2 SR锁存器

或非门组成的基本RS锁存器的状态转换表

R	S	Q^n	Q^{n+1}	说 明
0	0	0	0	保持原状态不变
0	0	1	1	
0	1	0	1	置 1
0	1	1	1	
1	0	0	0	置 0
1	0	1	0	
1	1	0	×	状态不定
1	1	1	×	

S高电平有效置1

R高电平有效置0

5.2 SR触发器

基本RS触发器的特点

- (1) 触发器的次态不仅与输入信号状态有关，而且与触发器的现态有关。
 - (2) 电路具有两个稳定状态，在无外来输入信号作用时，电路将保持原状态不变。
 - (3) 在外加输入信号时，电路可以触发翻转，实现置0或置1。
 - (4) 在稳定状态下两个输出端的状态和必须是互补关系，即
- 在数字电路中，凡根据输入信号 R 、 S 情况的不同，具有置0、置1和保持功能的电路，都称为RS触发器。

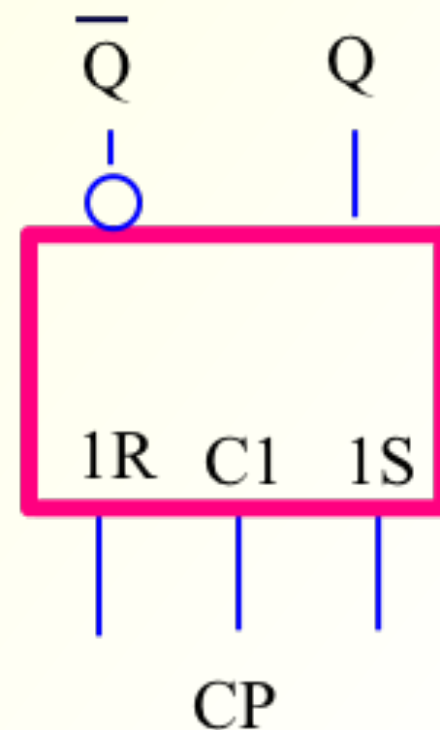
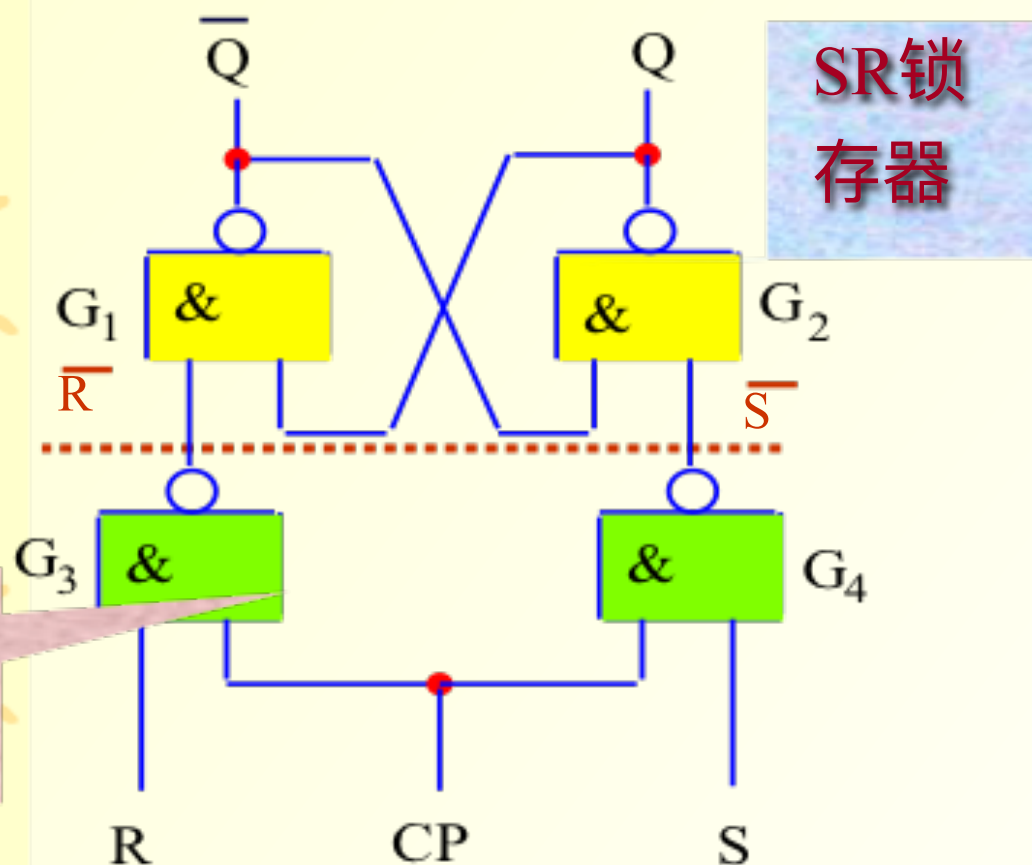
5.3 同步RS触发器——电平触发 触发器

- 电平触发RS触发器的触发方式（动作特点）：逻辑电平直接触发。（由输入信号直接控制）
- 在实际工作中，要求触发器按统一的节拍进行状态更新。措施：
 - 同步触发器（时钟触发器或钟控触发器）：具有时钟脉冲CP控制的触发器。该触发器状态的改变与时钟脉冲同步。
 - CP：控制时序电路工作节奏的固定频率的脉冲信号，一般是矩形波。
 - 同步触发器的状态更新时刻：受CP输入控制。
 - 触发器更新为何种状态：由触发输入信号决定。

5.3 电平触发触发器

1. 电平RS触发器的电路结构和逻辑符号

给触发器加一个时钟控制端CP，只有在CP端上出现有效电平的触发信号时触发器的状态才能改变。这种触发器称为电平触发触发器。



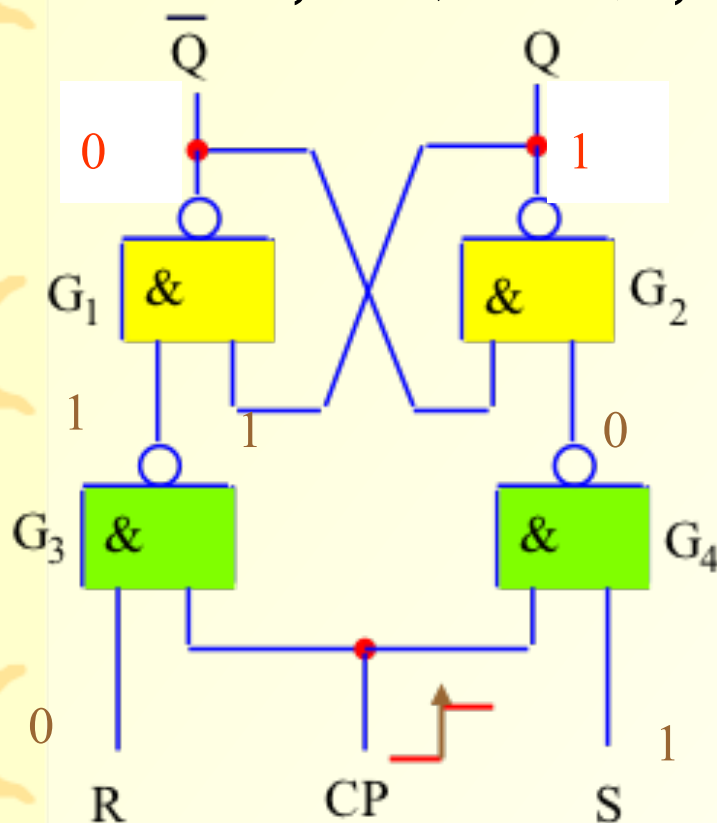
5.3 电平触发触发器

2. 电平RS触发器逻辑功能

当 $CP=0$ 时，控制门G3、G4关闭，触发器的状态保持不变。

当 $CP=1$ 时，G3、G4打开，其输出状态由R、S端的输入信号决定。

功能表



R	S	Q_n	Q_{n+1}	功能
0	0	0	0	保持
0	0	1	1	
0	1	0	1	输出状态 同S状态
0	1	1	1	
1	0	0	0	输出状态 同S状态
1	0	1	0	
1	1	0	×	不定
1	1	1	×	

同步RS触发器的状态转换分别由 R 、 S 和 CP 控制，其中， R 、 S 控制状态转换的方向； CP 控制状态转换的时刻。



5.3 电平触发触发器

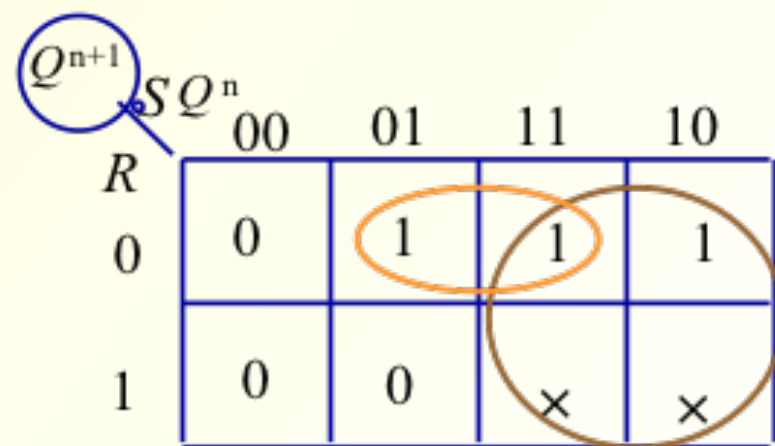
2. 电平RS触发器逻辑功能

(1) 特性表

CP	R	S	Q^n	Q^{n+1}	功能
0	x	x	x	Q^n	$Q^{n+1} = Q^n$ 保持
1	0	0	0	0	$Q^{n+1} = Q^n$ 保持
1	0	0	1	1	
1	0	1	0	1	$Q^{n+1} = 1$ 置1
1	0	1	1	1	
1	1	0	0	0	$Q^{n+1} = 0$ 置0
1	1	0	1	0	
1	1	1	0	不定	不允许
1	1	1	1	不定	

(2) 特性方程

由特性表画出卡诺图得特性方程



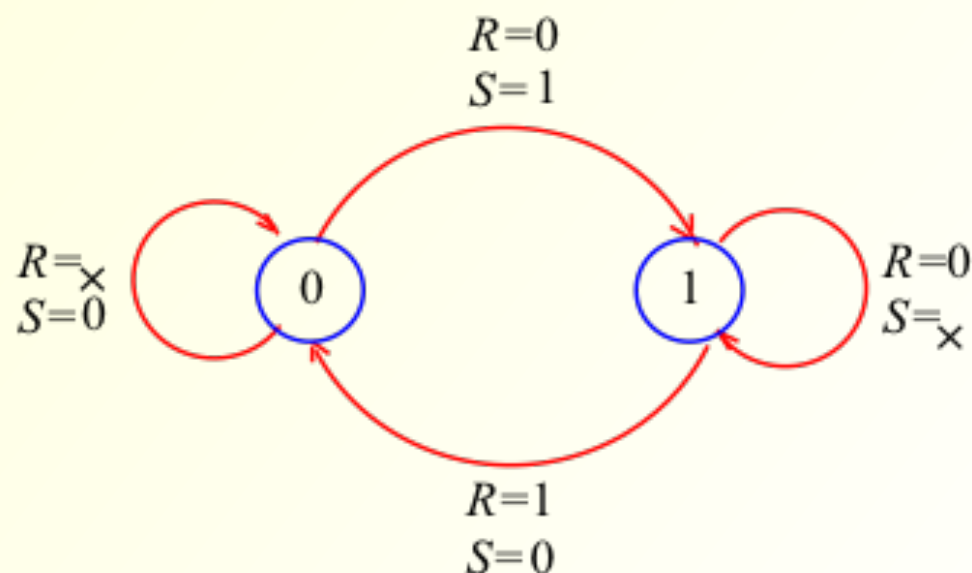
$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases} \quad \begin{array}{l} \text{CP=1期间有} \\ \text{效} \\ \text{(约束条件)} \end{array}$$

5.3 电平触发触发器

2. 电平RS触发器逻辑功能

(3) 状态转换图:

CP	R	S	Q^n	Q^{n+1}	功能
0	x	x	x	Q^n	$Q^{n+1} = Q^n$ 保持
1	0	0	0	0	$Q^{n+1} = Q^n$ 保持
1	0	0	1	1	$Q^{n+1} = Q^n$ 保持
1	0	1	0	1	$Q^{n+1} = 1$ 置1
1	0	1	1	1	$Q^{n+1} = 1$ 置1
1	1	0	0	0	$Q^{n+1} = 0$ 置0
1	1	0	1	0	$Q^{n+1} = 0$ 置0
1	1	1	0	不定	不允许
1	1	1	1	不定	



任何电路结构的 RS触发器都有与此相同的功能表、特

5.3 电平触发触发器

2. 电平RS触发器逻辑功能

(4) 驱动表

驱动表是用表格的方式表示触发器从一个状态变化到另一个状态或保持原状态不变时，对输入信号的要求。

RS触发器的驱动表

$Q_n \rightarrow Q_{n+1}$		R	S
0	0	×	0
0	1	0	1
1	0	1	0
1	1	0	×

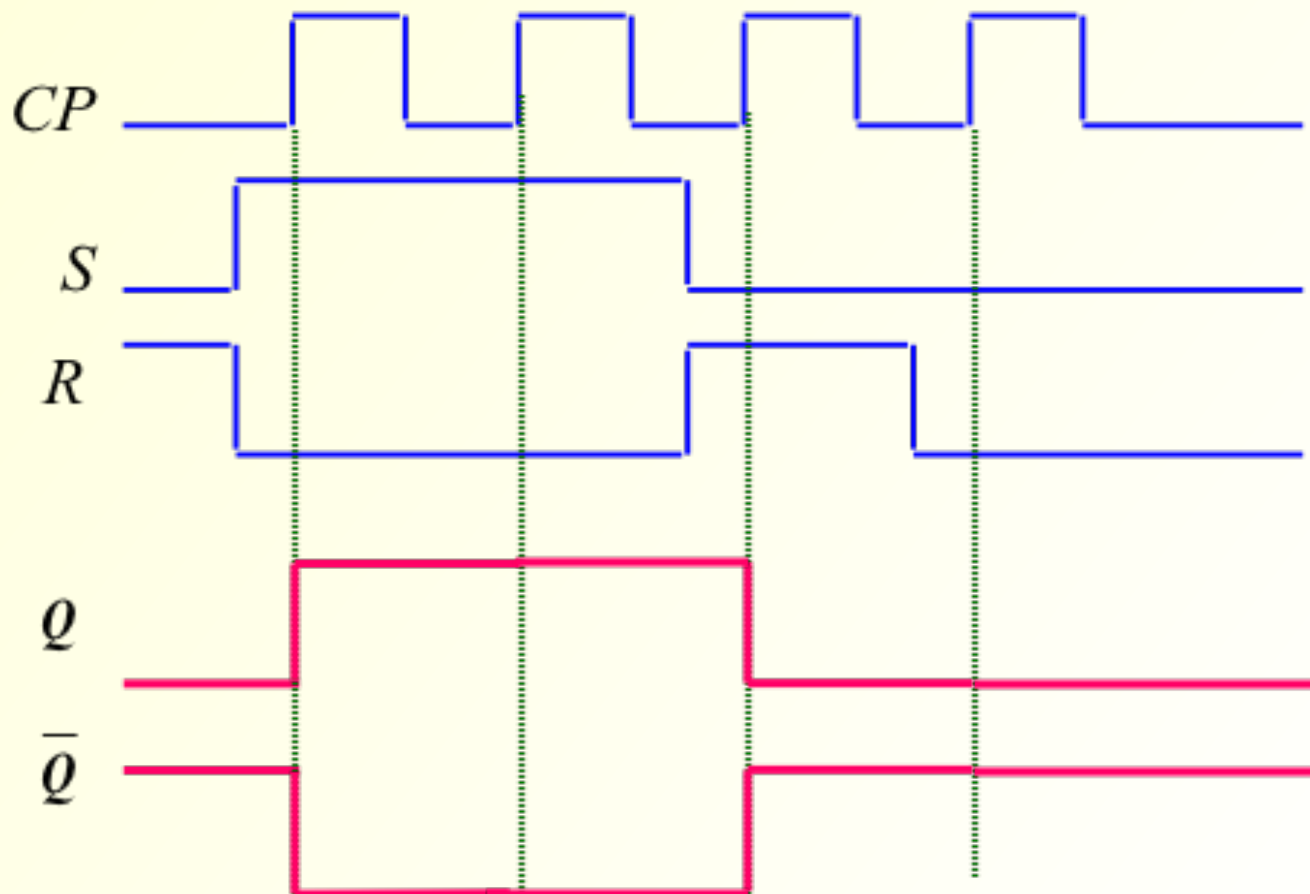
5.3 电平触发触发器

2. 电平RS触发器逻辑功能

(5) 波形图

在CP为高电平期间， R 、 S 信号影响触发器的状态。

在CP为低电平期间，触发器的状态不变。

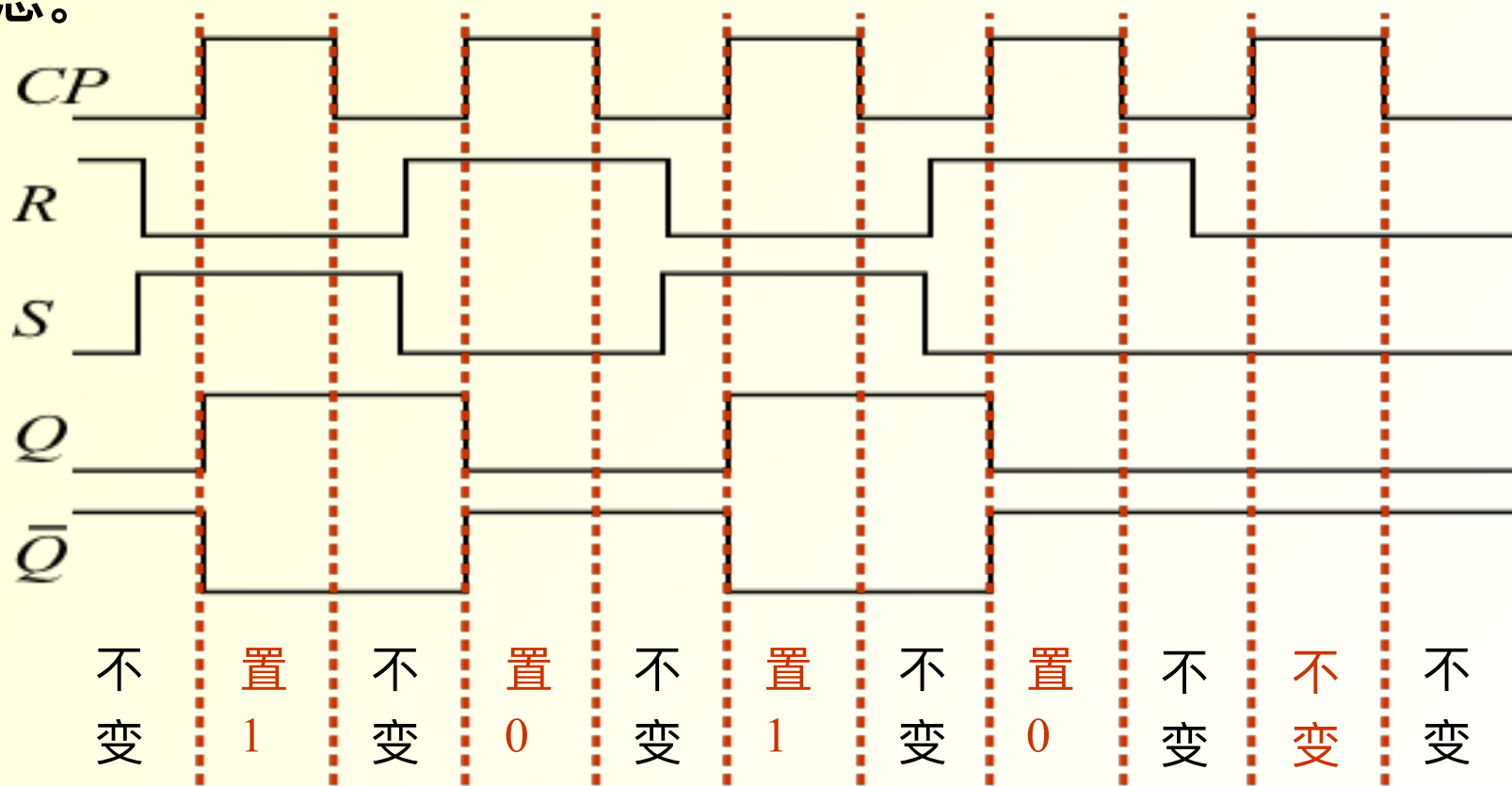


5.3 电平触发触发器

主要特点

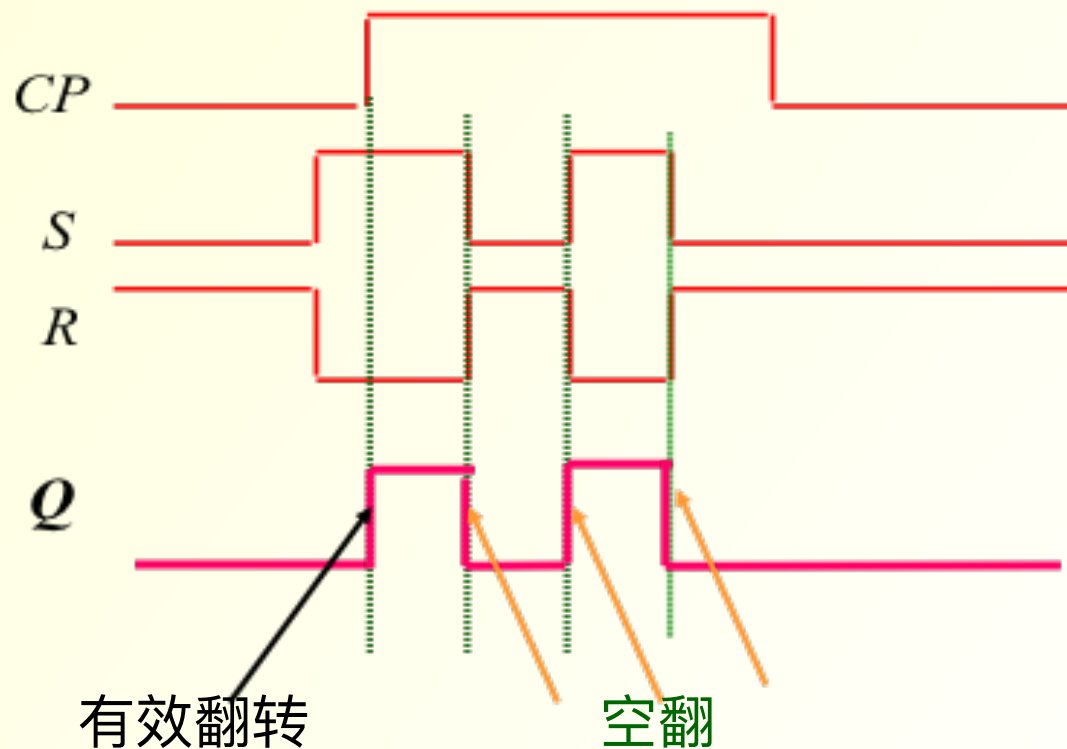
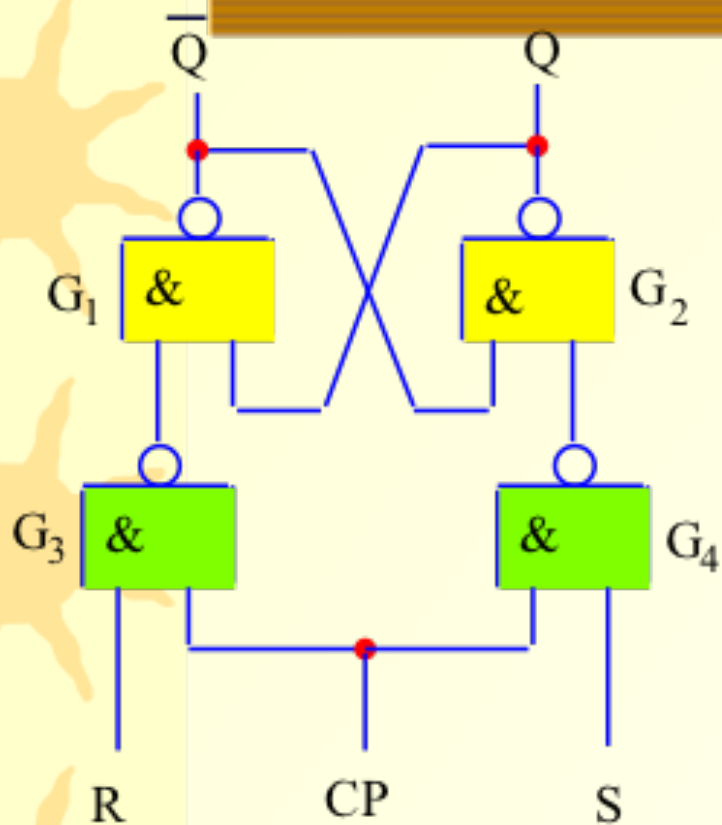
- (1) 时钟电平控制。在 $CP=1$ 期间接收输入信号， $CP=0$ 时状态保持不变，与基本 RS 触发器相比，对触发器状态的转变增加了时间控制。
- (2) R 、 S 之间有约束。不能允许出现 R 和 S 同时为1的情况，否则会使触发器处于不确定的状态。

波形图



5.3 电平触发触发器

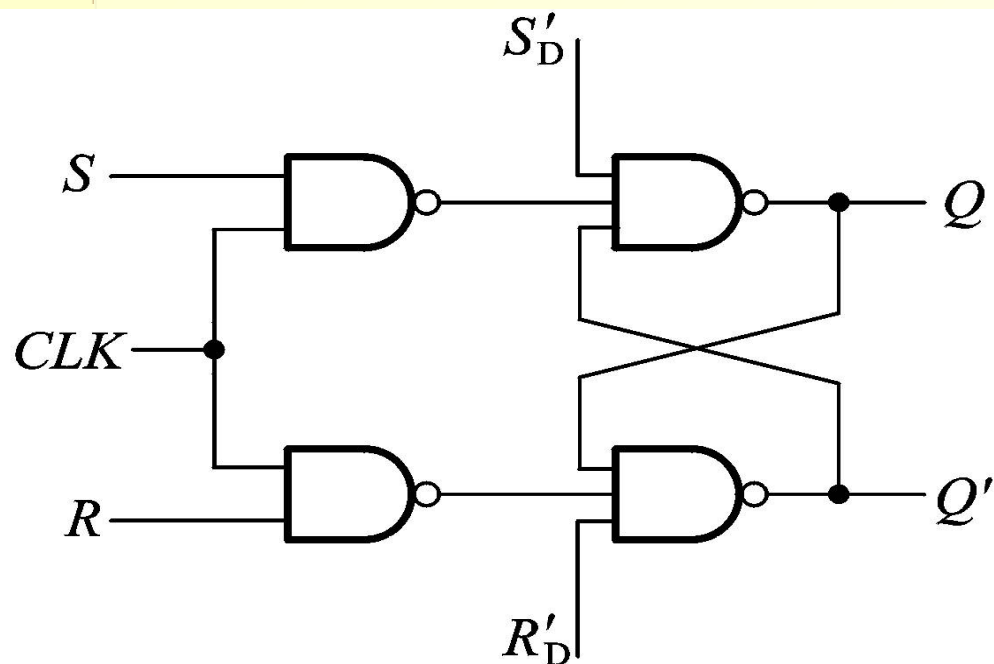
4. 同步触发器存在的问题——空翻



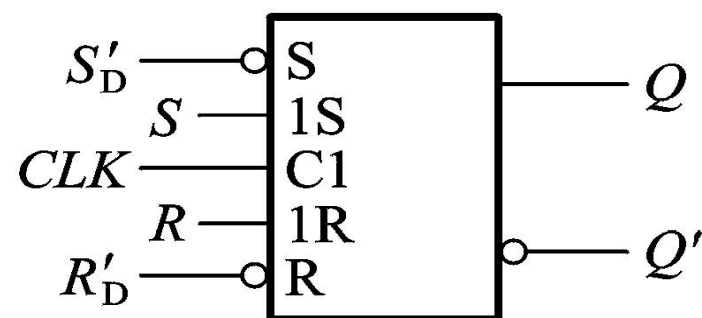
- 由于在 $CP=1$ 期间， G_3 、 G_4 门都是开着的，都能接收 R 、 S 信号，所以，如果在 $CP=1$ 期间 R 、 S 发生多次变化，则触发器的状态也可能发生多次翻转。
- 在一个时钟脉冲周期中，触发器发生多次翻转的现象叫做空翻。

5.3 电平触发触发器

4. 带异步置位端的电平触发SR触发器



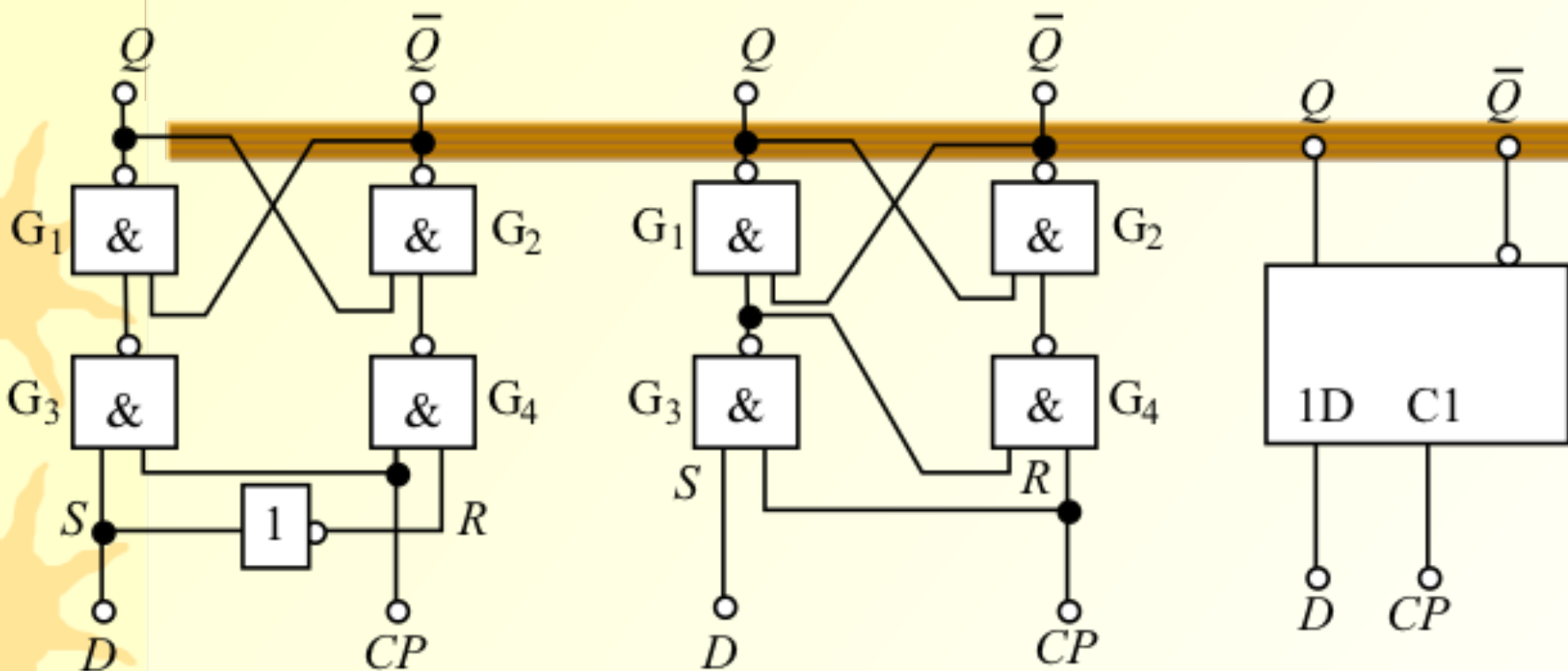
(a) 电路结构



图形符号 (b)

只要在 \overline{SD} 或 \overline{RD} 加入低电平，即可立即将触发器置1 或置0。而不受时钟信号和输入信号的控制。因此，将 \overline{SD} 称为异步置位(置1) 端，将 \overline{RD} 称为异步复位(置0)端。触发器在时钟信号控制下正常工作时应使 \overline{SD} 和 \overline{RD} 处于高电平。

D触发器



(a) D 触发器的构成

(b) D 触发器的简化电路

(c) 逻辑符号

将 $S=D$ 、 $R=\bar{D}$ 代入同步RS触发器的特性方程，得同步D 触发器的特性方程：

$$Q^{m+1} = S + \bar{R}Q^m = D + \bar{D}Q^n = D \quad \text{CP=1期间有效}$$

D触发器

1.D触发器特性表

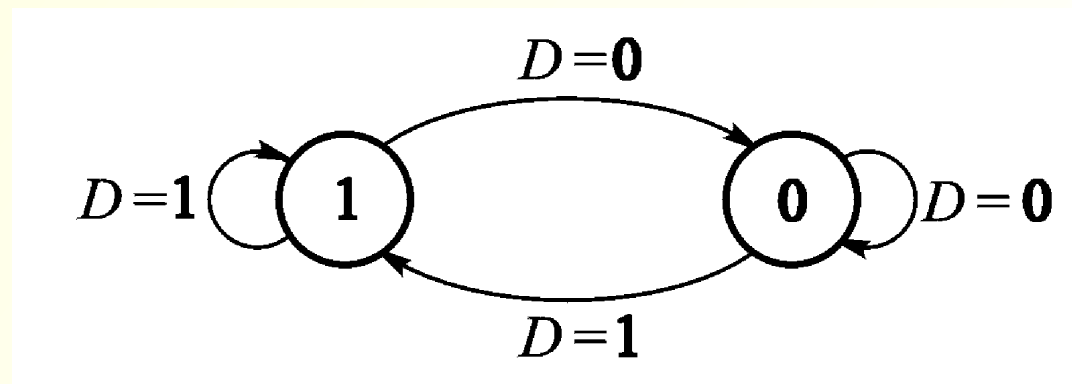
D	Q_n	Q_{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

2.特性方程

$$Q_{n+1} = D$$

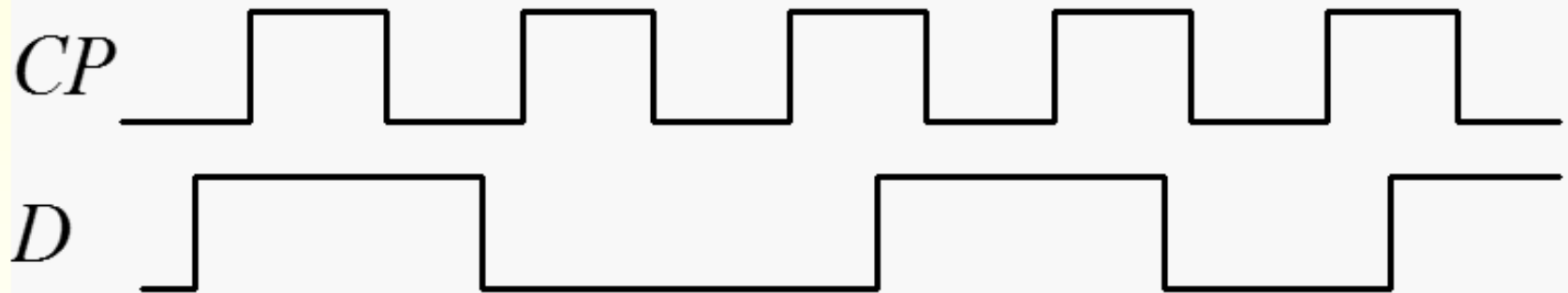
CP=1期间有效

3. 状态转换图



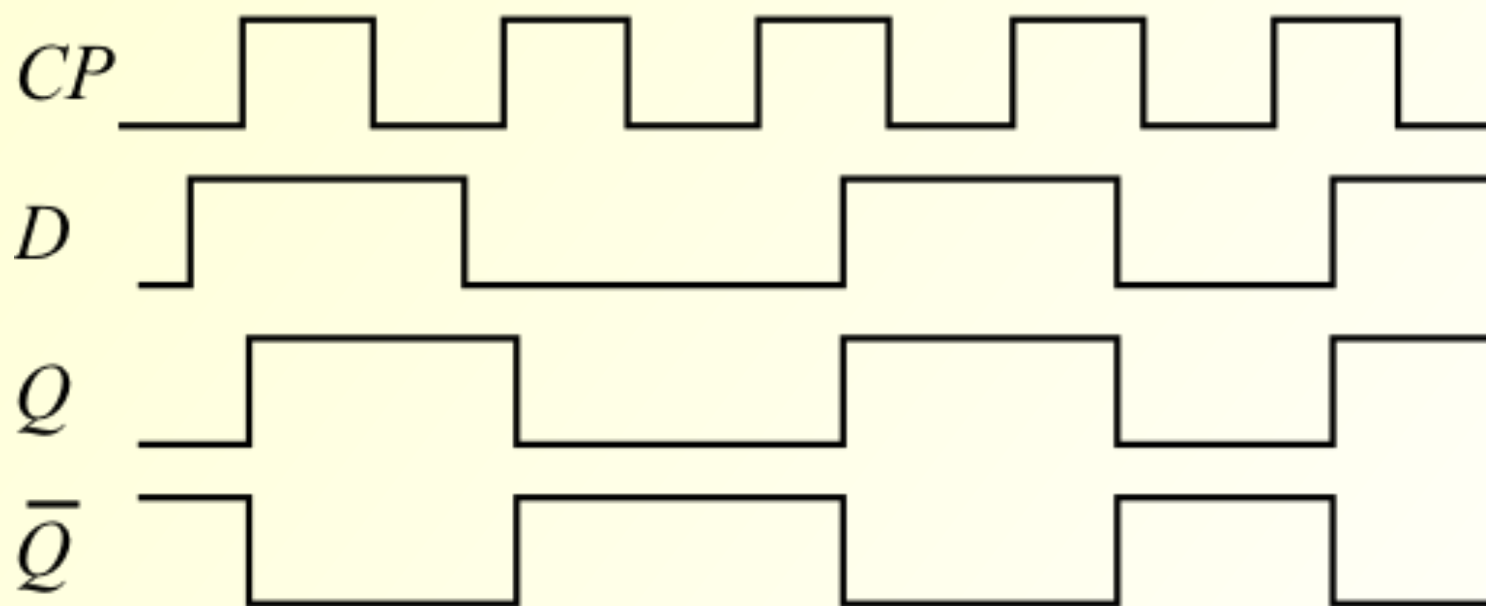
*D*触发器

4. 波形图



D触发器

4. 波形图



在数字电路中，凡在CP时钟脉冲控制下，根据输入信号D情况的不同，具有置0、置1功能的电路，都称为D触发器。

5.4 脉冲触发触发器——主从触发器

一、主从RS触发器

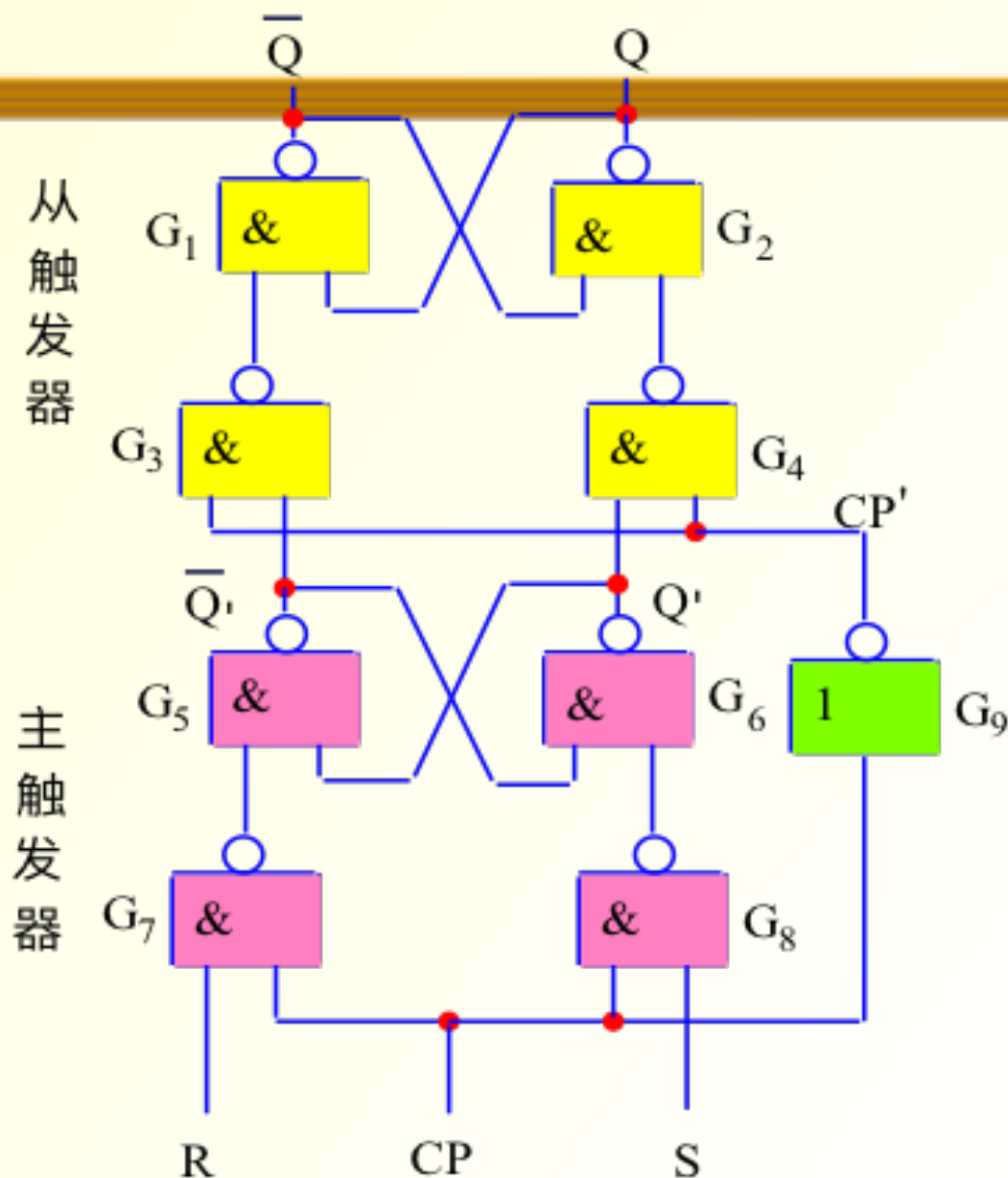
1. 电路结构

由两级同步RS触发器串联组成。

G1~G4组成从触发器，

G5~G8组成主触发器。

CP 与 CP' 互补，使两个触发器工作在两个不同的时区内。



5.4 脉冲触发触发器——主从触发器

2. 工作原理

主从触发器的触发翻转分为两个节拍：

(1) 当 $CP=1$ 时, $CP'=0$, “从”保持。

“主”工作, 接收 R 和 S 端的输入信号。

(2) 当 $CP=0$ 时, $CP'=1$ 。

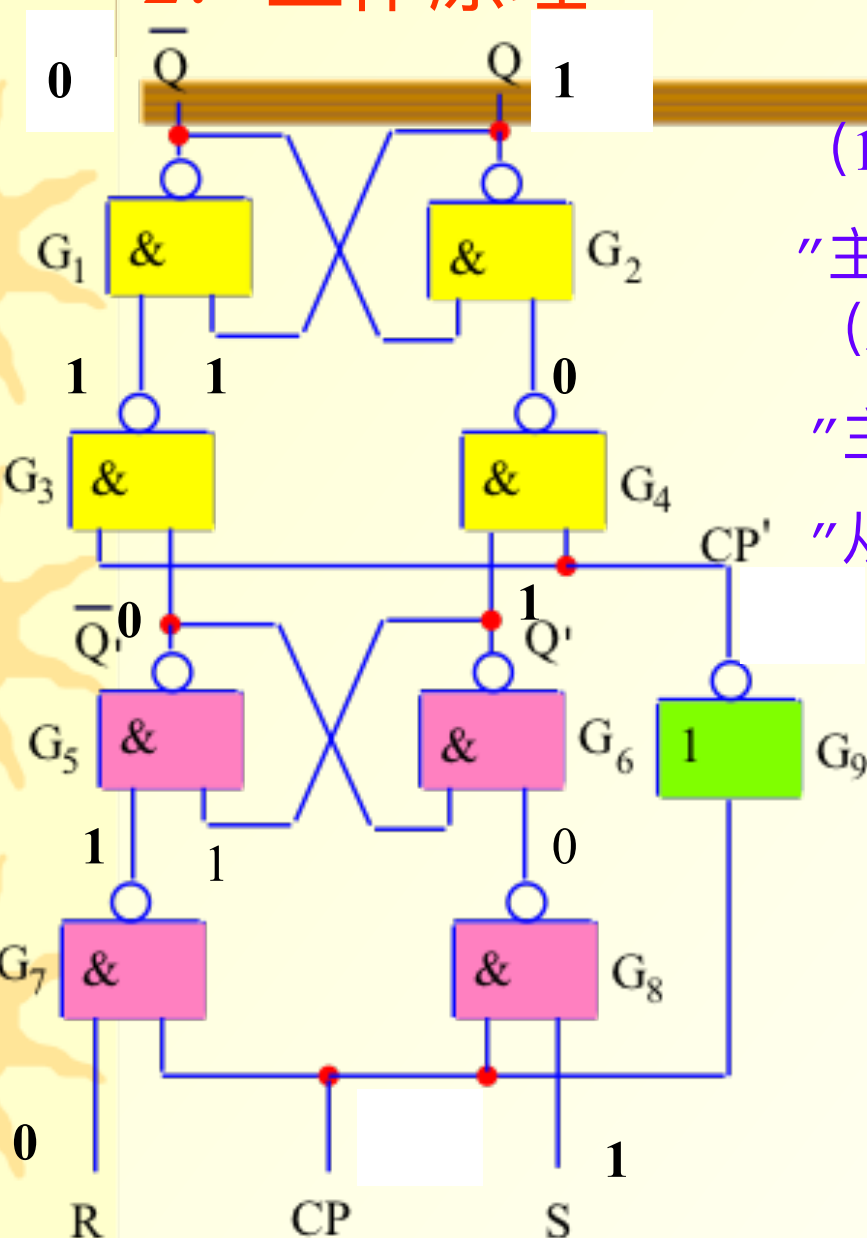
“主”保持, 不再接收 R 、 S 信号；

“从”工作, 接收主触发器输出端的状态。

CLK	S	R	Q	Q^*
X	X	X	X	Q^n
0	0	0	0	0
0	0	1	1	1
1	1	0	0	1
1	1	0	1	1
0	0	1	0	0
0	0	1	1	0
1	1	1	0	1*
1	1	1	1	1*

从触发器

主触发器



5.4 脉冲触发触发器——主从触发器

逻辑符号

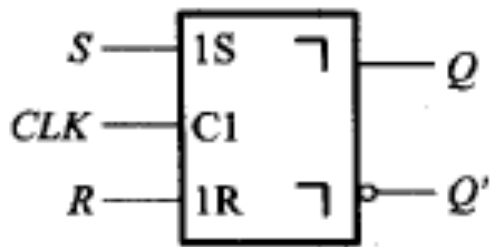
电路特点

(1)

主从RS触发器采用主从控制结构，从根本上解决了输入信号直接控制的问题，具有 $CP = 1$ 期间接收输入信号， CP 下降沿到来时触发翻转的特点。但其仍然存在着约束问题，即在 $CP = 1$ 期间，输入信号 R 和 S 不能同时为1。

(2)

因为主触发器本身是一个电平触发SR 触发器，所以在 $CP = 1$ 的全部时间里输入信号都将对主触发器起控制作用。



5.4 脉冲触发触发器——主从触发器

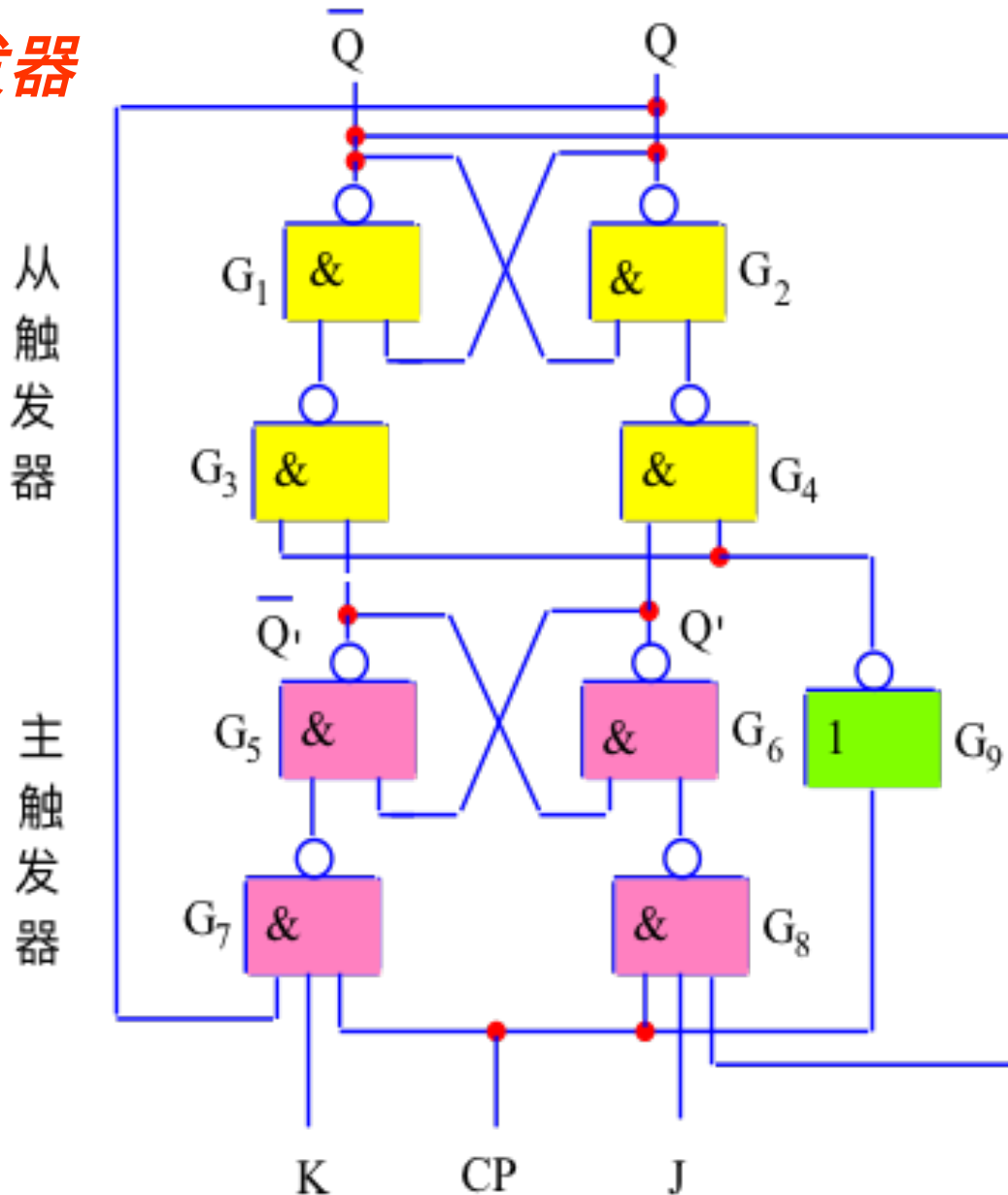
二、主从JK触发器

1. 电路结构

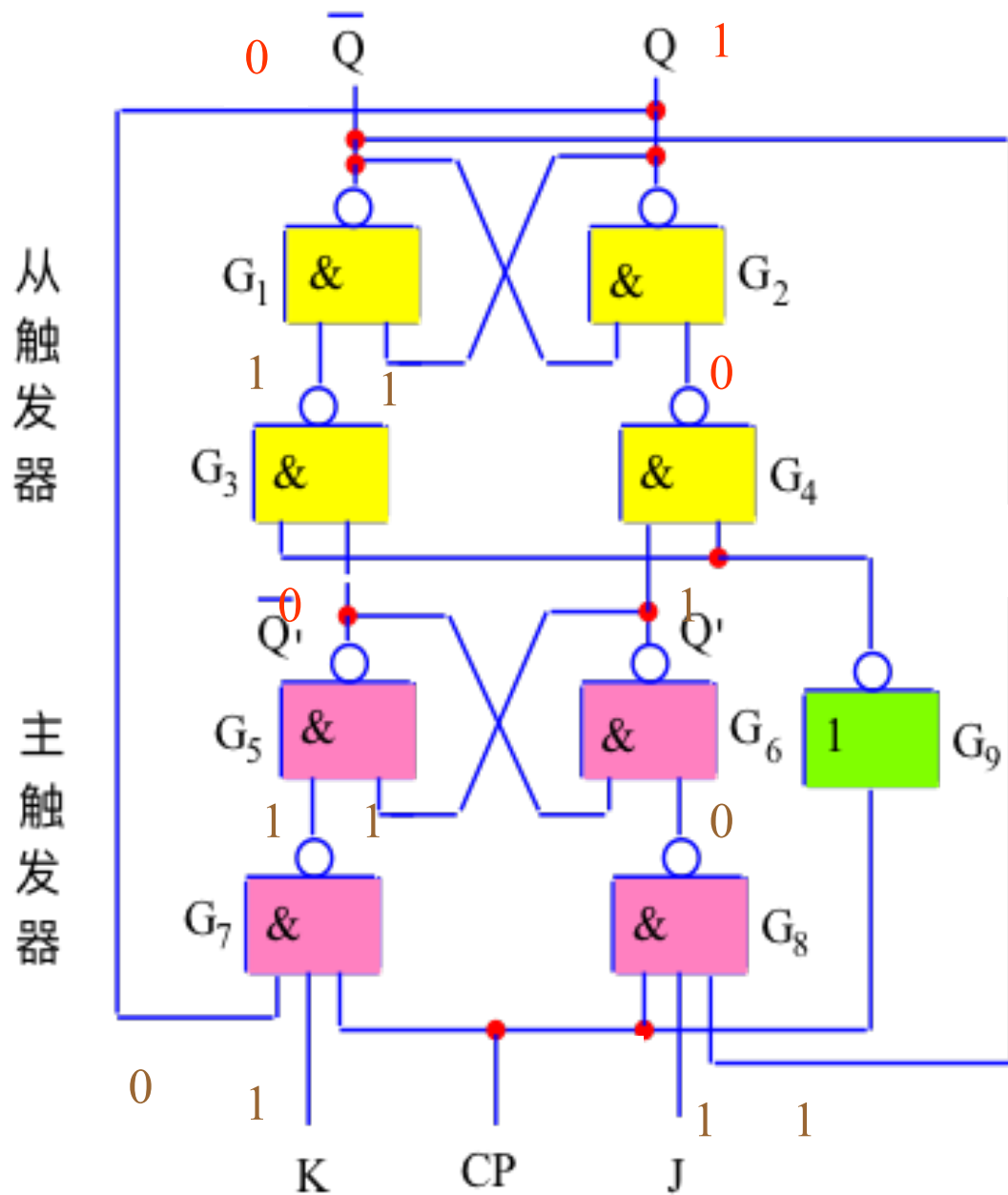
主从RS触发器的缺点： 使用时有约束条件

$$RS=0$$

为此，将触发器的两个互补的输出端信号通过两根反馈线分别引到输入端的G7、G8门，这样，就构成了JK触发器。



2. 工作原理



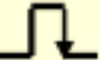

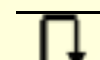
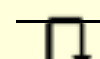
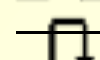
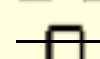


JK触发器 功能表

功能表

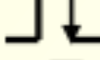
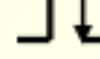

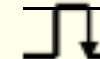
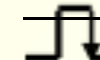
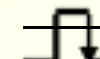
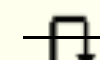

J	K	Q_n	Q_{n+1}	功能
0	0	0	0	保持
0	0	1	1	
0	1	0	0	输出状态 同J状态
0	1	1	0	
1	0	0	1	输出状态 同J状态
1	0	1	1	
1	1	0	1	$Q_{n+1} = \overline{Q_n}$ $Q_{n+1} = \overline{Q_n}$
1	1	1	0	

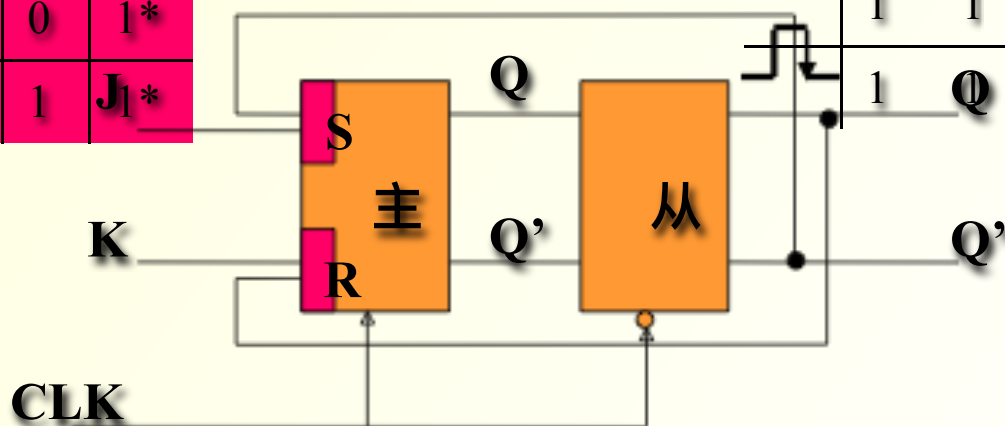
5.4 脉冲触发触发器——主从触发器

3、列出真值表

CLK	S	R	Q	Q^*
X	X	X	X	Q^*
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1*
	1	1	1	J_1^*




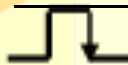

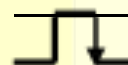
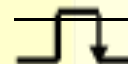

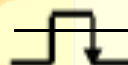

CLK	J	K	Q	Q^*
X	X	X	X	Q^*
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1
	1	1	1	0



5.4 脉冲触发触发器——主从触发器

4、JK触发器逻辑功能的几种表示方法

(1) 特性表:

CLK	J	K	Q	Q*
X	X	X	X	Q*
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1
	1	1	1	0

(2) 特性方程:

Q^{n+1}

	KQ^n	00	01	11	10
J	0	0	1	0	0
1	1	1	1	0	1

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

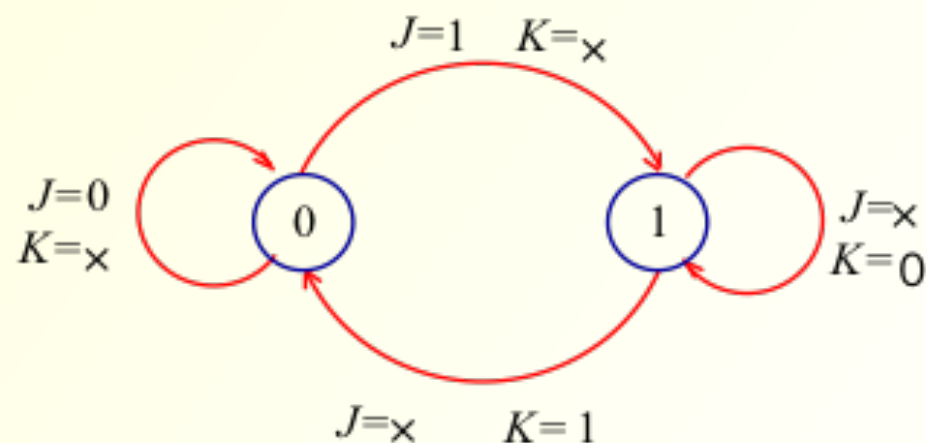
5.4 脉冲触发触发器——主从触发器

(4) 驱动表

JK触发器的驱动表

$Q_n \rightarrow Q_{n+1}$		J	K
0	0	0	\times
0	1	1	\times
1	0	\times	1
1	1	\times	0

(3) 状态转换图

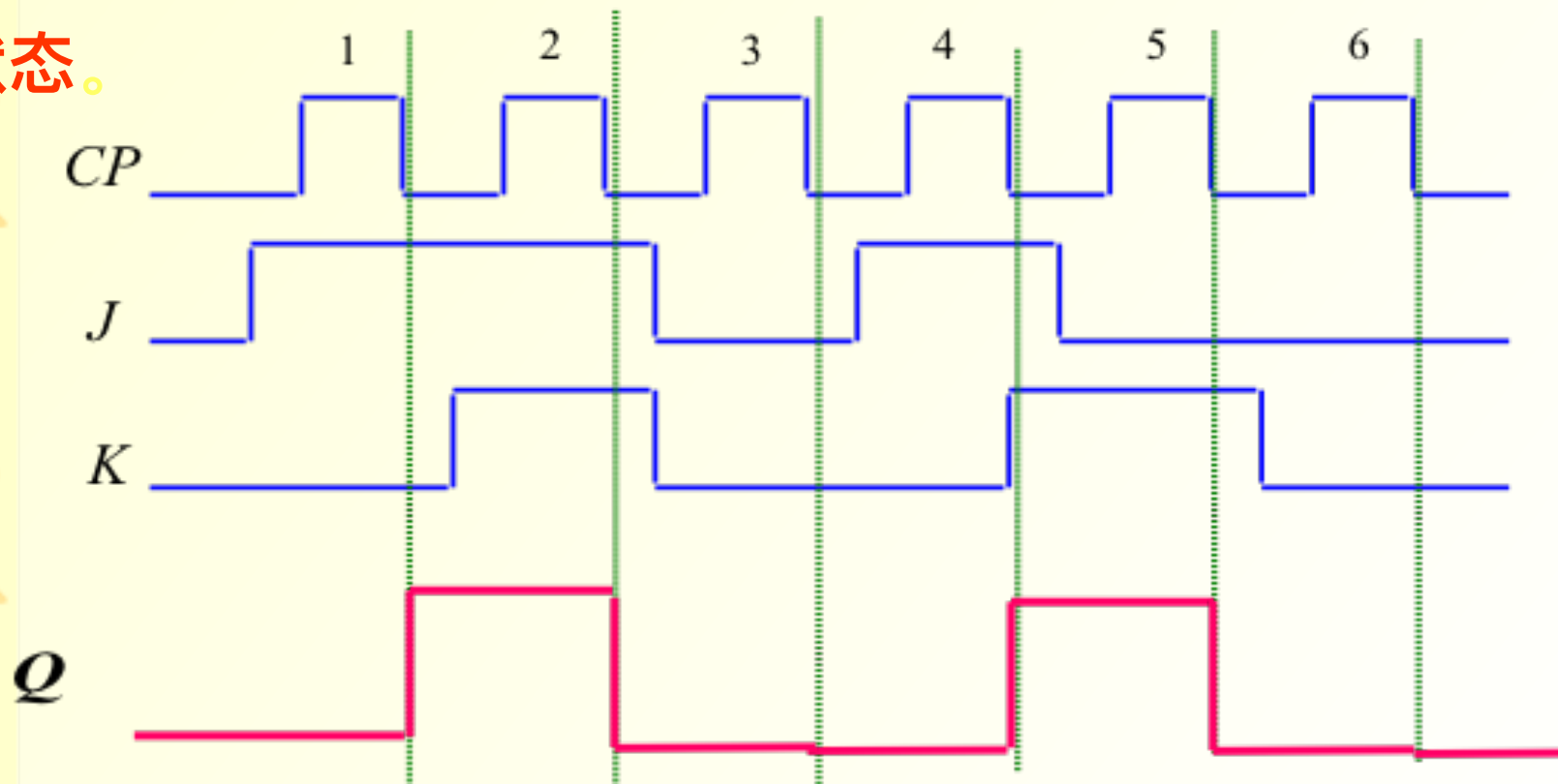


(5) 波形图

例：已知主从JK触发器J、K的波形如图所示，画出输出Q的波形图（设初始状态为0）。

在画主从触发器的波形图时，应注意以下两点：

- (1) 触发器的触发翻转发生在时钟脉冲的触发沿（下降沿）
- (2) 判断触发器次态的依据是时钟脉冲下降沿前一瞬间输入端的状态。



5.4 脉冲触发触发器——主从触发器

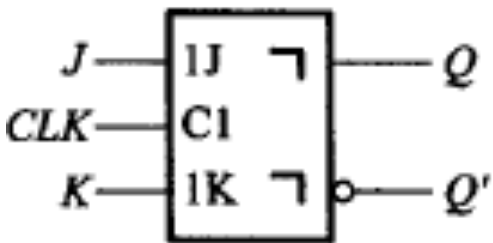
逻辑符号

电路特点

① 主从JK触发器采用主从控制结构，从根本上解决了输入信号直接控制的问题，具有CP（CLK）=1期间接收输入信号，CP下降沿到来时触发翻转的特点。

② 输入信号J、K之间没有约束。

③ CLK =1的全部时间里主触发器都可以接收输入信号。在Q=0时主触发器只能接受置1输入信号，在Q=1时主触发器只能接受置0信号。其结果是在CLK=1期间主触发器只有可能翻转一次，一旦翻转了就不会翻回原来的状态。但在主从SR触发器中，由于没有Q、Q'端接到输入端的反馈线，所以CLK=1期间SR状态多次改变时主触发器状态也会随着多次翻转

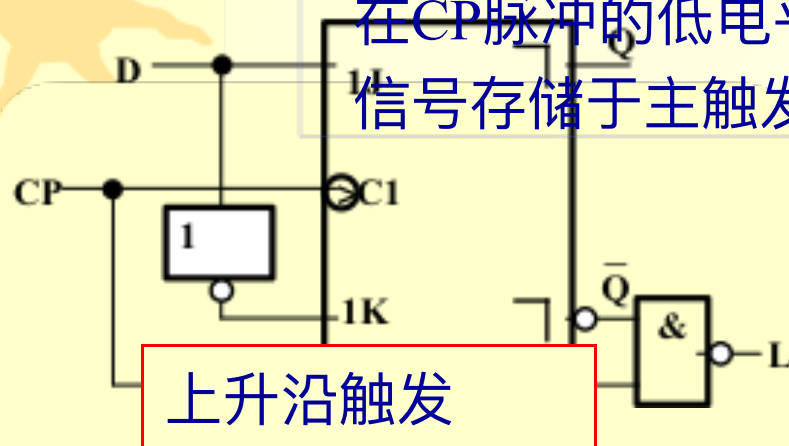


例1 主从JK 触发器的输入信号CP、D 的波形分别如图所示，设触发器的初态为1，试画出输出端 L 的波形。

解：J=D，K= D, 只有置0和置1两种功能。

在CP脉冲的低电平期间将输入信号存储于主触发器。

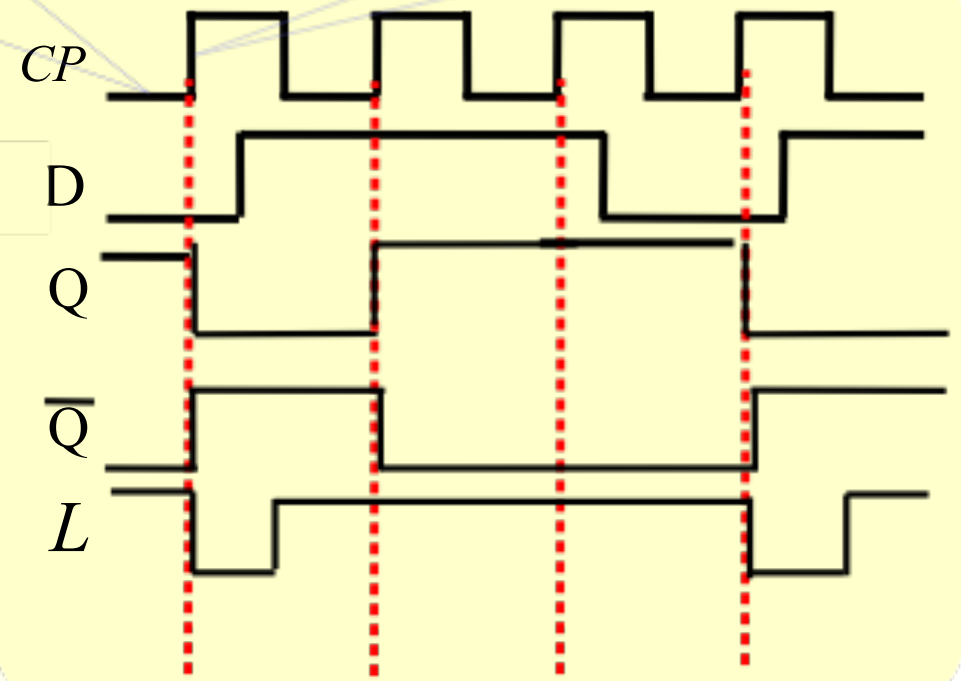
在CP脉冲的高电平到来时发生状态变化。



JK 触发器真值表

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

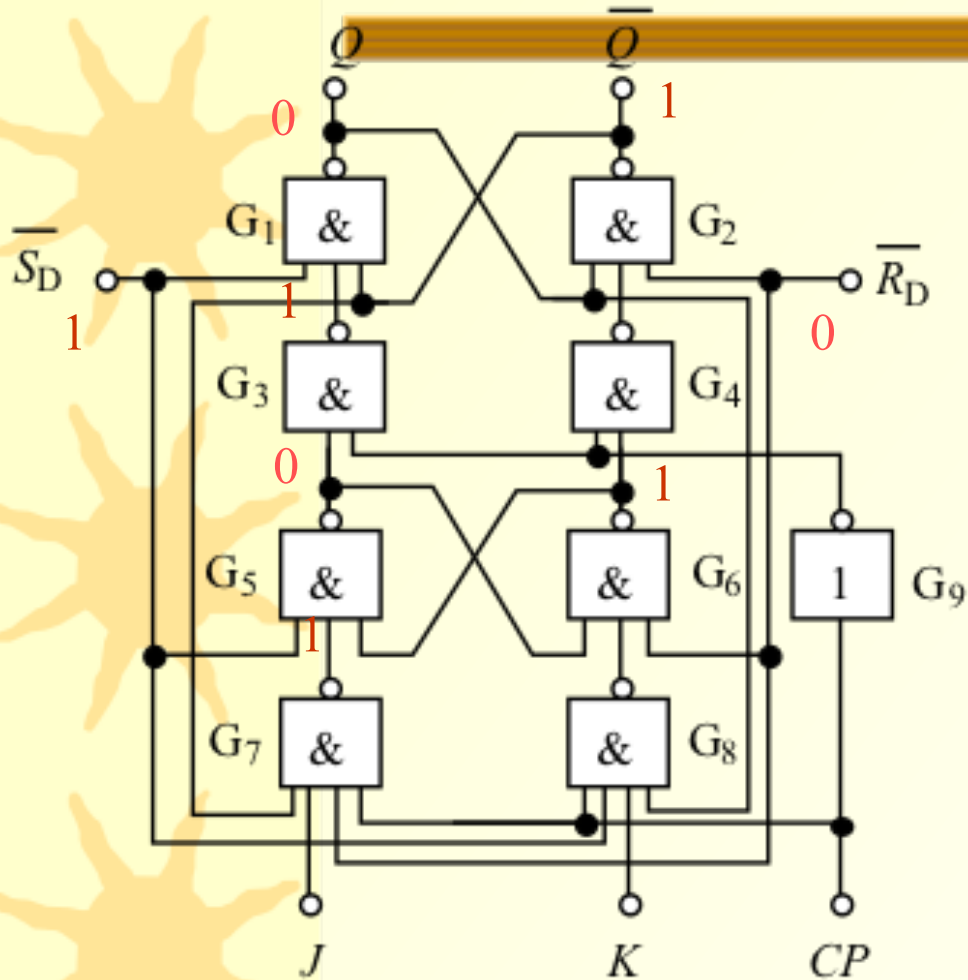
$J(\overline{K})$



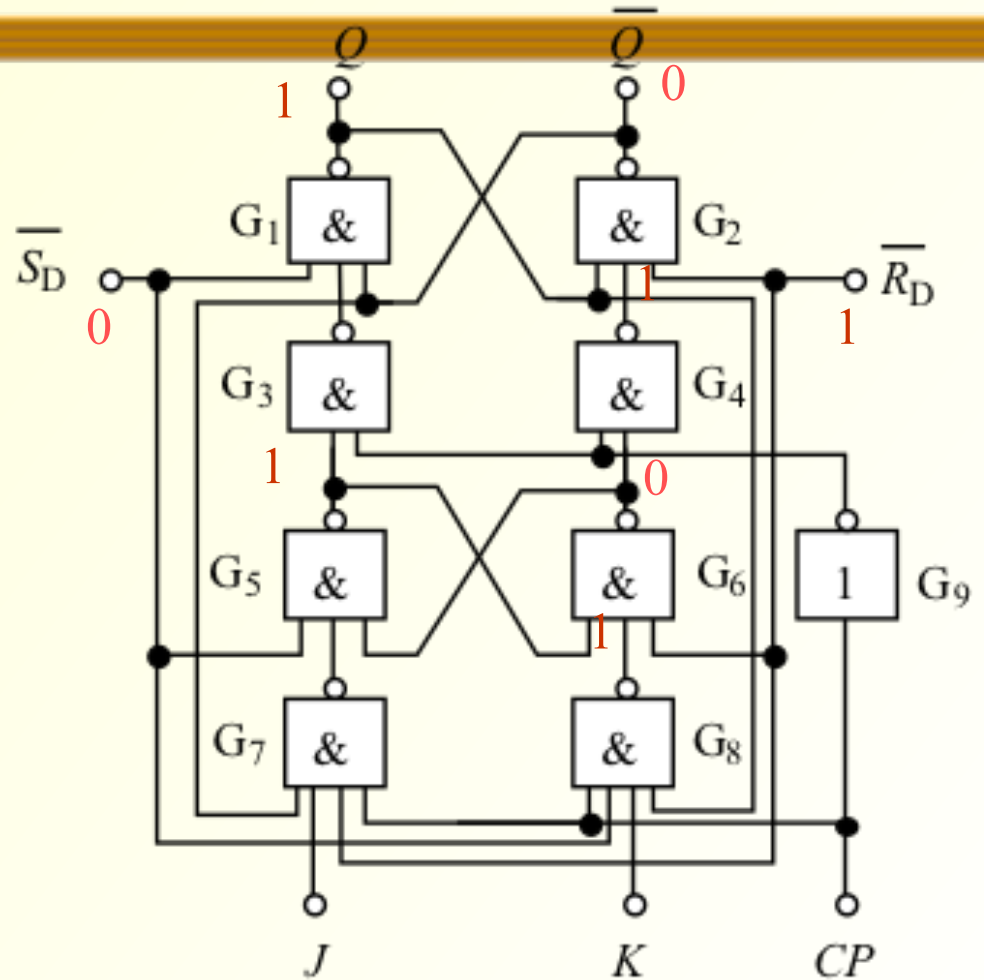
$$L = CP \cdot \overline{Q} = \overline{CP} + Q$$

5.4 脉冲触发触发器——主从触发器

带清零端和预置端的主从JK触发器

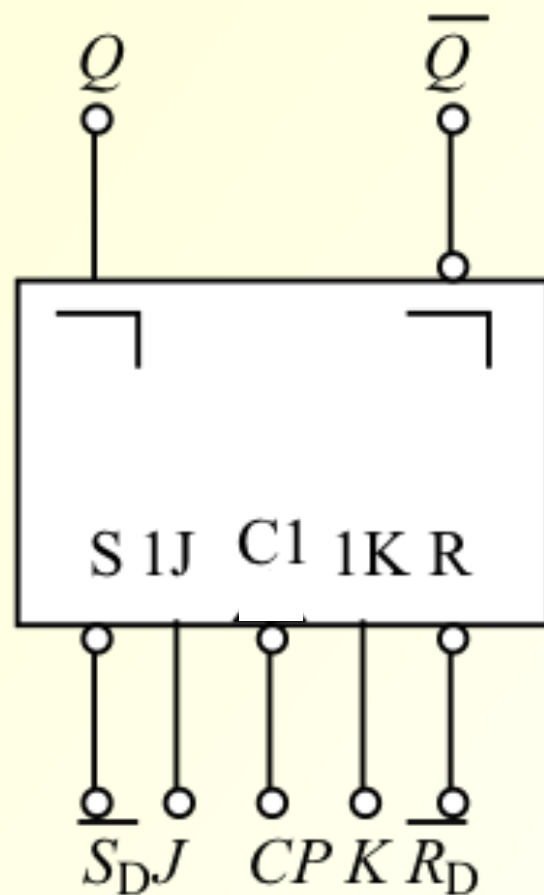


RD=0, 直接置0



$\overline{\text{SD}}=0$, 直接置1

5.4 脉冲触发触发器——主从触发器



国标符号

带清零端和预置端的主从JK触发器的逻辑符号

5.4 脉冲触发触发器——主从触发器

主从JK触发器功能完善，并且输入信号J、K之间没有约束。但主从JK触发器还存在着一次变化问题，即主从JK触发器中的主触发器，在 $CP=1$ 期间其状态能且只能变化一次，这种变化可以是J、K变化引起，也可以是干扰脉冲引起，因此其抗干扰能力尚需进一步提高。

5.4 脉冲触发触发器——主从触发器

三、主从T触发器

将JK触发器的J和K相连作为T输入端就构成了T触发器。

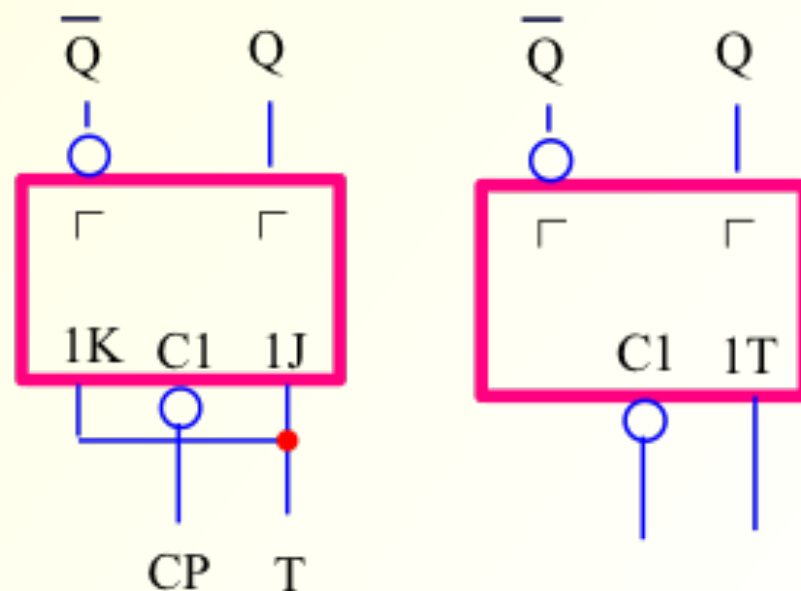
1.T触发器特性方程：

$$Q^{n+1} = T\overline{Q^n} + \overline{T}Q^n$$

T触发器的功能表

T	Q_n	Q_{n+1}	功能
0	0	0	$Q_{n+1} = Q_n$
0	1	1	
1	0	1	$Q_{n+1} = \overline{Q_n}$
1	1	0	

2.电路图及逻辑符号



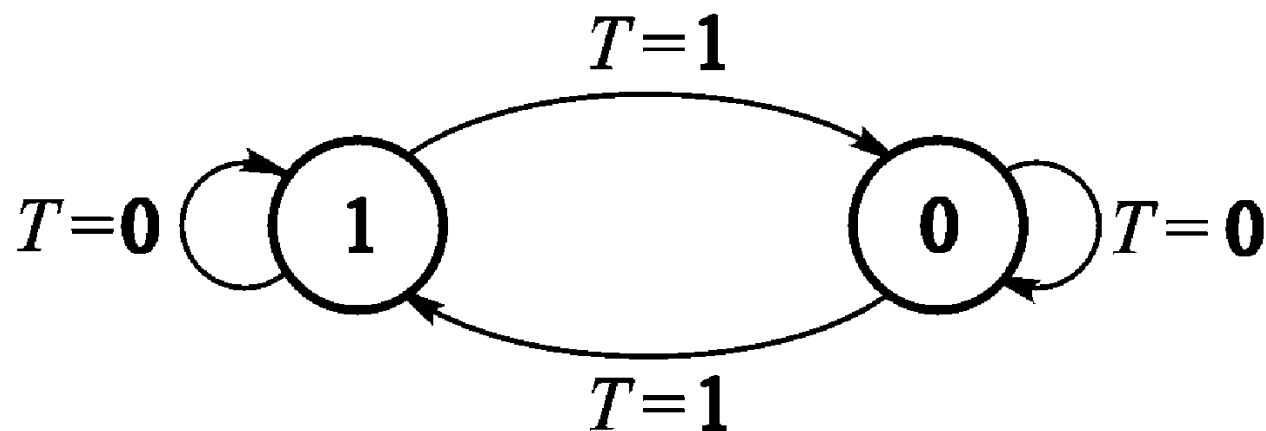
5.4 脉冲触发触发器——主从触发器

主从T触发器

4. 状态转换表

T	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

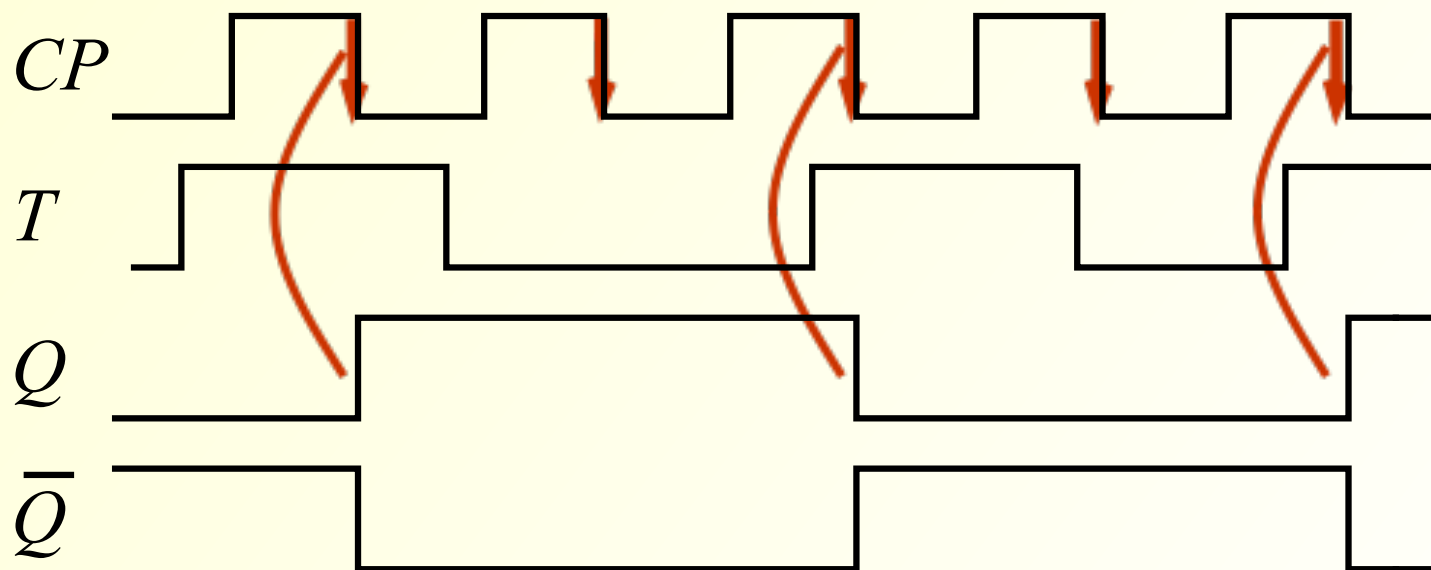
5. 状态转换图



5.4 脉冲触发触发器——主从触发器

主从T触发器

6. 波形图(时序图)



5.4 脉冲触发触发器——主从触发器

四 T'触发器

1. T'触发器的功能

把T=1时的T触发器称为计数型触发器，又叫做T'触发器。

每来一个CP脉冲，T'触发器就翻转一次，显然能实现计数功能。

2. 特性表

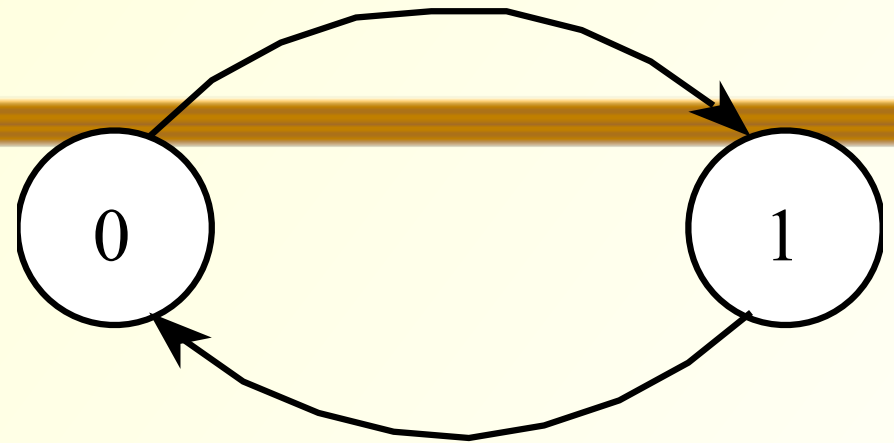
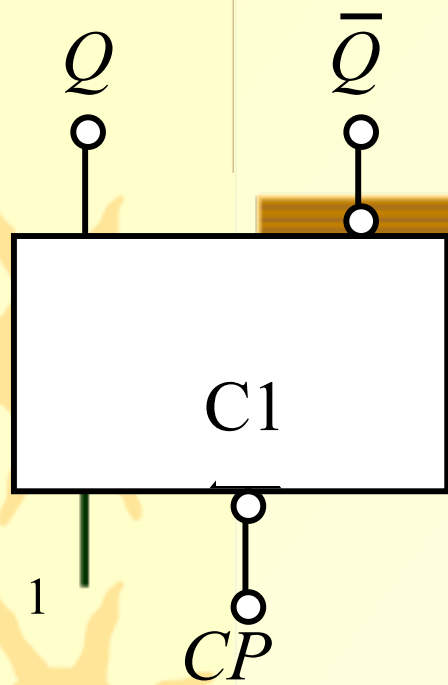
Q^n	Q^{n+1}	功能
0	1	$Q^{n+1} = \overline{Q}^n$ 翻转
1	0	

3. 特性方程为

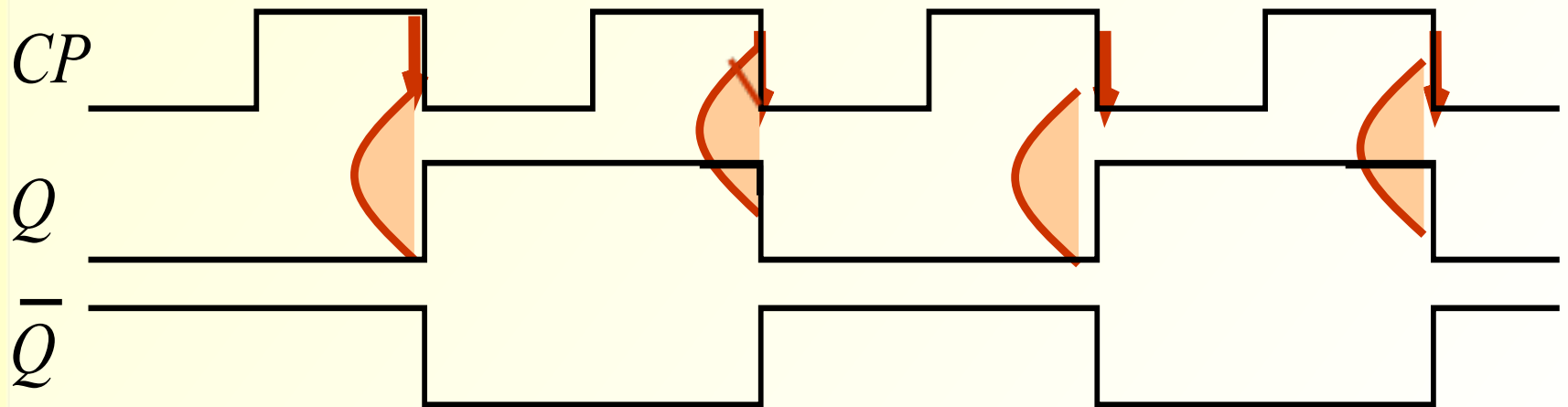
$$Q^{n+1} = \overline{Q}^n$$

4. 逻辑符号

5. 状态图



6. 时序图



5.5 边沿触发触发器

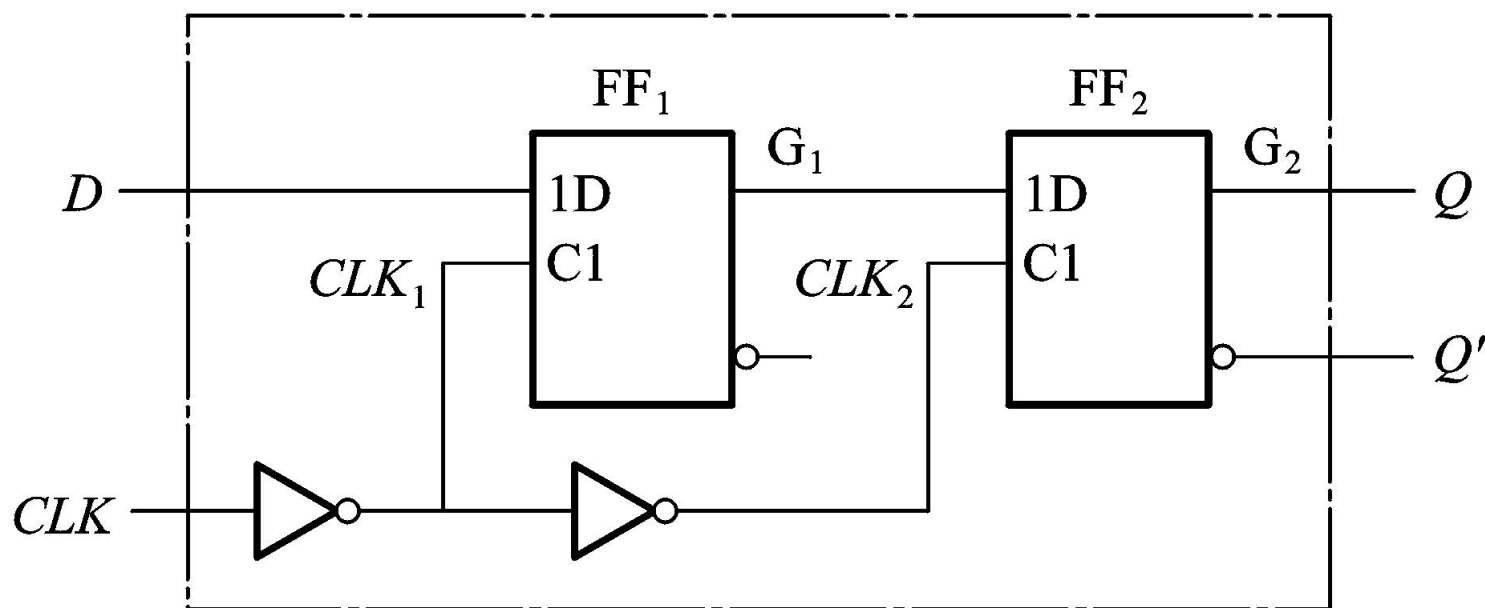
为了克服 $CP=1$ 期间输入控制电平不许改变的限制，可采用边沿触发方式。

其特点是：触发器的次态仅取决于时钟信号的上升沿(也称为正边沿)或下降沿(也称为负边沿)到达时输入的逻辑状态，而在这以前或以后，输入信号的变化对触发器输出的状态没有影响。

如果翻转发生在上升沿就叫“上升沿触发”或“正边沿触发”。如果翻转发生在下降沿就叫“下降沿触发”或“负边缘触发”。

一、电路结构和工作原理

1、用两个电平触发D触发器组成的边沿触发器



(a)

5.5 边沿触发触发器

(2)边沿触发的D触发器功能表

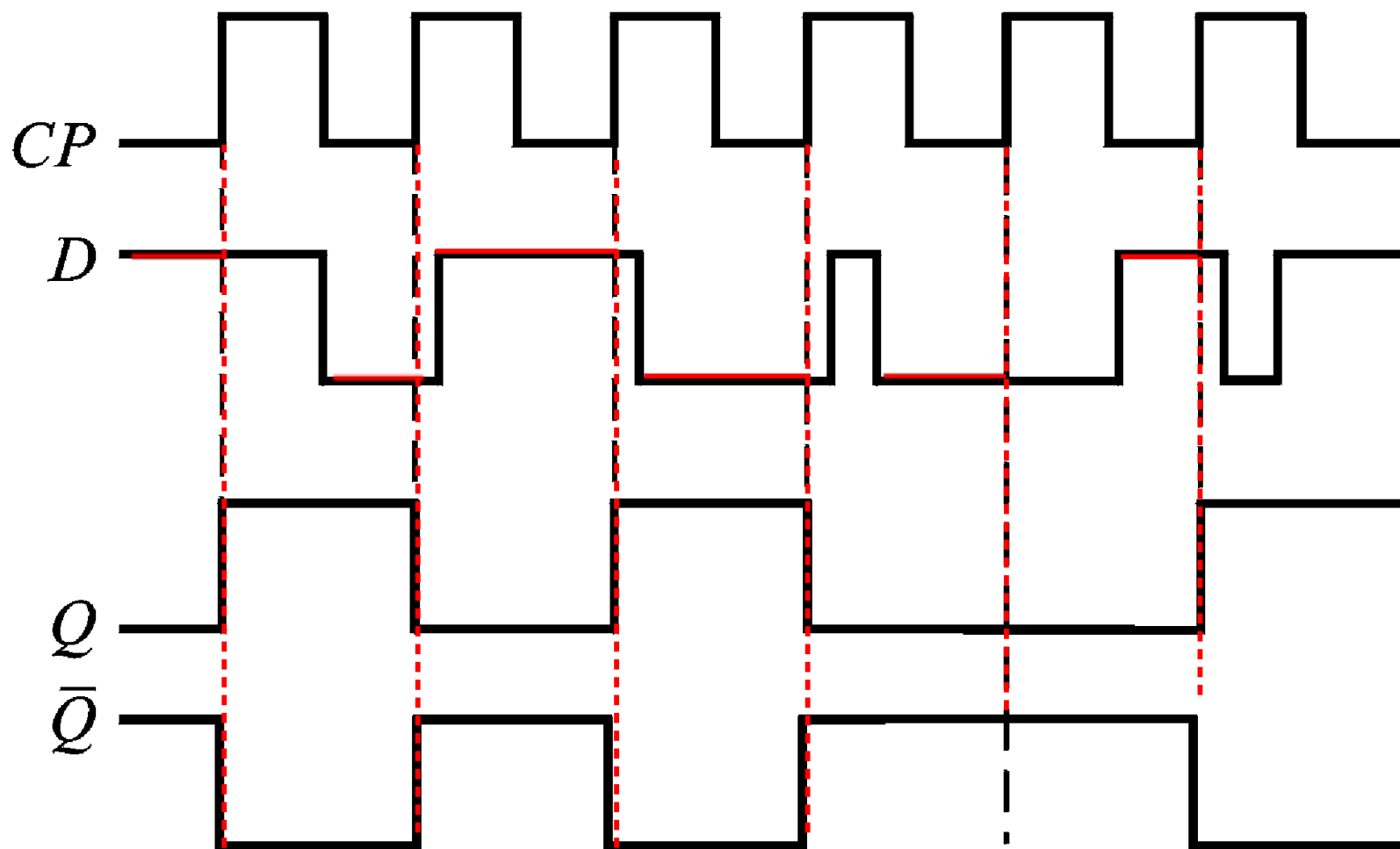
C	D	Q^{n+1}
P_0	x	Q^n
1	x	Q^n
\uparrow	0	0
\uparrow	1	1

正沿触发

(3)特性方程

$$Q_{n+1} = D$$

(4)时序图

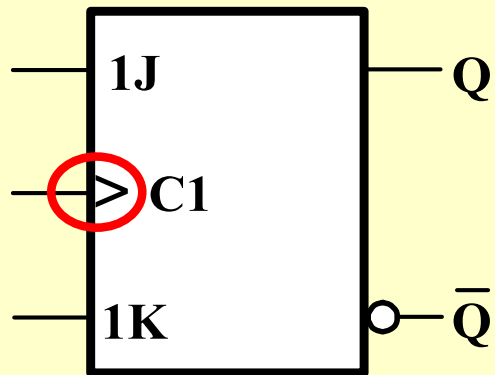


当CP从0变为1时，Q将由CP上升沿到来之前一瞬

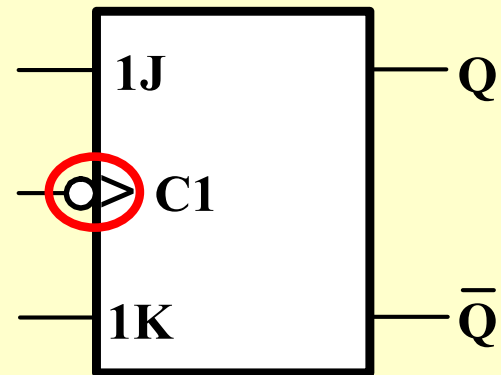
二、边沿JK触发器

JK 触发器逻辑符号

上升沿触发的边沿JK触发器



下降沿触发的边沿JK触发器



不同类型触发器之间的转换

转换方法：

利用令已有触发器和待求触发器的特性方程相等的原则，求出转换逻辑。

转换步骤：

- (1) 写出已有触发器和待求触发器的特性方程。
- (2) 变换待求触发器的特性方程，使之形式与已有触发器的特性方程一致。
- (3) 比较已有和待求触发器的特性方程，根据两个方程相等的原则求出转换逻辑。
- (4) 根据转换逻辑画出逻辑电路图。

一、将JK触发器转换为RS、D、T和T' 触发器

1. JK触发器→RS触发器

1)变换RS触发器的特性方程，使之形式与JK触发器的特性方程一致：

RS触发器特性方

程

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases}$$

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$\begin{aligned} Q^{n+1} &= S + \bar{R}Q^n = S(\bar{Q}^n + Q^n) + \bar{R}Q^n \\ &= S\bar{Q}^n + SQ^n + \bar{R}Q^n \\ &= S\bar{Q}^n + \bar{R}Q^n + SQ^n(\bar{R} + R) \\ &= S\bar{Q}^n + \bar{R}Q^n + \bar{R}SQ^n + RSQ^n \\ &= S\bar{Q}^n + \bar{R}Q^n(1 + S) + 0 \times Q^n \\ &= S\bar{Q}^n + \bar{R}Q^n \end{aligned}$$

2) 比较已有和待求触发器的特性方程，根据两个方程相等的原则求出转换逻辑。

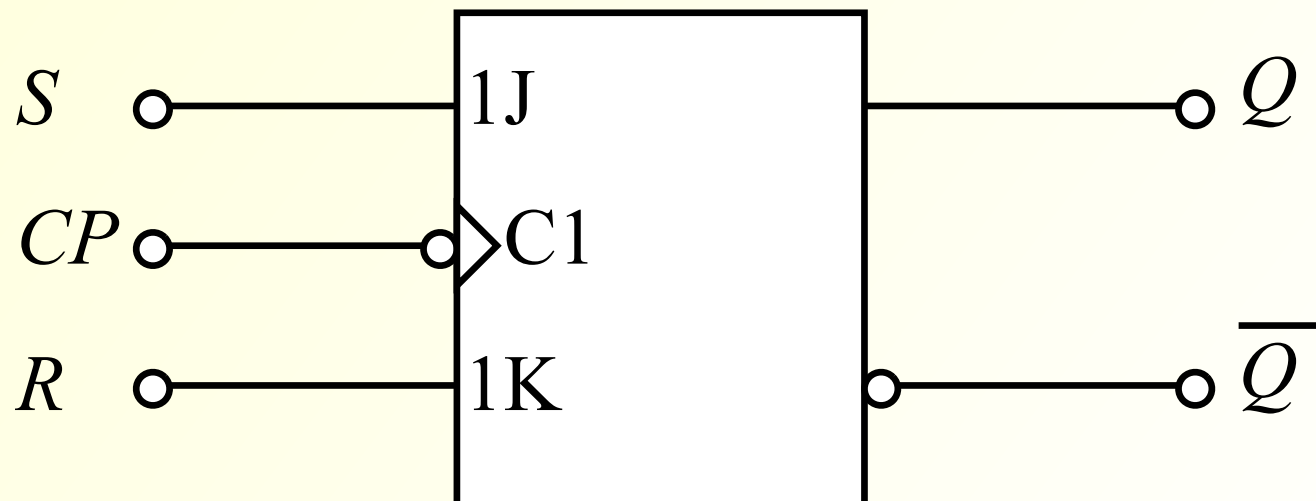
$$Q^{n+1} = S\bar{Q}^n + \bar{R}Q^n$$

比较，得：

$$\begin{cases} J = S \\ K = R \end{cases}$$

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

3) 画电路图



2. JK触发器→D触发器

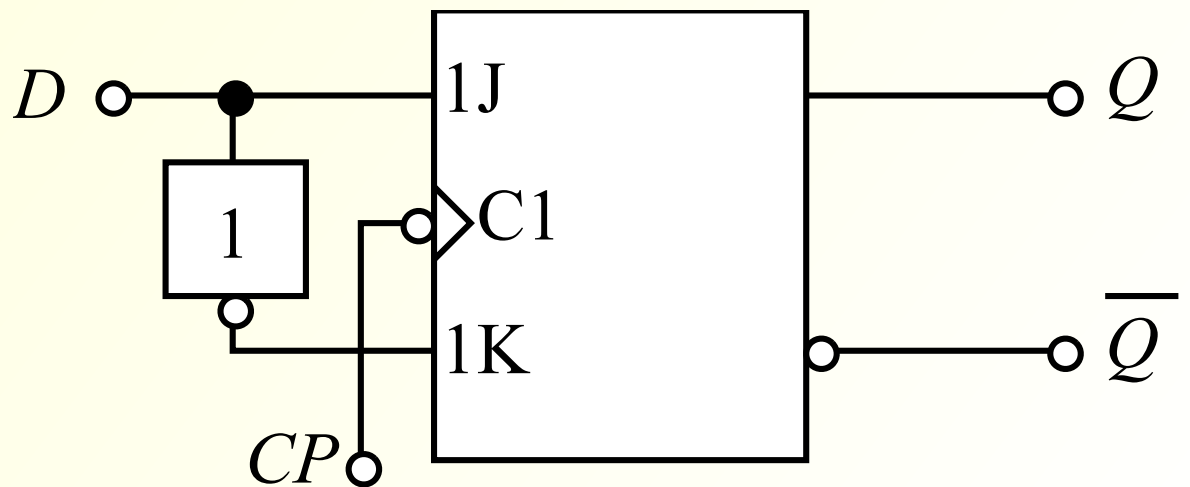
1) 写出D触发器的特性方程，并进行变换，使之形式与JK触发器的特性方程一致：

$$Q^{n+1} = D = D(\overline{Q}^n + Q^n) = D\overline{Q}^n + DQ^n$$

2) 与JK触发器的特性方程比较，得：

$$\begin{cases} J = D \\ K = \overline{D} \end{cases}$$

3) 画电路图



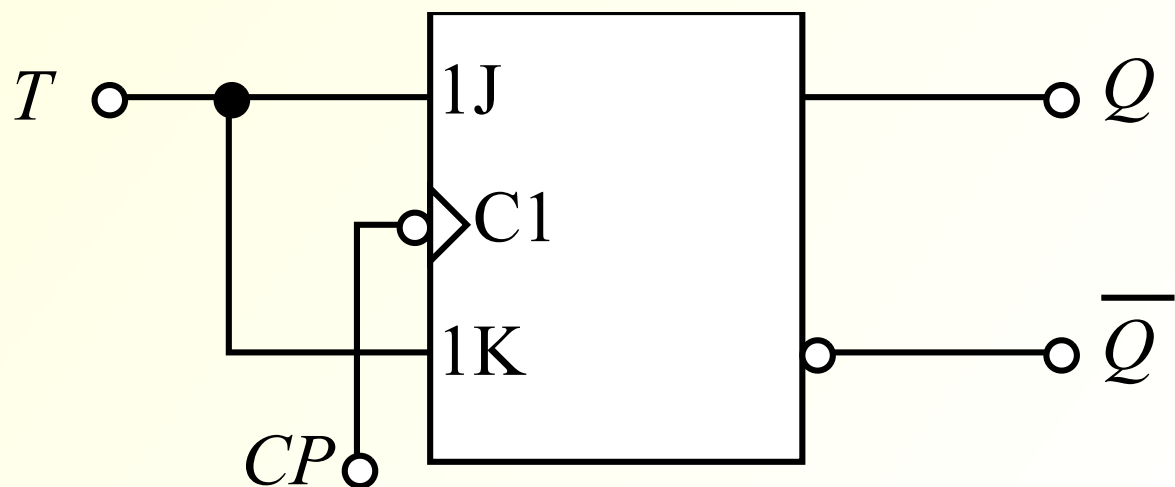
3. JK触发器→T触发器

1) T触发器特性方程: $Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n = T \oplus Q^n$

2) 与JK触发器的特性方程比较, 得:

$$\begin{cases} J = T \\ K = T \end{cases}$$

3) 画电路图



4. JK触发器→T' 触发器

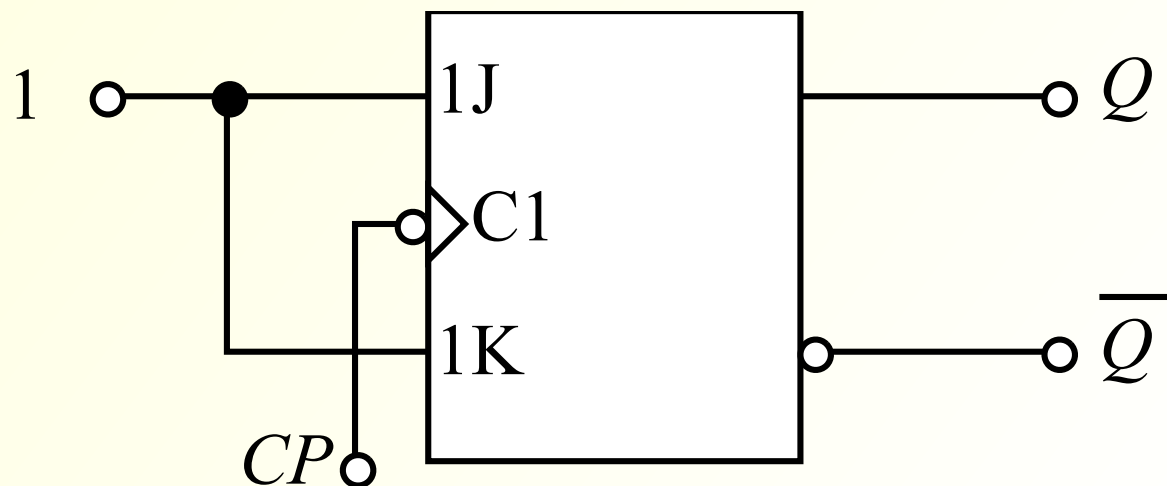
1)变换T' 触发器的特性方程：

$$Q^{n+1} = \overline{Q}^n = 1 \cdot \overline{Q}^n + \overline{1} \cdot Q^n$$

2)与JK触发器的特性方程比较，得：

$$\begin{cases} J = T \\ K = T \end{cases}$$

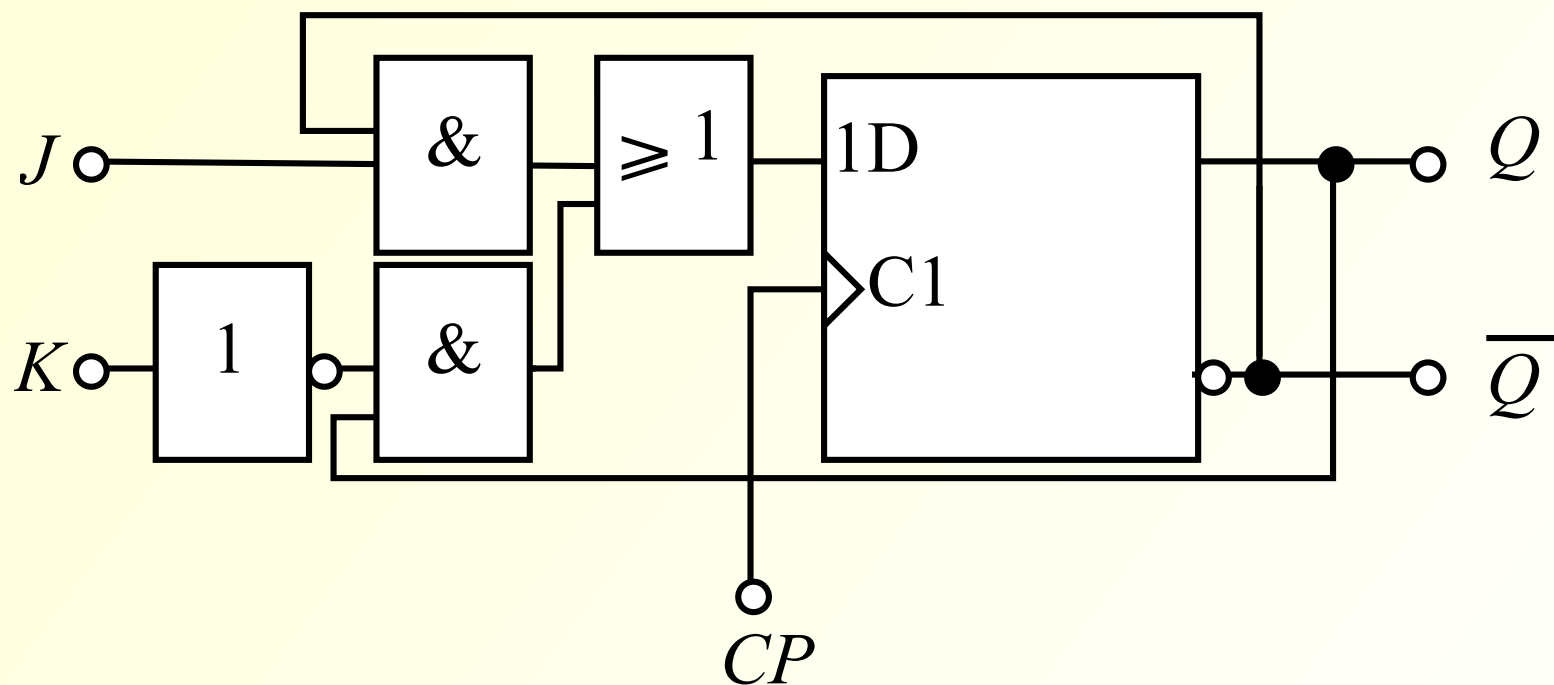
3)画电路图



二、将D触发器转换为JK、T和T' 触发器

1. D触发器→JK触发器

$$Q^{n+1} = D \quad Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \quad D = J\bar{Q}^n + \bar{K}Q^n$$

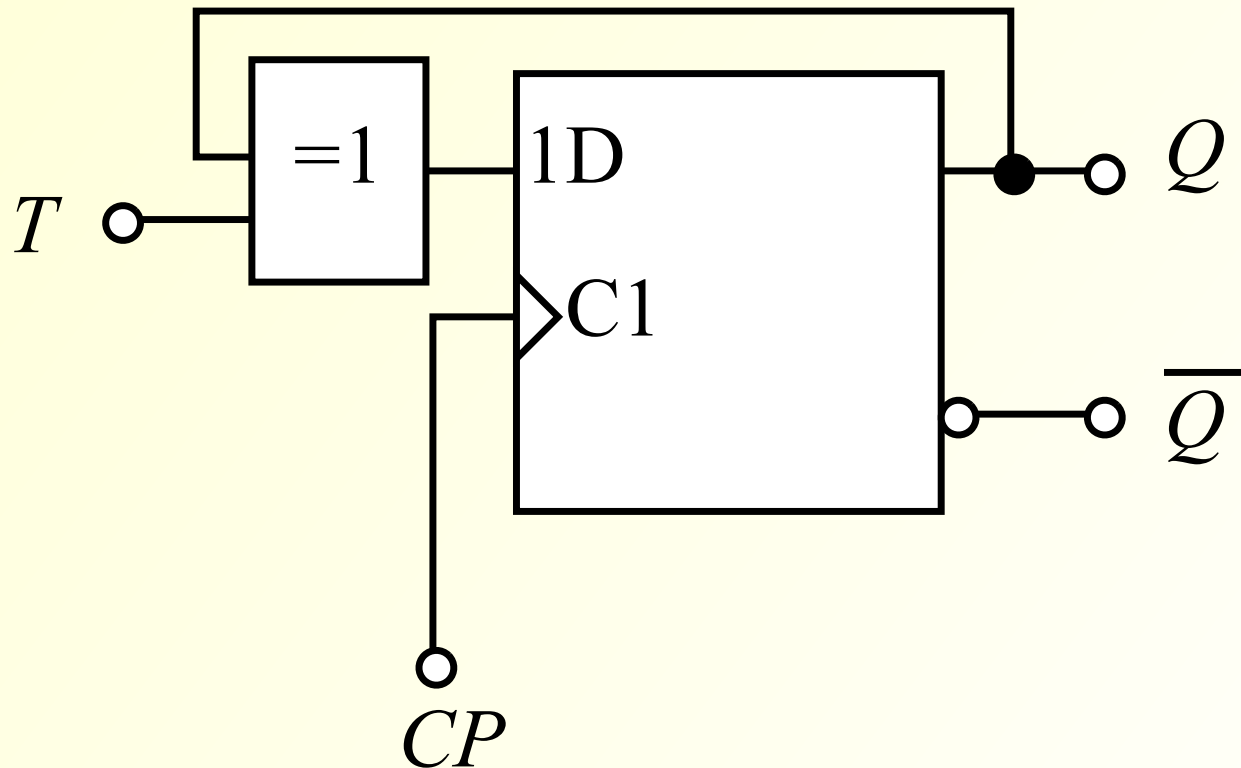


2.D触发器→T触发器

$$Q^{n+1} = D$$

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

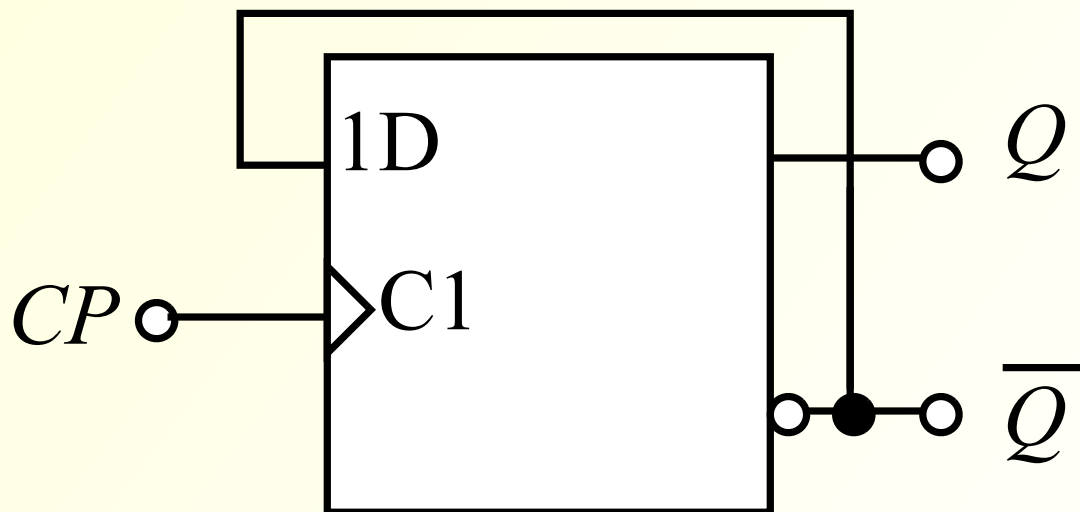
$$D = T \oplus Q^n$$



3.D触发器→T' 触发器

$$Q^{n+1} = D \quad Q^{n+1} = \overline{Q}^n = 1 \cdot \overline{Q}^n + \overline{1} \cdot Q^n$$

$$D = \overline{Q}^n$$



5.6.2 触发器的电路结构和逻辑功能、触发方式的关系

一、电路结构和逻辑功能

这就是说，触发器的电路结构和逻辑功能之间不存在固定的对应关系。用同一种电路结构形式可以接成不同逻辑功能的触发器;反过来说，同一种逻辑功能的触发器可以用不同的电路结构实现。

二、电路结构和触发方式

电路的触发方式是由电路的结构形式决定的，所以电路结构形式与触发方式之间有固定的对应关系。凡是采用同步SR结构的触发器，无论其逻辑功能如何，一定是电平触发方式;凡是采用主从SR结构的触发器，无论其逻辑功能如何，一定是脉冲触发方式;凡是采用两个电平触发D触发器结构、维持阻塞结构或者利用门电路传输延迟时间结构组成的触发器，无论其逻辑功能如何，一定是边沿触发方式。

本章小结 (1)

1. 触发器有两个基本性质：（1）在一定条件下，触发器可维持在两种稳定状态（0或1状态）之一而保持不变；（2）在一定的外加信号作用下，触发器可从一个稳定状态转变到另一个稳定状态。
2. 描写触发器逻辑功能的方法主要有特性表、特性方程、驱动表、状态转换图和波形图(又称时序图)等。
3. 按照结构不同，触发器可分为：
 - (1) 同步触发器，为电平触发方式。
 - (2) 主从触发器，为脉冲触发方式。
 - (3) 边沿触发器，为边沿触发方式。

本章小结 (2)

4. 根据逻辑功能的不同，触发器可分为：

(1) RS触发器 (2) JK触发器

(3) D触发器 (4) T触发器 (T'触发器)

5. 同一电路结构的触发器可以做成不同的逻辑功能；同一逻辑功能的触发器可以用不同的电路结构来实现。电路结构形式与触发方式之间有固定的对应关系。

6. 利用特性方程可实现不同功能触发器间逻辑功能的相互转换。

