



Institut Supérieur des Etudes Technologiques de Nabeul  
Département Technologies de l'Informatique

*Support de cours*

# CIRCUITS NUMÉRIQUES

Niveau : SEM-2

*Elaboré par*

***Azzouna Ahmed***

---

*Année Universitaire 2019 – 2020*

---

# SECTION 1 :

## RAPPEL SUR LES SYSTÈMES COMBINATOIRES ET SÉQUENTIELS

# LES CIRCUITS COMBINATOIRES

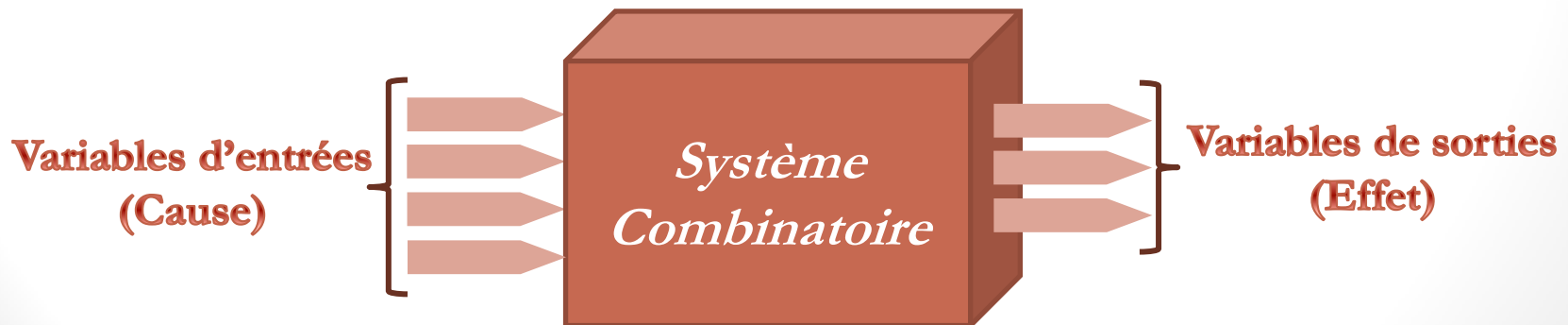
---

## *Définition*

Un circuit est dit combinatoire lorsque ses sorties ne dépendent que de ses entrées et non pas des états antérieurs.

A chaque combinaison des variables d'entrées ne correspond toujours qu'une seule combinaison des variables de sorties ; cette combinaison est toujours la même.

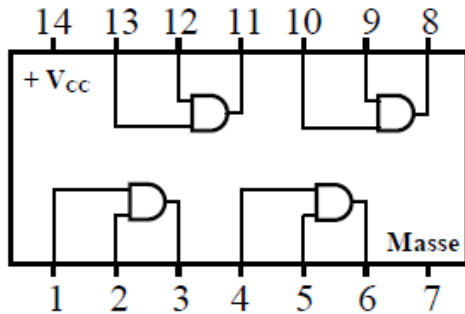
*On dit qu'il n'y a pas bouclage des sorties vers les entrées.*



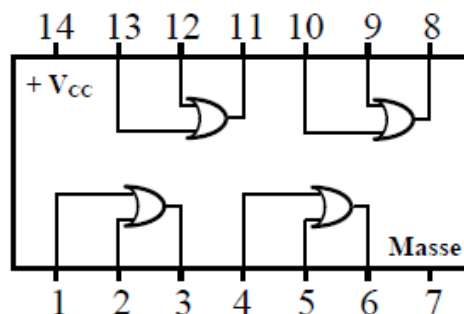
# LES CIRCUITS COMBINATOIRES

## *Les Portes Logiques*

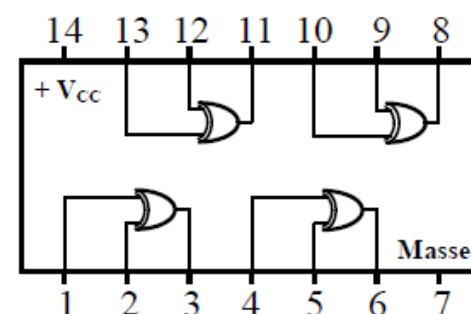
Ce sont les circuits intégrés qui contiennent un ensemble de portes logiques



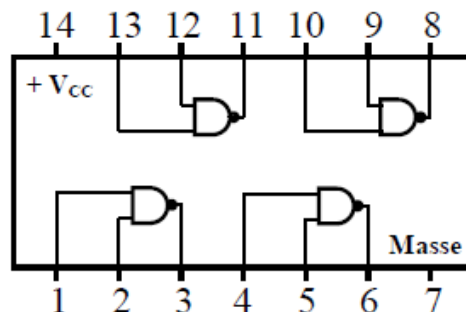
Le circuit TTL 7408



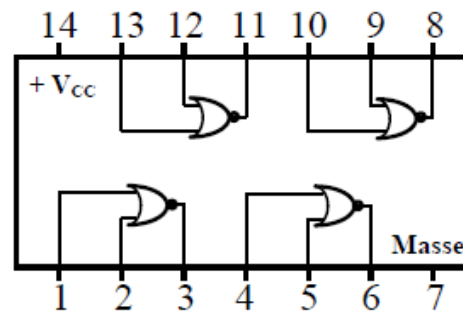
Le circuit TTL 7432



Le circuit TTL 7486



Le circuit TTL 7400



Le circuit TTL 7402 et 7428

# LES CIRCUITS COMBINATOIRES : TRANSCODAGE

---

## *Définition*

Les transcodeurs sont des circuits qui transforment une information présente à leurs entrées sous forme donnée (**code1**) en la même information présente à leur sortie sous une forme différente (**code2**).

Trois types de transcodeurs peuvent être rencontrés :

- **Les codeurs** : Ces circuits possèdent  $2^n$  entrées et  $n$  sorties.
- **Les décodeurs** : Ces circuits possèdent  $n$  entrées et  $2^n$  sorties.
- **Les convertisseurs de code** ou encore **transcodeurs** : Ces circuits possèdent  $p$  entrées et  $k$  sorties.

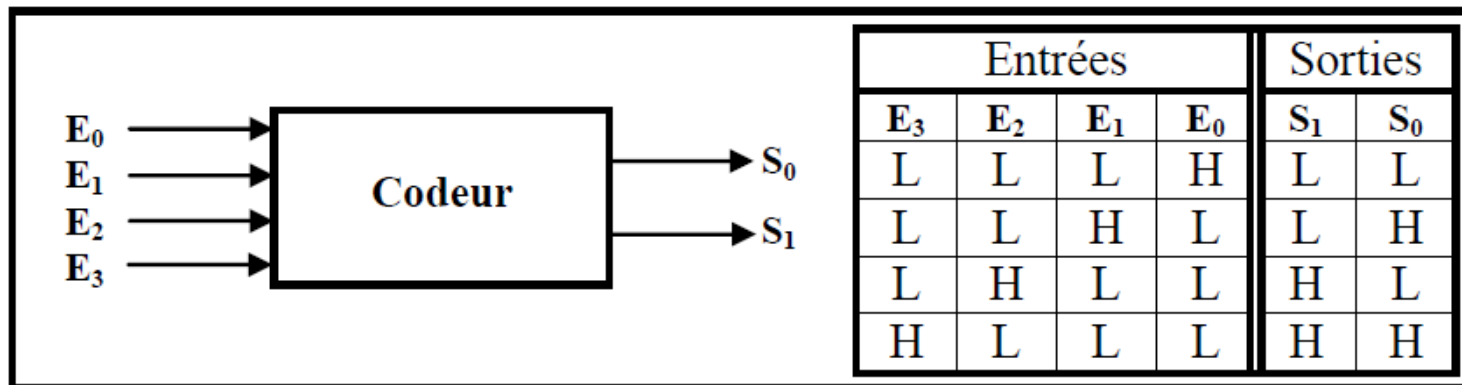
### **Remarque :**

*Ces circuits peuvent posséder des entrées et/ou des sorties additionnelles qui s'appellent : entrées ou sorties de validation.*

# LES CIRCUITS COMBINATOIRES : TRANSCODAGE

## *Les Codeurs (Principe)*

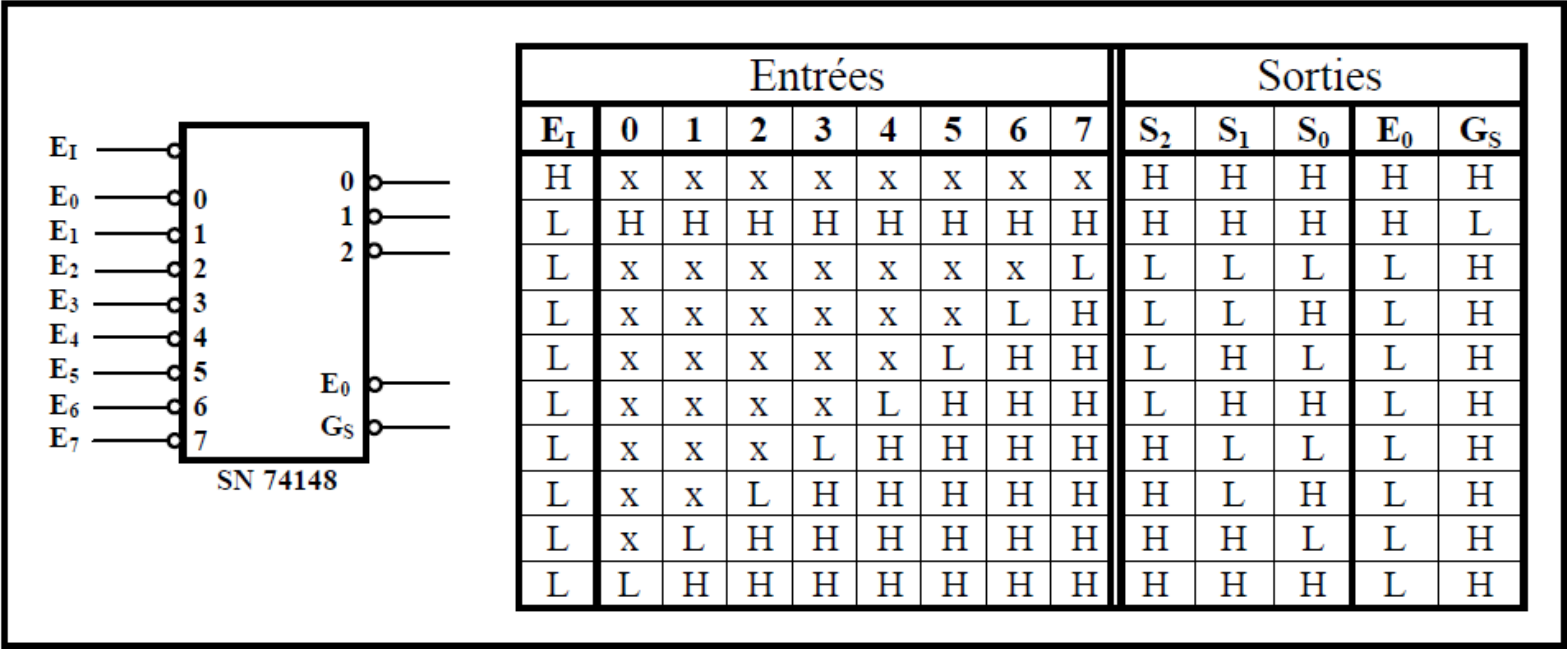
Le **codeur** code en binaire le **numéro décimal** de l'entrée active. Le principe de fonctionnement d'un **codeur** à  $2^2$  entrées et 2 sorties est donné par la figure suivante :



# LES CIRCUITS COMBINATOIRES : TRANSCODAGE

## *Les Codeurs (Exemple : le SN 74148)*

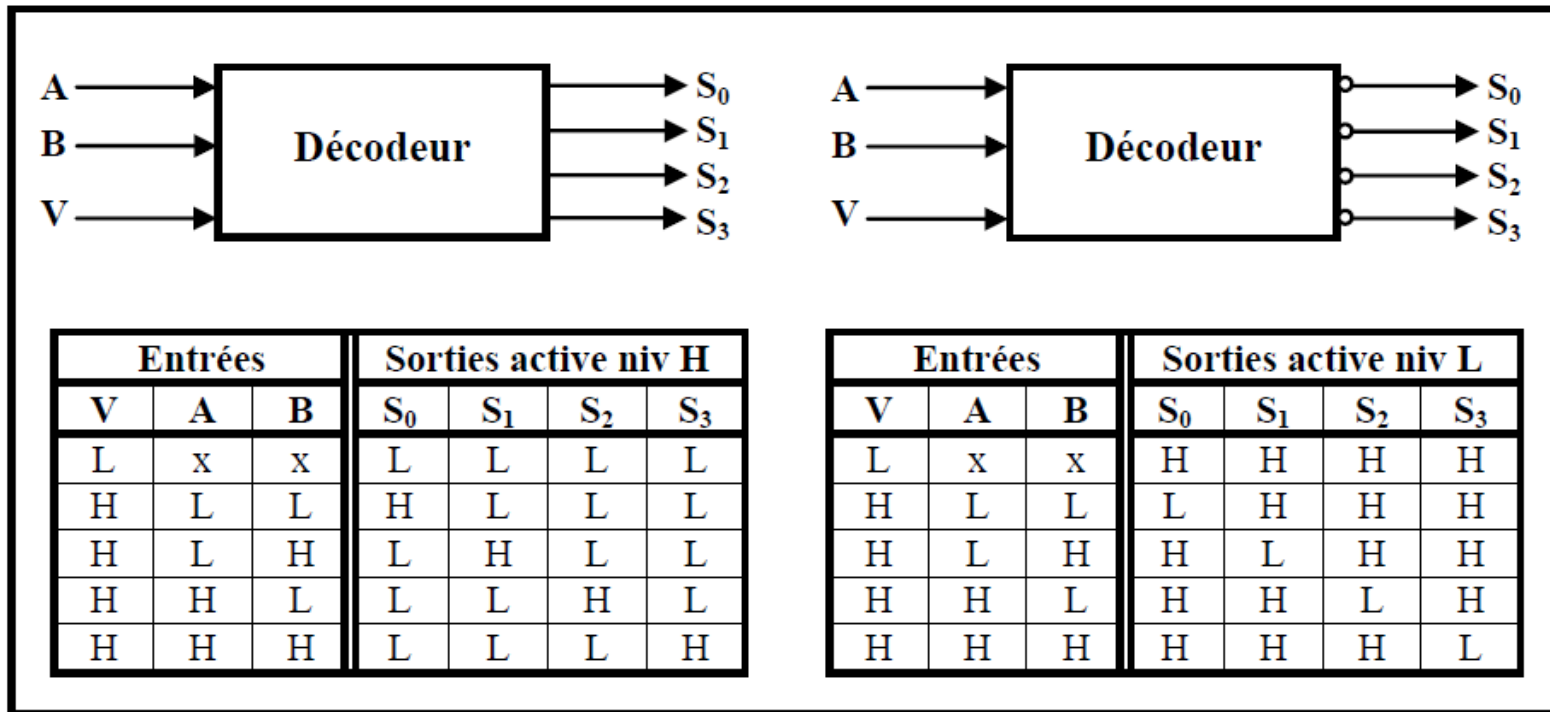
C'est un **codeur de priorité**. Il possède **8 entrées** (0, 1, 2, 3, 4, 5, 6, 7) et **3 sorties** ( $S_0$ ,  $S_1$ ,  $S_2$ ) qui codent en binaire l'**indice de l'entrée active** ou l'indice **le plus élevé** si plusieurs entrées sont activées. Les entrées et les sorties sont **actives au niveau bas (L)**. En plus, il possède une **entrée de validation** ( $E_I$ ) et deux **sorties de validation** ( $E_O$ ,  $G_S$ ) pour la mise en **cascade** de plusieurs circuits lors de l'extension à plus de 8 entrées.



# LES CIRCUITS COMBINATOIRES : TRANSCODAGE

## *Les Décodeurs (Principe)*

Le principe de fonctionnement d'un **décodeur** à 2 entrées et  $2^2$  sorties est donné par la figure suivante :

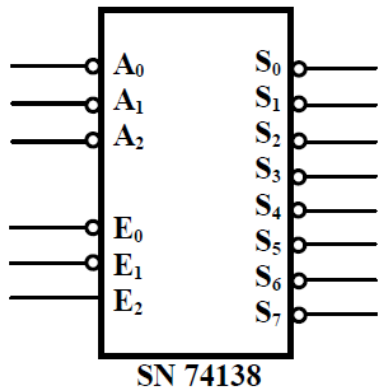




# LES CIRCUITS COMBINATOIRES : TRANSCODAGE

## *Les Décodeurs (Exemple : le SN 74138)*

Ce boîtier est un **décodeur 1 parmi 8**. Il possède **3 entrées de données** ( $A_0, A_1, A_2$ ), **3 entrées de validation** ( $E_0, E_1, E_2$ ), et **8 sorties actives au niveau bas** ( $S_0, S_1, S_2, S_3, S_4, S_5, S_6, S_7$ ).



Validation			Entrées			Sorties							
$E_0$	$E_1$	$E_2$	$A_0$	$A_1$	$A_2$	$S_7$	$S_6$	$S_5$	$S_4$	$S_3$	$S_2$	$S_1$	$S_0$
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L
X	X	L	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
H	X	X	X	X	X	H	H	H	H	H	H	H	H

# LES CIRCUITS COMBINATOIRES : TRANSCODAGE

---

## *Les Convertisseurs de Code*

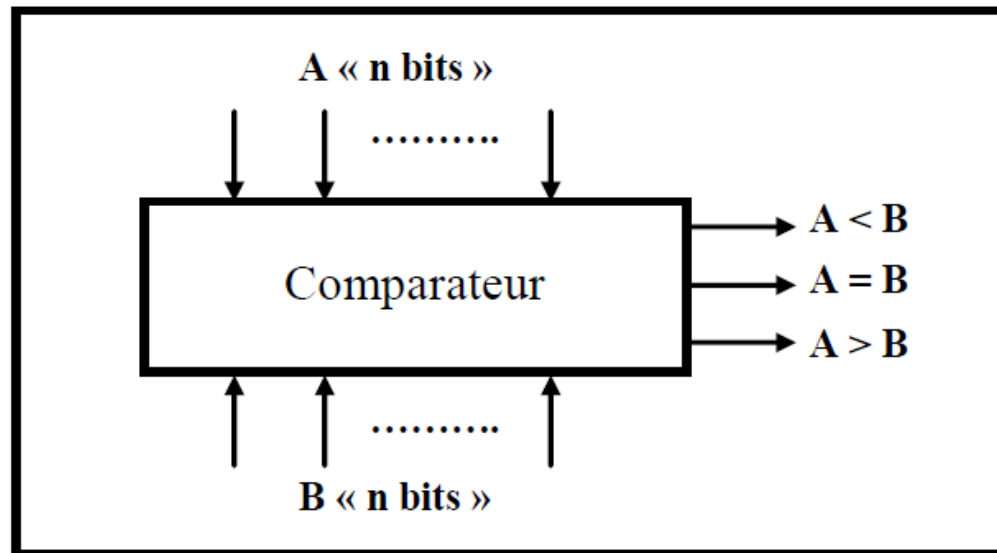
### *Présentations commercialisées :*

- Le convertisseur décimal – binaire : **SN 74147**
- Le convertisseur binaire – décimal : **SN 7442** et **SN 7445**
- Le convertisseur excédant 3 – décimal : **SN 7443**
- Le convertisseur Gray – décimal : **SN 7444**
- Le convertisseur DCB – 7 segments : **SN 7448**

# LES CIRCUITS COMBINATOIRES : COMPARAISON

## *Définition*

Le **comparateur binaire** est un circuit qui **compare deux mots binaires** de « **n** » bits chacun en indiquant sur ses sorties si le premier mot binaire **est plus grand** que le second, si le premier mot binaire **est plus petit** que le second, ou si les deux mots **sont égaux** :



# LES CIRCUITS COMBINATOIRES : COMPARAISON

## *Le SN 7485*

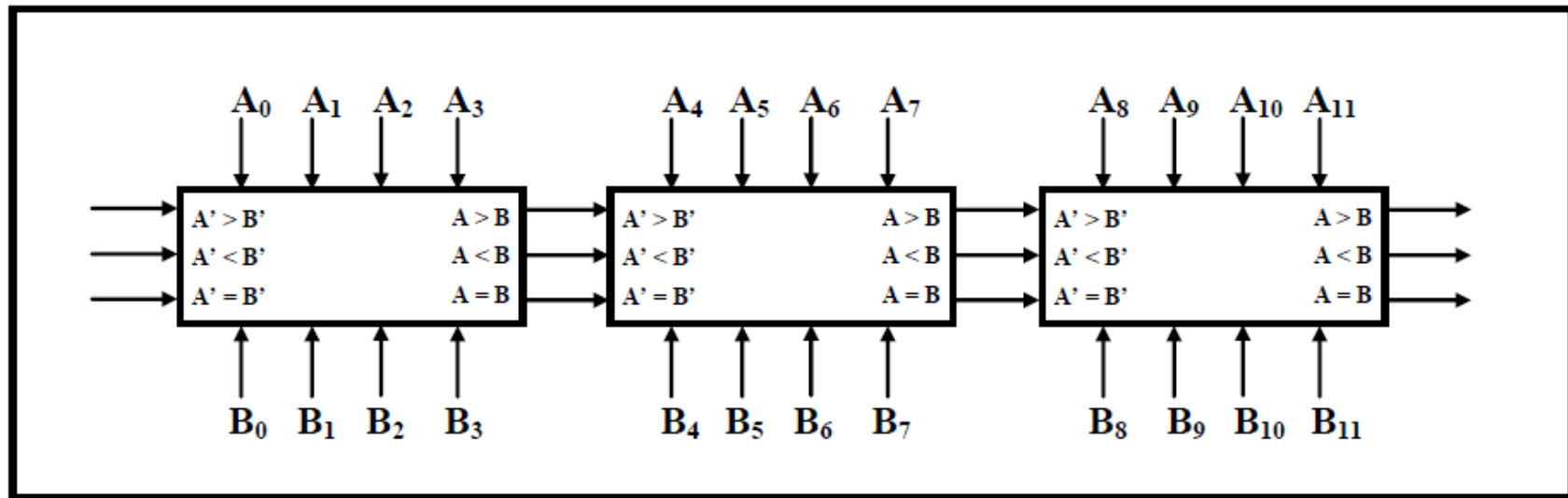
C'est un comparateur de deux mots sur quatre bits

Entrées de comparaison				Entrées de cascade			Sorties		
$A_3, B_3$	$A_2, B_2$	$A_1, B_1$	$A_0, B_0$	$A > B$	$A < B$	$A = B$	$A > B$	$A < B$	$A = B$
$A_3 > B_3$	X	X	X	X	X	X	H	L	L
$A_3 < B_3$	X	X	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 > B_2$	X	X	X	X	X	H	L	L
$A_3 = B_3$	$A_2 < B_2$	X	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 > B_1$	X	X	X	X	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 < B_1$	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 > B_0$	X	X	X	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 < B_0$	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	H	L	L	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	H	L	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	L	H	H	L	H
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	X	X	H	L	L	H
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	H	H	L	L	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	L	L	H	H	L

# LES CIRCUITS COMBINATOIRES : COMPARAISON

*Le SN 7485*

*Exemple* : comparaison de 2 mots binaires de 12 bits à partir de 3 comparateurs de 4 bits.

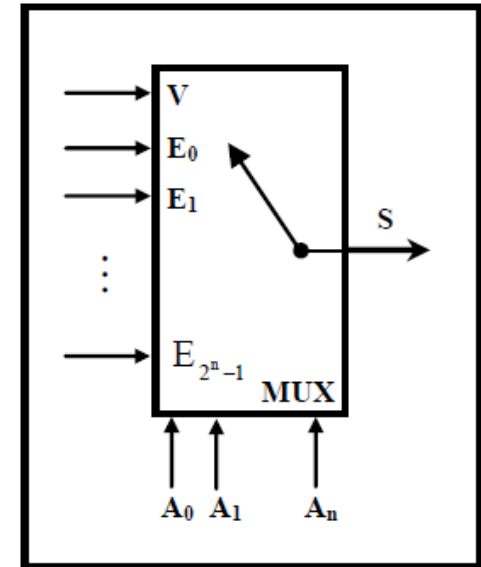


# LES CIRCUITS COMBINATOIRES : AIGUILLAGE

## *Les Multiplexeurs (MUX)*

Un multiplexeur (sélecteur de données) est un circuit logique qui possède  $2^N$  entrées d'information ( $E_1, \dots, E_N$ ),  $N$  entrées d'adresses (appelées aussi de sélection) et une seule sortie (commutateur numérique commandé).

Le rôle d'un tel multiplexeur est d'aiguiller (verrouiller), l'entrée sélectionnée par son adresse vers la sortie unique.



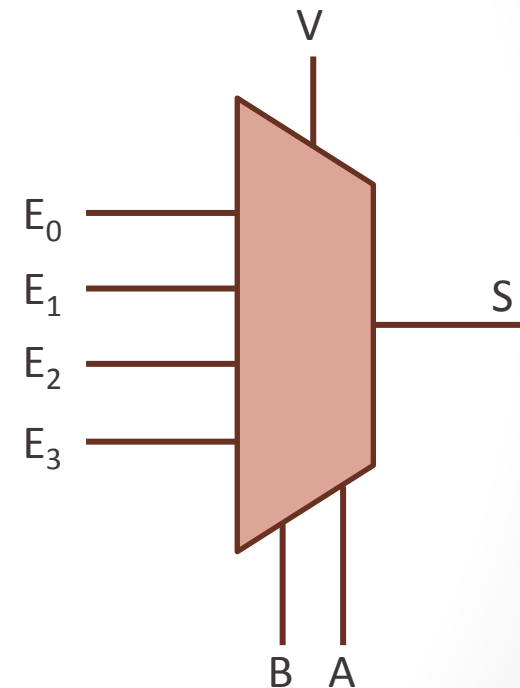
En outre le circuit de multiplexage peut être muni par une entrée **additionnelle de validation** « V » qui **permet** ou non l'**autorisation** au multiplexeur à délivrer sur sa sortie l'entrée adressée.

# LES CIRCUITS COMBINATOIRES : AIGUILLAGE

## *Les Multiplexeurs (MUX)*

**Exemple :** Multiplexeur 4 vers 1 (*avec entrée de validation*)

Validation	Adresse		Sortie
V	B	A	S
0	x	x	0
1	0	0	E <sub>0</sub>
1	0	1	E <sub>1</sub>
1	1	0	E <sub>2</sub>
1	1	1	E <sub>3</sub>



$$S = V.(\overline{A}.\overline{B}.E_0 + A.\overline{B}.E_1 + \overline{A}.B.E_2 + A.B.E_3)$$

# LES CIRCUITS COMBINATOIRES : AIGUILLAGE

---

## *Les Multiplexeurs (MUX)*

### *Présentations commercialisées :*

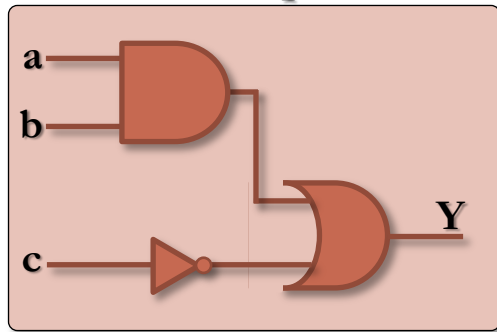
- **Le SN 74151** : ce boîtier est un **multiplexeur** qui possède **8 entrées de données**, **3 lignes d'adresses**, **1 entrée de validation active au niveau bas** et **1 sortie** muni de son complément.
- **Le SN 74150** : ce boîtier est un **multiplexeur** qui possède **16 entrées de données**, **4 lignes d'adresses**, **1 entrée de validation** et **1 sortie active au niveau bas**.
- **Le SN 74157** : ce boîtier est un **double multiplexeur** qui possède **2x4 entrées de données**, **2 lignes d'adresses**, **2 entrées de validation actives au niveau bas** et **2 sorties**.



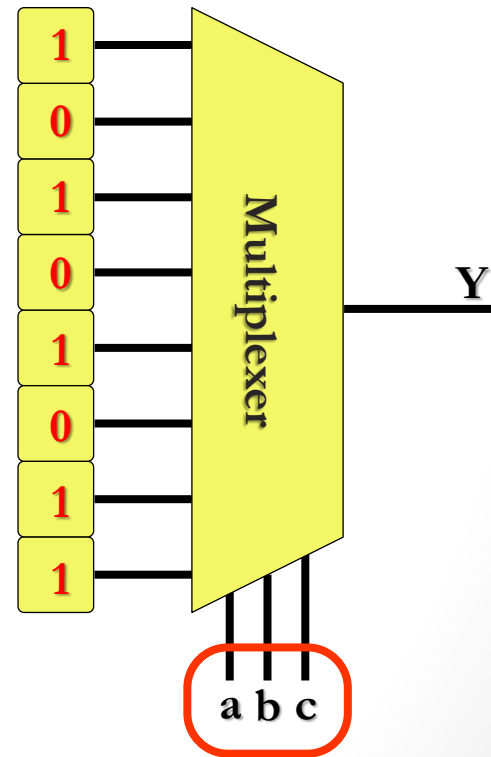
# LES CIRCUITS COMBINATOIRES : AIGUILLAGE

## *Les Multiplexeurs (MUX)*

Exemple



a	b	c	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

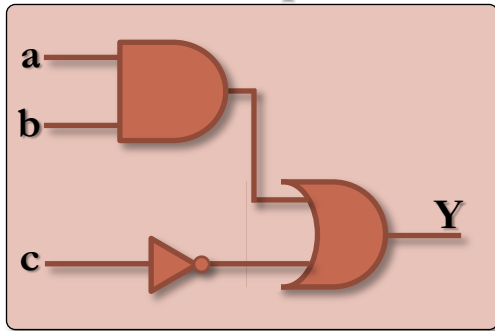


$$Y = \bar{a} \cdot \bar{b} \cdot \bar{c} + \bar{a} \cdot b \cdot \bar{c} + a \cdot \bar{b} \cdot \bar{c} + a \cdot b \cdot \bar{c} + a \cdot b \cdot c$$

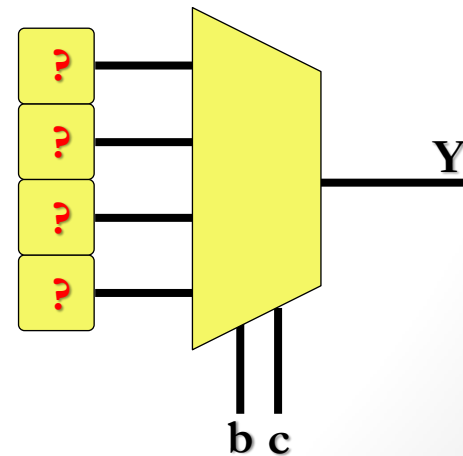
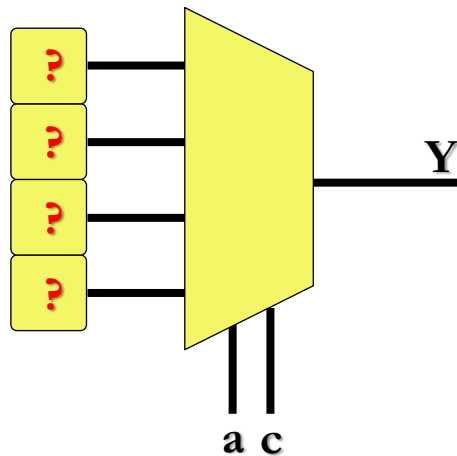
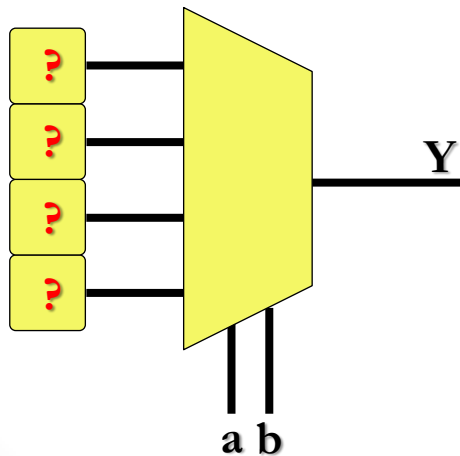
# LES CIRCUITS COMBINATOIRES : AIGUILLAGE

## *Les Multiplexeurs (MUX)*

Exemple



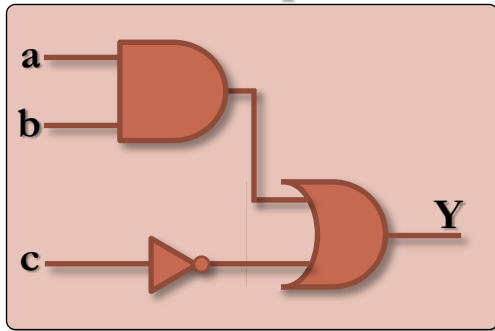
a	b	c	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1



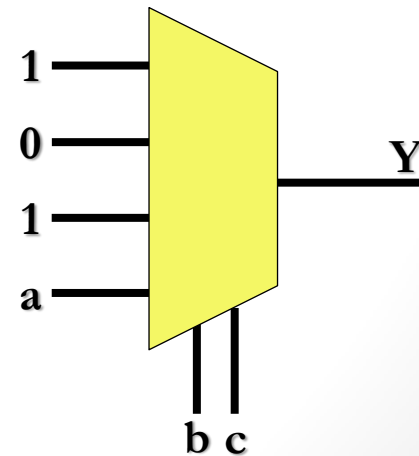
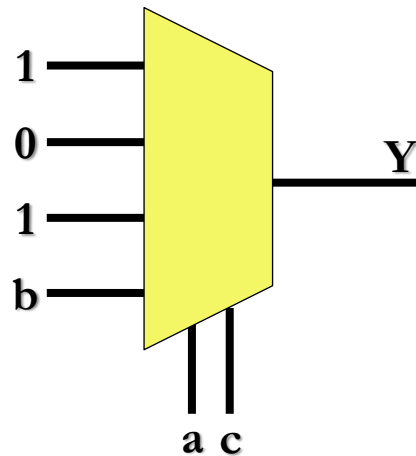
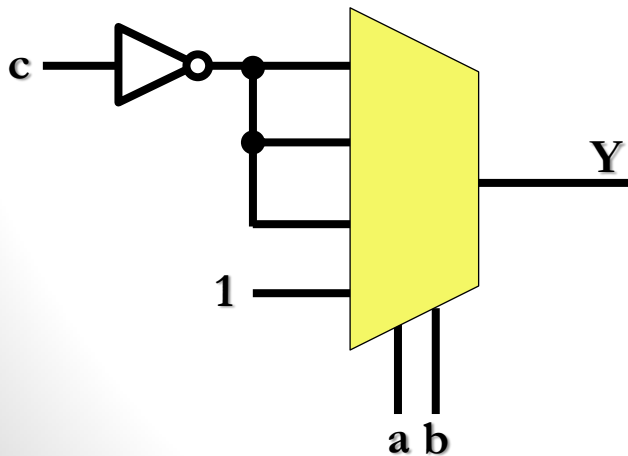
# LES CIRCUITS COMBINATOIRES : AIGUILLAGE

## *Les Multiplexeurs (MUX)*

Exemple



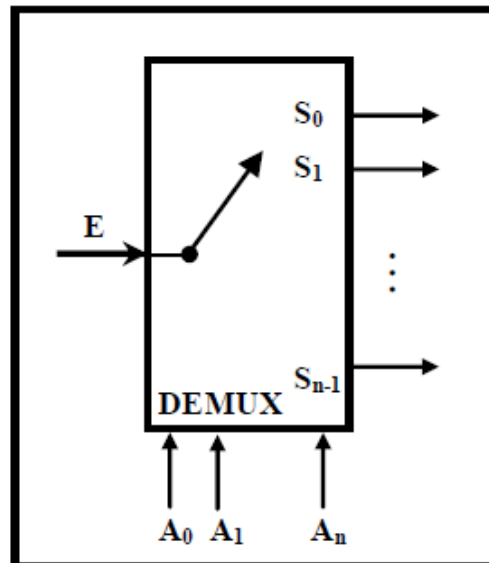
a	b	c	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1



# LES CIRCUITS COMBINATOIRES : AIGUILLAGE

## *Les Démultiplexeurs (DEMUX)*

Un démultiplexeur (distributeur de données) est un circuit logique qui effectue l'opération inverse d'un multiplexeur, c-à-d qu'il aiguille une information binaire, présente sur sa voie unique d'entrée, vers une des voies de sortie sélectionnée par l'intermédiaire des commandes d'adressage.



# LES CIRCUITS SÉQUENTIELS

---

## *Définition*

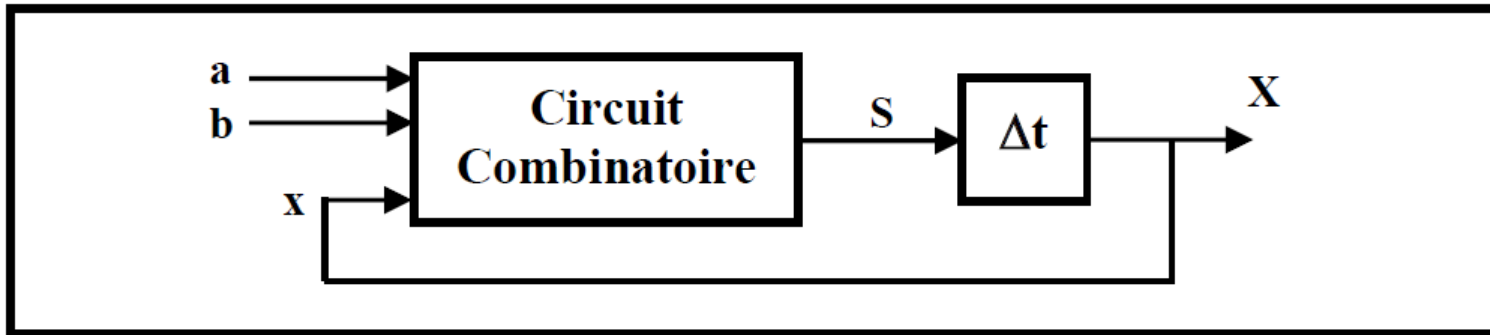
Un circuit est dit séquentiel lorsque ses sorties dépendent de ses entrées et du temps (des états antérieurs des sorties) :



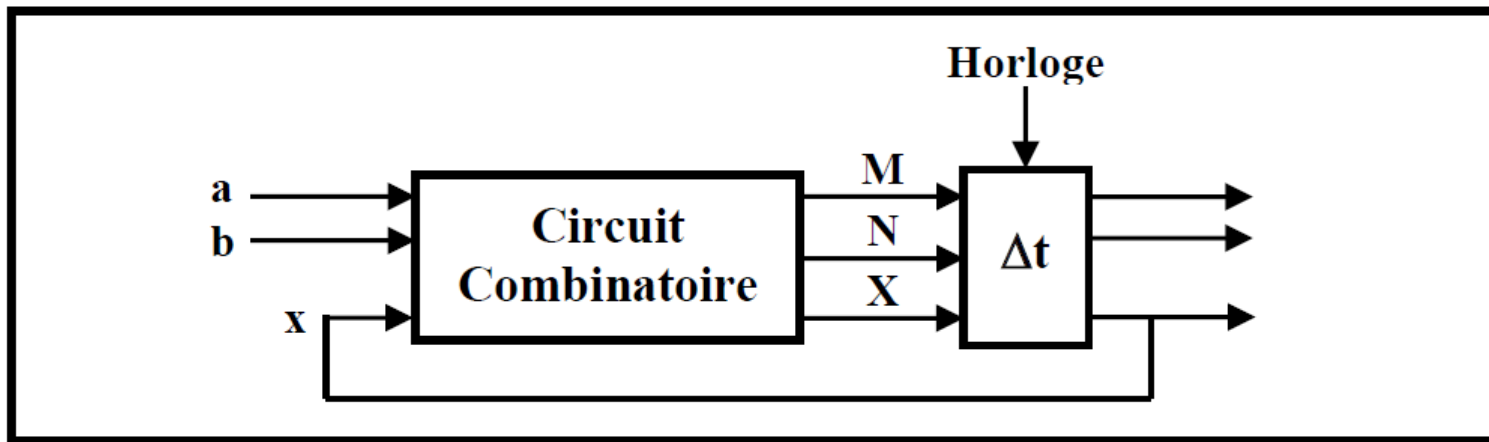
# LES CIRCUITS SÉQUENTIELS

## *Définition*

### Circuit Séquentiel Asynchrone



### Circuit Séquentiel Synchrone



# LES CIRCUITS SÉQUENTIELS : LES BASCULES

---

## *Définition*

Les bascules ou bistables sont les éléments de base de la logique séquentielle. Elles se caractérisent par deux états stables possibles, c'est pourquoi elles s'appellent bistables.

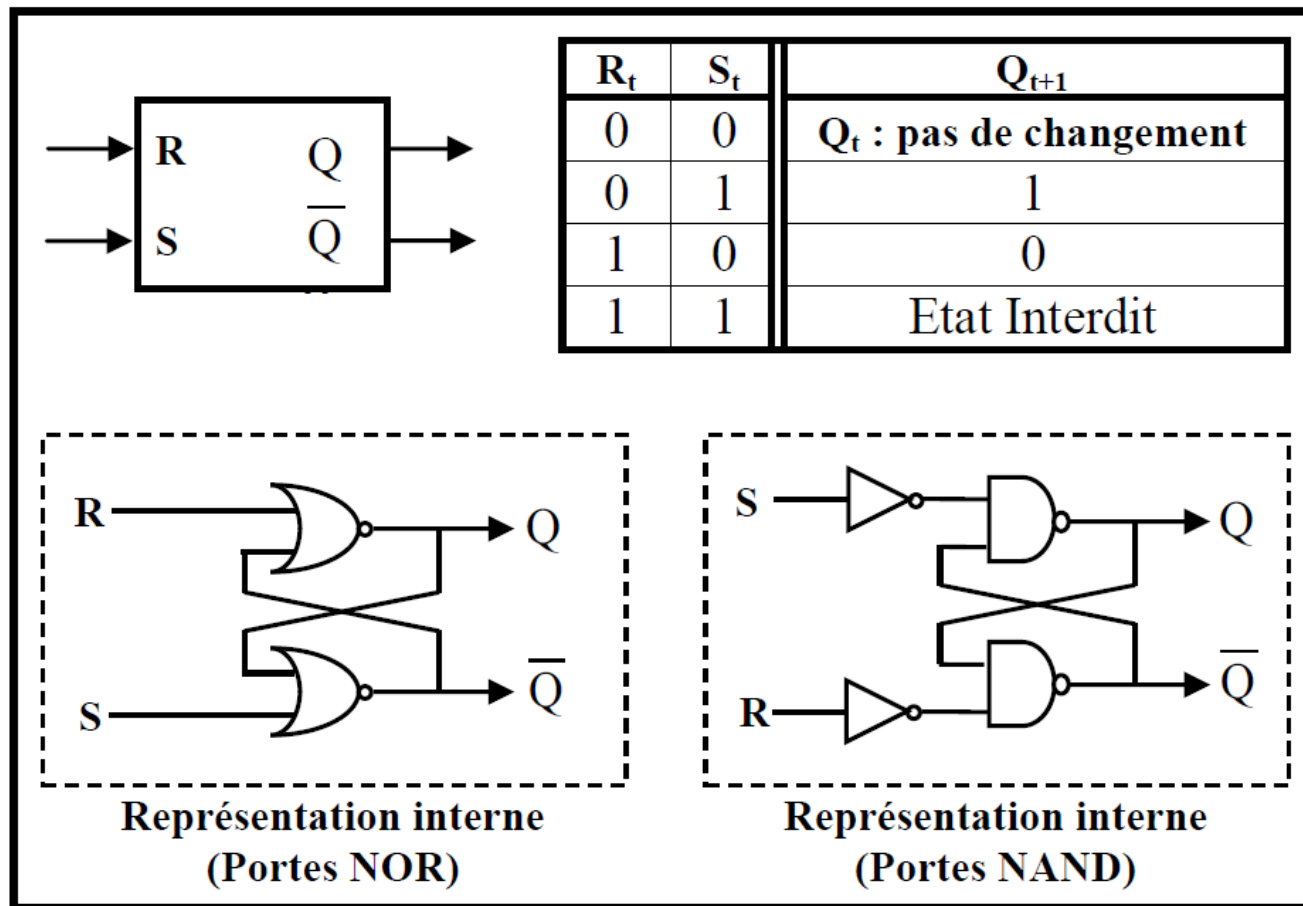
Le fonctionnement de ces bascules peut être :

- **Asynchrone** : la sortie de la bascule change d'état uniquement en fonction des grandeurs d'entrées ;
- **Synchrone** : le changement d'état de la bascule est conditionné par une autorisation donnée par un signal de synchronisation appelé aussi signal d'horloge.

# LES CIRCUITS SÉQUENTIELS : LES BASCULES

## *La Bascule Asynchrone RS (Reset Set)*

La bascule RS est la seule bascule asynchrone qui existe,

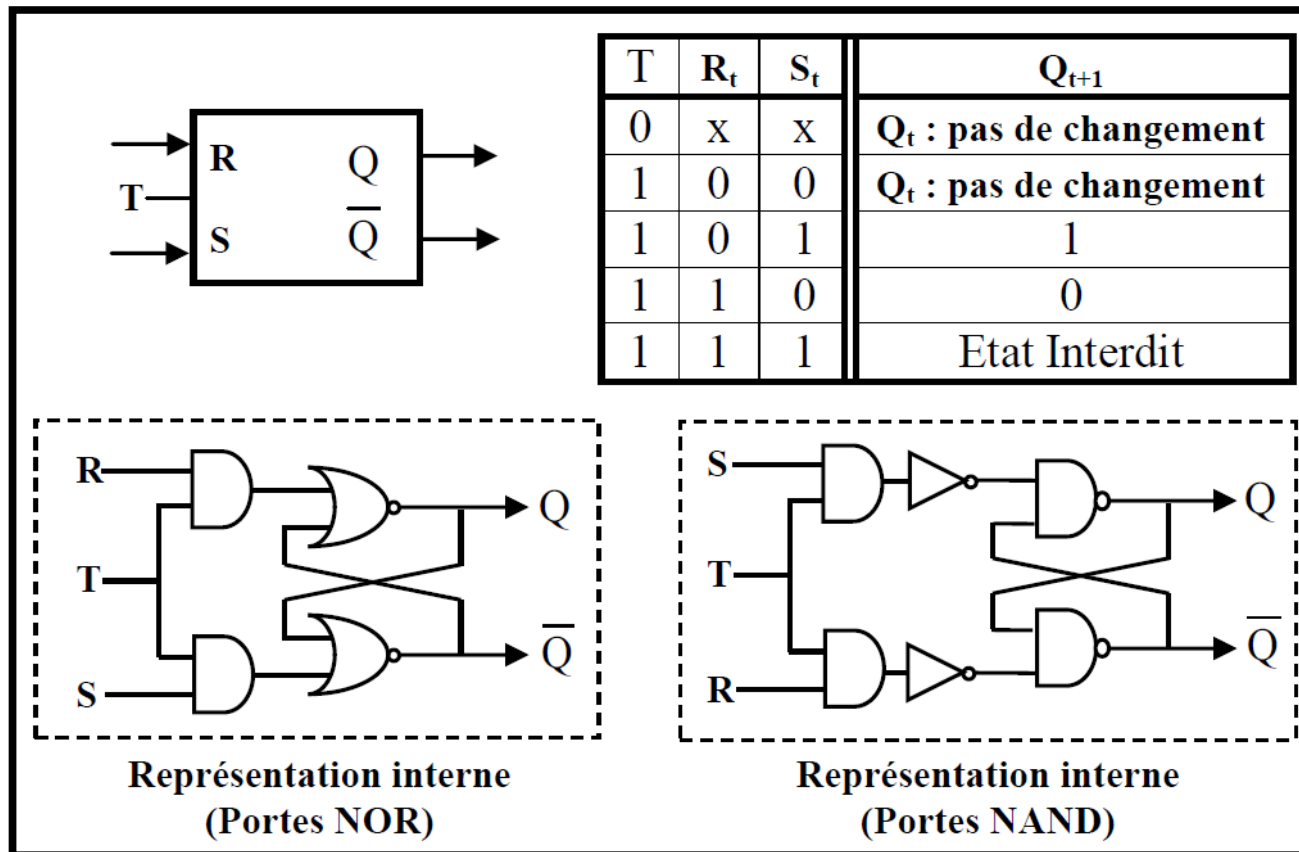




# LES CIRCUITS SÉQUENTIELS : LES BASCULES

## *La Bascule Synchrone RST*

La bascule RST, appelée encore bascule RS synchronisée, est synchronisée par le niveau haut d'une horloge T.



# LES CIRCUITS SÉQUENTIELS : LES BASCULES

---

## *La Bascule Synchrone D*

Cette bascule ne charge et ne conserve que la valeur D présente au moment de l'activation du signal de synchronisation.

Ce signal de synchronisation peut être actif soit :

- **Sur un niveau** : La bascule est dite « **D Latch** ».
- **Sur un front** : La bascule est dite « **D Edge Triggered** ».

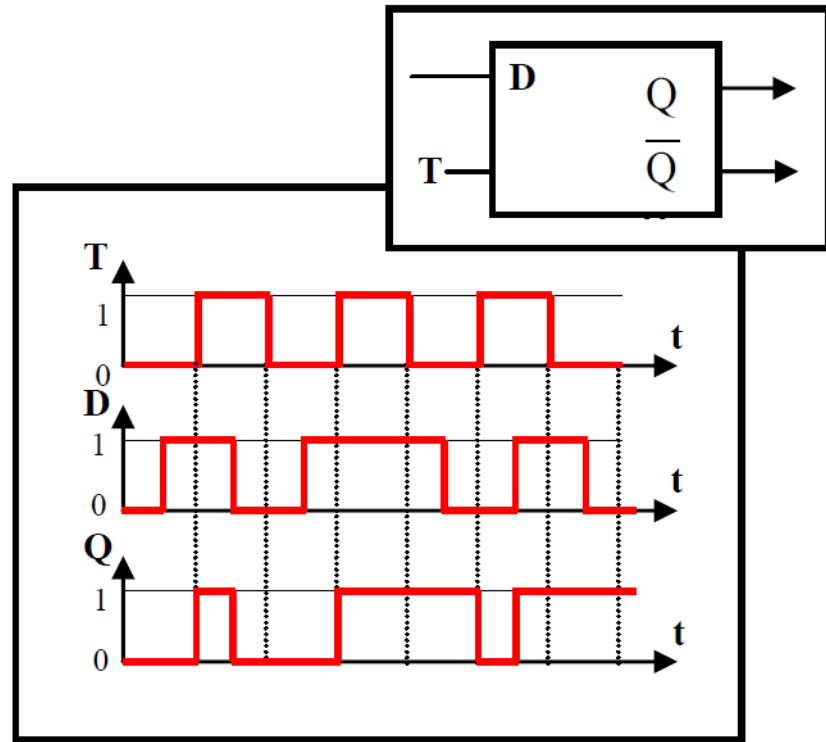
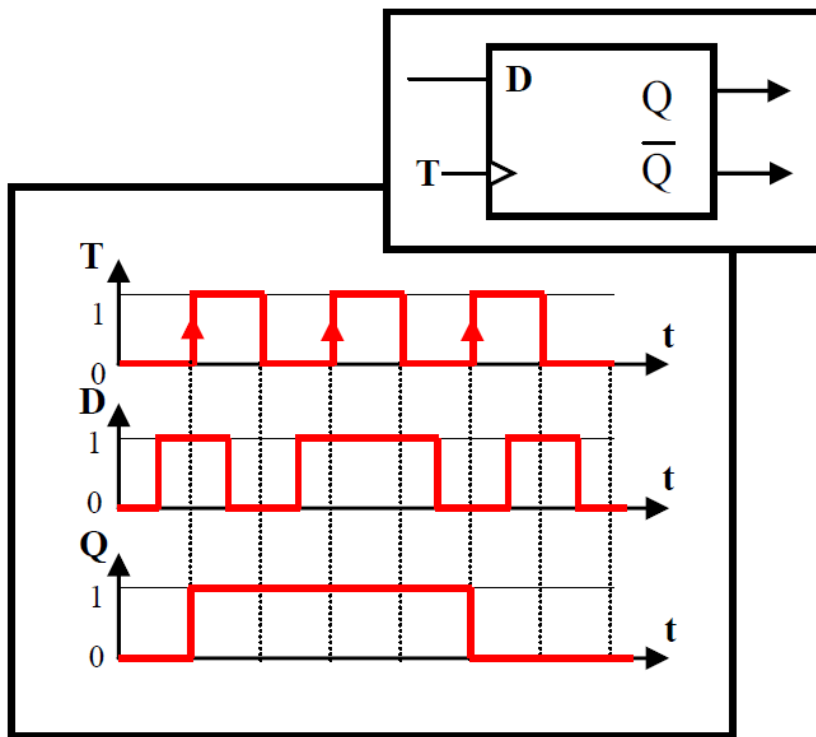
Le mode de fonctionnement de ce type de bascule varie selon le signal de synchronisation :

- Le signal de synchronisation est actif : La sortie recopie l'entrée D.
- Le signal de synchronisation n'est pas actif : La sortie ne change pas. *C'est la fonction mémoire.*

# LES CIRCUITS SÉQUENTIELS : LES BASCULES

## *La Bascule Synchrone D*

Le fonctionnement d'une bascule D :

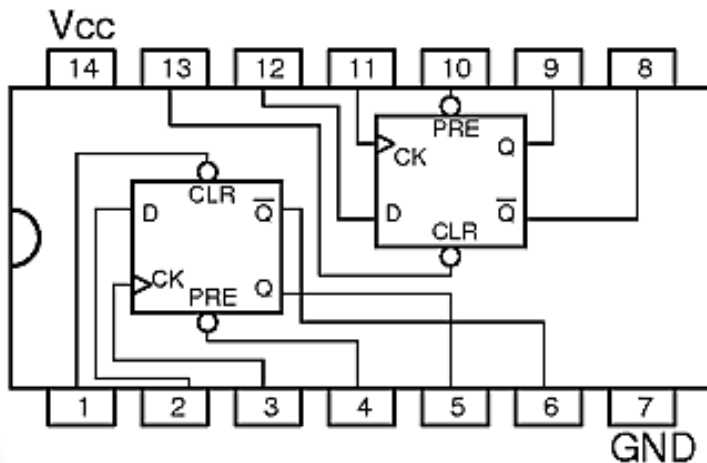


# LES CIRCUITS SÉQUENTIELS : LES BASCULES

## *La Bascule Synchrones D*

### La bascule D en circuit intégré : Le 7474

La bascule intégrée **7474** (**deux par boîtier**) est conçu autour des portes **NAND** à **trois entrées** permettant de rajouter deux fonctions appelées « **Set (PRESET : Mise à 1)** » et « **Reset (CLEAR : remise à 0)** ». Ces deux dernières fonctions agissent par **impulsion négative** (actives au niveau Bas).

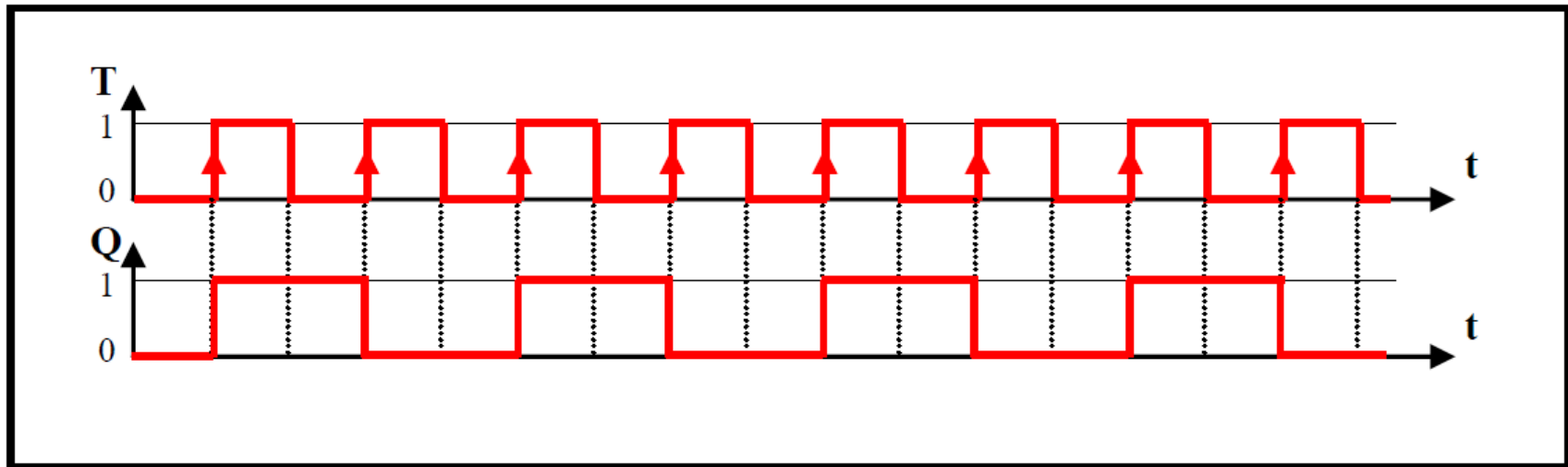


Inputs				Outputs	
PR	CL	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q	$\overline{Q}$

# LES CIRCUITS SÉQUENTIELS : LES BASCULES

## *La Bascule Synchrone T*

Cette bascule dispose d'une commande T. Elle change d'état à chaque impulsion de la commande.



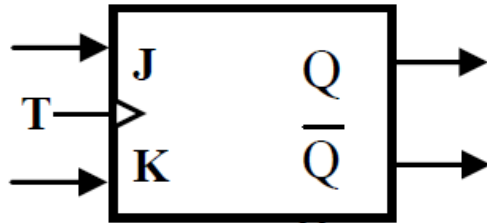
Lorsque le signal de commande est périodique de période  $T$  (fréquence  $F$ ), le signal de sortie est également un signal périodique de période  $T' = 2T$  (fréquence  $F' = F/2$ ).

*⇒ une **division par deux** de la **fréquence d'entrée**.*

# LES CIRCUITS SÉQUENTIELS : LES BASCULES

## *La Bascule Synchrone JK*

C'est une bascule qui dispose de deux entrées, appelées respectivement J et K.

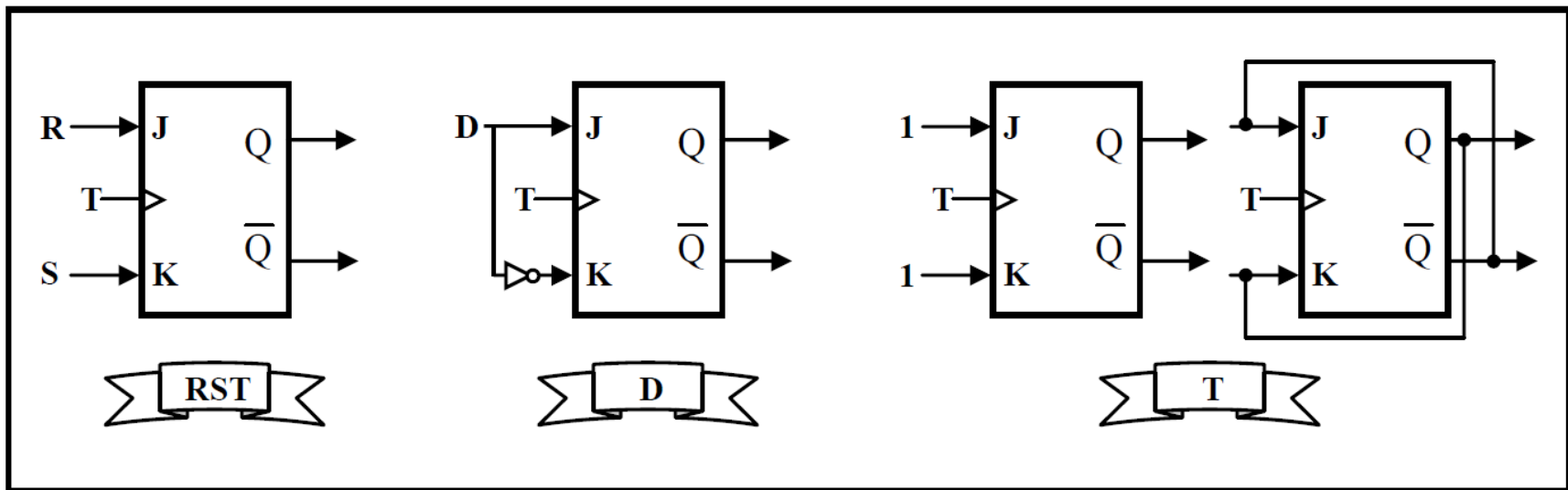


T	J	K	$Q_{t+1}$
↑	0	0	$Q_t$ : Fonction mémoire
↑	0	1	0 : Mise à 0
↑	1	0	1 : Mise à 1
↑	1	1	$\overline{Q_t}$ : Fonction de type T

# LES CIRCUITS SÉQUENTIELS : LES BASCULES

## *La Bascule Synchrone JK*

La bascule JK peut substituer n'importe qu'elle autre bascule synchrone :



- Bascule RST:  $J = S$  et  $K = R$  avec  $J = K = 1$  est interdit ;
- Bascule D :  $J = \bar{K} = D$  ;
- Bascule T :  $J = K = 1$  ou  $J = \bar{Q}$  et  $K = Q$ .