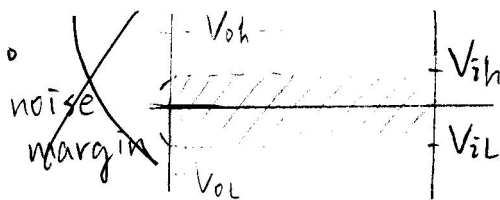


1. A. 一個 gate 對外來雜訊 (外來電壓變化)

的容忍度。



B. 訊號變化通過此 gate 所花費的時間。

$$t_{pd} = \max \{ t_{PHL}, t_{PLH} \}$$

C. 一個 Flip-Flop 接受 input 之後, 將 output set 成 input 時所需要 input 維持不變的時間。

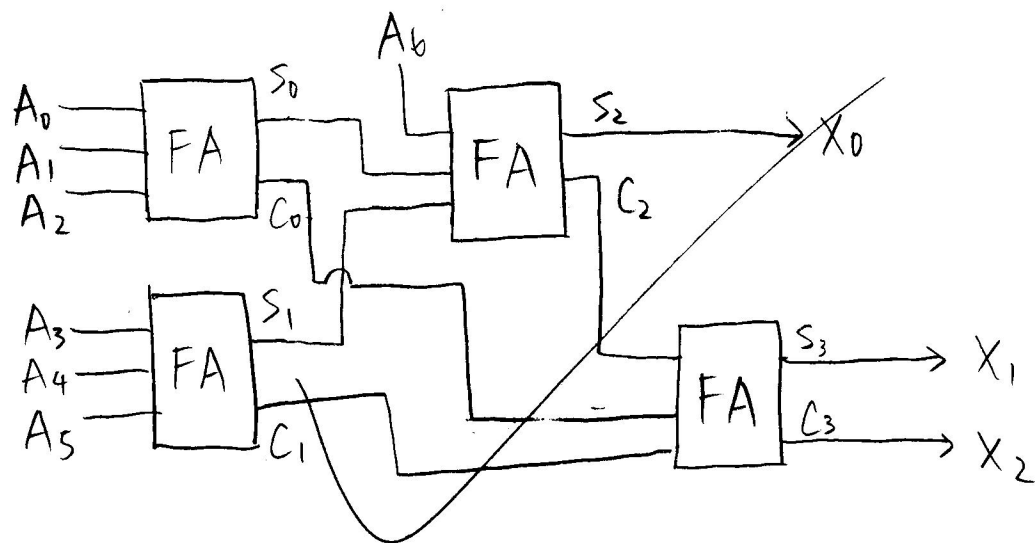
D. 一個大的 Module 可以由很多小的 module 設計組合而成, 而這些小的 module 是已經設計好的, 不需要去了解內部構造或重新 design。

2.

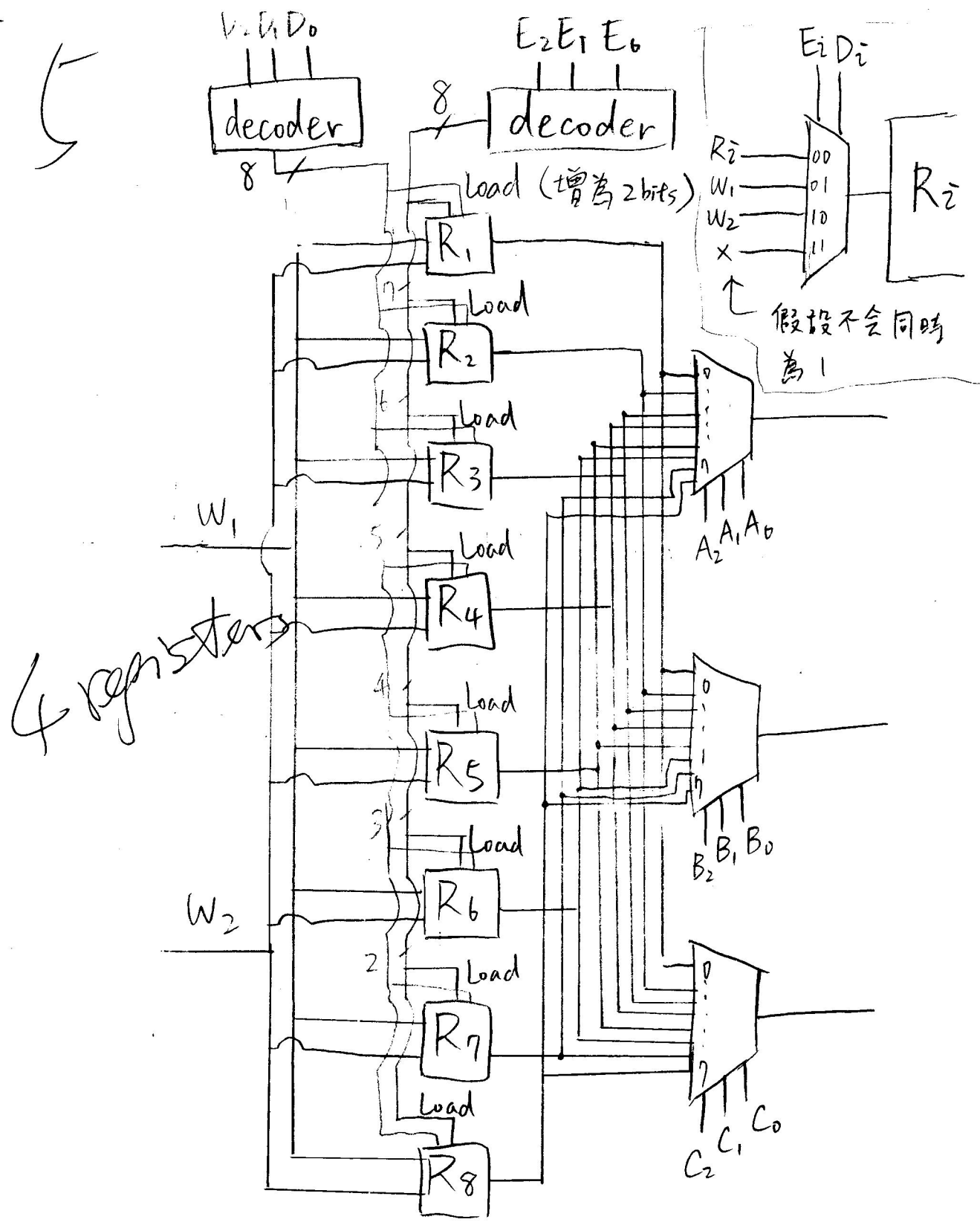
A_1	A_0	C_{in}	Count	S
0	0	0	0	$0 \rightarrow 0$
0	0	1	0	$1 \rightarrow 1$
0	1	0	0	$1 \rightarrow 1$
0	1	1	1	$0 \rightarrow 2$
1	0	0	0	$1 \rightarrow 1$
1	0	1	1	$0 \rightarrow 2$
1	1	0	1	$0 \rightarrow 2$
1	1	1	1	$1 \rightarrow 3$

2^1
 2^0

/ 0



3.



4. $R_a \leftarrow R_1, R_b \leftarrow R_2$

$R_a \leftarrow R_1, R_b \leftarrow R_3$

$R_a \leftarrow R_1, R_b \leftarrow R_4$

$R_a \leftarrow R_2, R_b \leftarrow R_2$

$R_a \leftarrow R_2, R_b \leftarrow R_3$

$R_a \leftarrow R_2, R_b \leftarrow R_4$

$R_a \leftarrow R_3, R_b \leftarrow R_2$

$R_a \leftarrow R_3, R_b \leftarrow R_3$

$R_a \leftarrow R_3, R_b \leftarrow R_4$

$R_a \leftarrow R_a, R_b \leftarrow R_2$

$R_a \leftarrow R_a, R_b \leftarrow R_3$

$R_a \leftarrow R_a, R_b \leftarrow R_4$

$R_a \leftarrow R_b, R_b \leftarrow R_2$

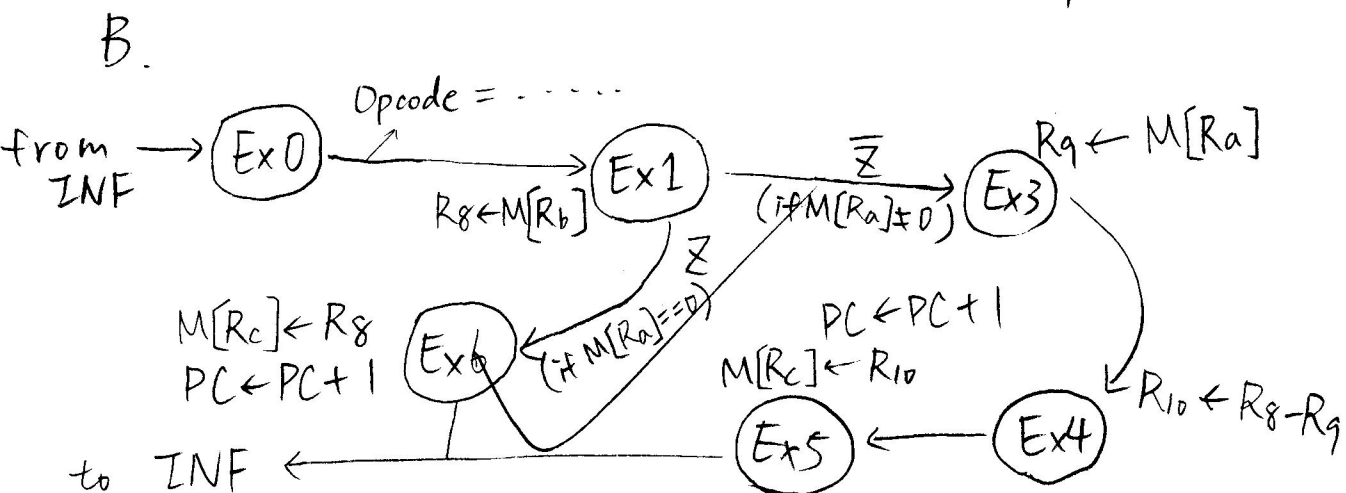
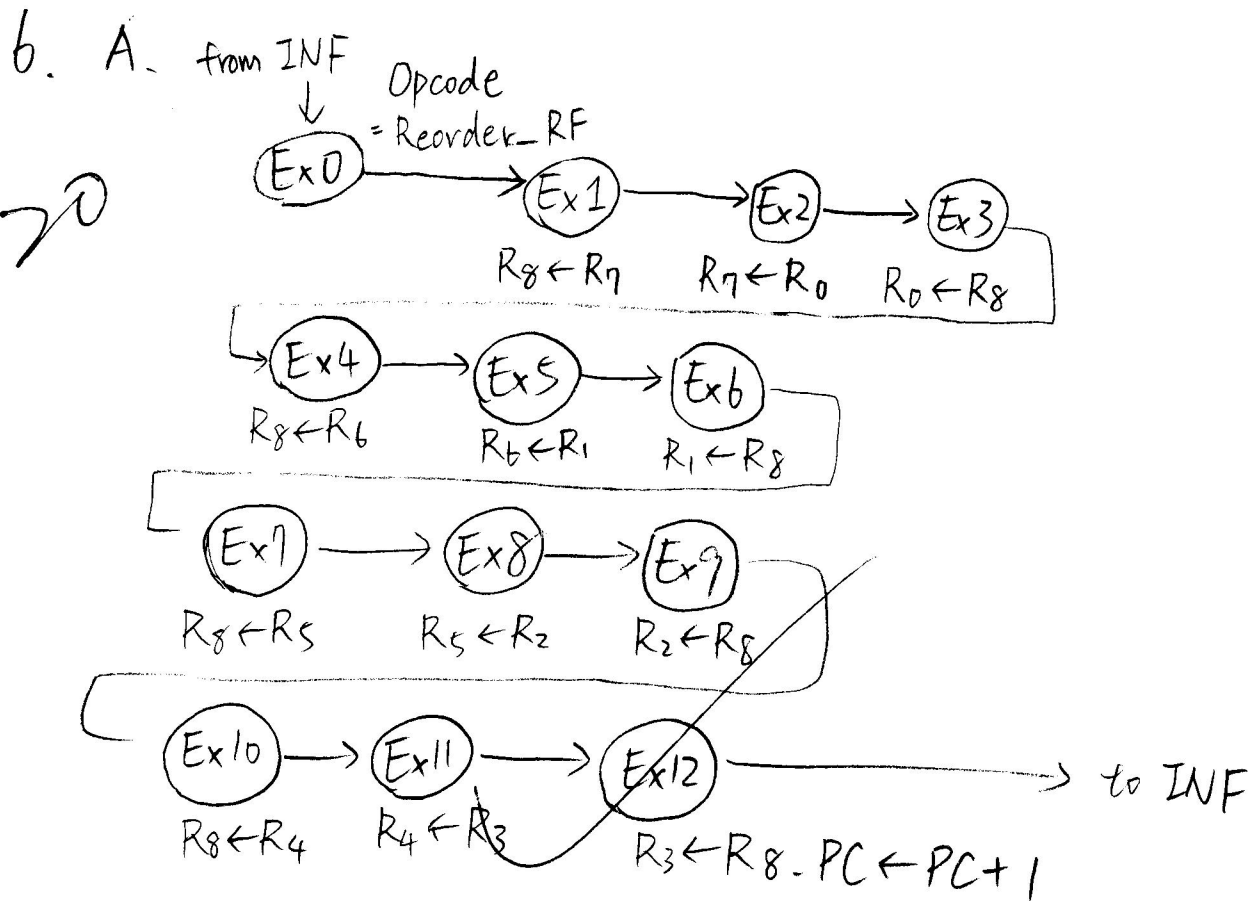
$R_a \leftarrow R_b, R_b \leftarrow R_3$

$R_a \leftarrow R_b, R_b \leftarrow R_4$

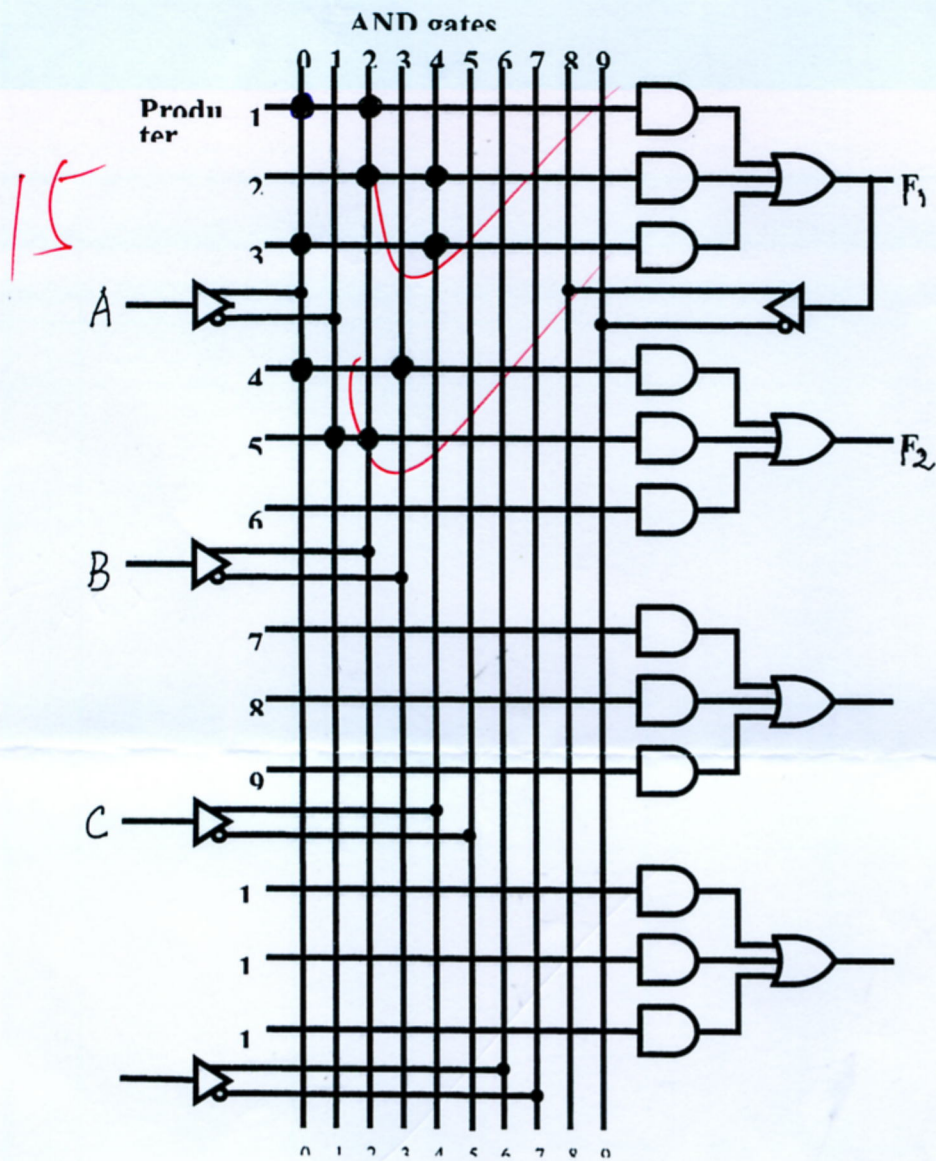
(If the selectors of two
MUXs are independent)

15

	MB	MD	MW	RW	AA	BA	DA	
$R5 \leftarrow M[R5]$	X	1	0	1	101	xxx	101	✓
$M[R3] \leftarrow R7$	0	X	1	0	011	111	xxx	✓
$R2 \leftarrow R7 + 2$	1	0	0	1	111	xxx	010	✓
$R3 \leftarrow R0 - R3$	0	0	0	1	000	011	011	✓



7. (15%) Program the following Programmable Array Logic (PAL) such that it performs the same function as that of the Programmable Logic Array (PLA) in the next page.



$$F_1 = AB + BC + AC$$

$$F_2 = \overline{AB + \bar{A}\bar{B}} = \bar{A}\bar{B} + \bar{A}B$$