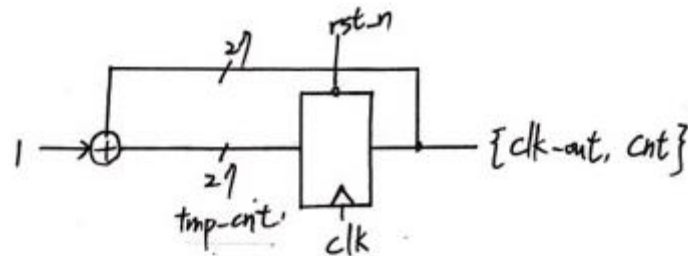


Lab3_1

Design Specification

- ✓ For a $1/2^{27}$ frequenc:
- Input: rst_n, clk
- Output: clk_out
- ✓ Draw the block diagram of the design.



Design Implementation

- ✓ 輸入的頻率 F 為 100HZ，題目要求做出 $1/2^{27}$ 頻率的除頻器，因此設立一個 counter (cnt[25:0])。假設 clk 的頻率為 F ，則 cnt[0] 的頻率為 $F/2$ 、cnt[1] 的頻率為 $F/2^2$ 、cnt[2] 的頻率為 $F/2^3$cnt[25] 的頻率為 $F/2^{26}$ 、clk_out 的頻率為 $F/2^{27}$ ，即符合題目要求。

clk_out	cnt[25]	cnt[n-1]	cnt[2]	cnt[1]	cnt[0]	clk
0	0	...	0	0	0	0
0	0	...	0	0	0	1
0	0	...	0	0	1	0
0	0	...	0	0	1	1
0	0	...	0	1	0	0
0	0	...	0	1	0	1
0	0	...	0	1	1	0
0	0	...	0	1	1	1
0	0	...	1	0	0	0
0
1	0	0	0	0	0	0
$F/2^{27}$	$F/2^{26}$	$F/2^n$	$F/8$	$F/4$	$F/2$	F

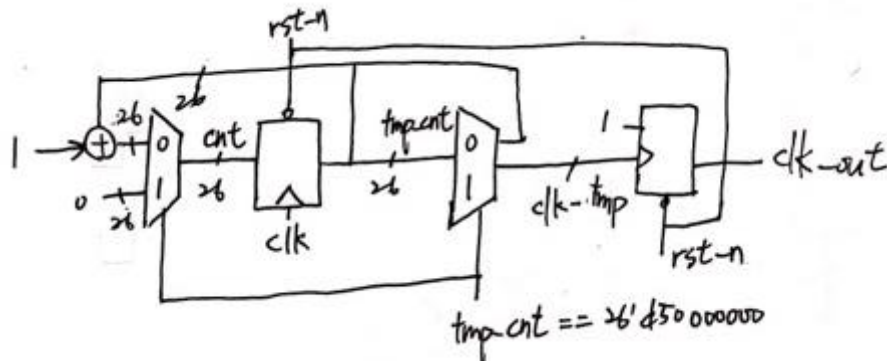
- ✓ Logic function
當 rst_n 為下緣或 clk 為上緣時，判斷若 rst_n = 0，則{clk_out, cnt}歸零；否則{clk_out, cnt}加 1
- ✓ I/O pin

I/O	clk	rst_n	clk_out
VOC	W5	V17	U16

Lab3_2

Design Specification

- ✓ For a $1/2^{26}$ frequenc:
- Input: rst_n, clk
- Output: clk_out
- ✓ Draw the block diagram of the design.



Design Implementation

- ✓ 輸入的頻率 F 為 100HZ，題目要求做出頻率為 1HZ 的除頻器，約等於 $1/2^{26}$ 的除頻器。因此設立一個 counter (cnt[24:0])。假設 clk 的頻率為 F ，則 cnt[0] 的頻率為 $F/2$ 、cnt[1] 的頻率為 $F/2^2$ 、cnt[2] 的頻率為 $F/2^3$cnt[24] 的頻率為 $F/2^{25}$ 、clk_out 的頻率為 $F/2^{26}$ ，即符合題目要求。

clk_out	cnt[24]	cnt[n-1]	cnt[2]	cnt[1]	cnt[0]	clk
0	0	...	0	0	0	0
0	0	...	0	0	0	1
0	0	...	0	0	1	0
0	0	...	0	0	1	1
0	0	...	0	1	0	0
0	0	...	0	1	0	1
0	0	...	0	1	1	0
0	0	...	0	1	1	1
0	0	...	1	0	0	0
0
1	0	0	0	0	0	0
$F/2^{26}$	$F/2^{25}$	$F/2^n$	$F/8$	$F/4$	$F/2$	F

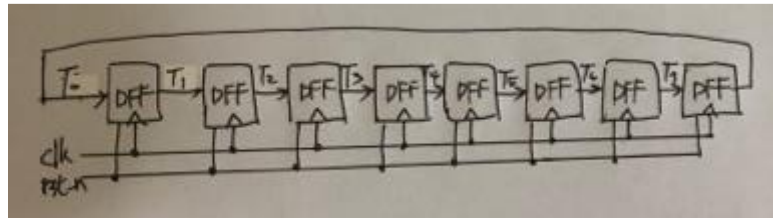
- ✓ Logic function
當 rst_n 為下緣或 clk 為上緣時，判斷若 rst_n = 0，則{clk_out, cnt}歸零；否則當 cnt 等於 26'd50000000 時，cnt 歸零，clk_out = clk_out'；否則{clk_out, cnt}加 1。
- ✓ I/O pin

I/O	clk	rst_n	clk_out
VOC	W5	V17	U16

Lab3_3

Design Specification

- ✓ I/P
Input: clk, rst_n
Output: t[7:0]
- ✓ Block diagram



Design Implementation

✓ Truth table

clk	rst	t0	t1	t2	t3	t4	t5	t6	t7	t'0	t'1	t'2	t'3	t'4	t'5	t'6	t'7
X	0	X	X	X	X	X	X	X	X	0	1	0	1	0	1	0	1
1	1	0	1	0	1	0	1	0	1	1	0	1	0	1	0	1	0
1	1	1	0	1	0	1	0	1	0	0	1	0	1	0	1	0	1
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
0	1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0

✓ Logic function

將 lab3-2 的 clk_out 作為此處的 clk，當 rst_n 為下緣或 clk 為上緣時，

If rst_n = 1, t[0] <= t[1];

t[1] <= t[2];

t[2] <= t[3];

t[3] <= t[4];

t[4] <= t[5];

t[5] <= t[6];

t[6] <= t[7];

t[7] <= t[0];

If rst_n = 0, t = 01010101

✓ I/O pin

I/O	t0	t1	t2	t3	t4	t5	t6	t7	clk	rst_n
VOC	U16	E19	U19	V19	W18	U15	U14	V14	W5	V17

Discussion

第一題與第二題基本上原理一樣，但第二題因為是要做 1hz 的除頻器，因此會多了一個判斷 tmp_cnt 等於 26'd50000000 的步驟。兩題皆是透過加法器計算除頻次數，觀察附表可看出其規律。第三題則是結合第二題與 prelab2，將第二題的 clk_out 作為 prelab 的 clk。

Conclusion

這次實驗的原理主要著重於除頻器的部分，如果沒搞懂其原理與 flip flop 的用法，會很容易出錯。接上電路板的 clk，其頻率所引起的訊號是有週期的，只是因為過快導致肉眼無法辨識，因此經過除頻後則可以看出其頻率。藉由不同 counter 與條件的搭配，可以做出不同的除頻器。