**Lab4\_1**

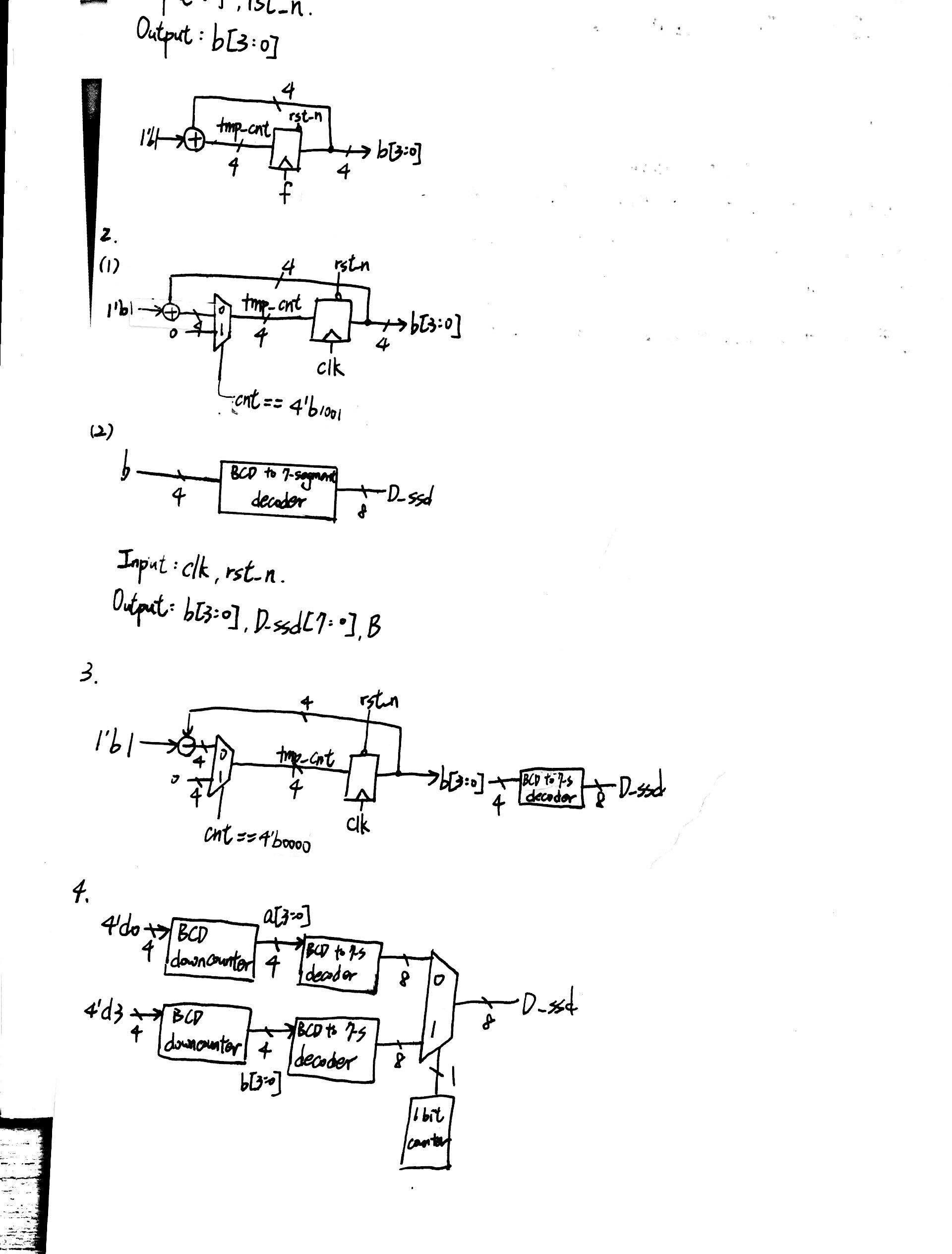
**Design Specification**

* For a 4-bits binary up counter:

Input: rst\_n, f

Output: b[3:0]

* Draw the block diagram of the design.

****

**Design Implementation**

* Input f 為Lab3的26 frequency divider除頻後的1 Hz。
* Logic function

當rst\_n為下緣或f為上緣時，判斷若rst\_n = 0，則b歸零；否則b加1直到b = 16

* I/O pin

|  |  |  |  |
| --- | --- | --- | --- |
| I/O | F | rst\_n | clk\_out |
| VOC | W5 | V17 | U16 |

**Lab4\_2**

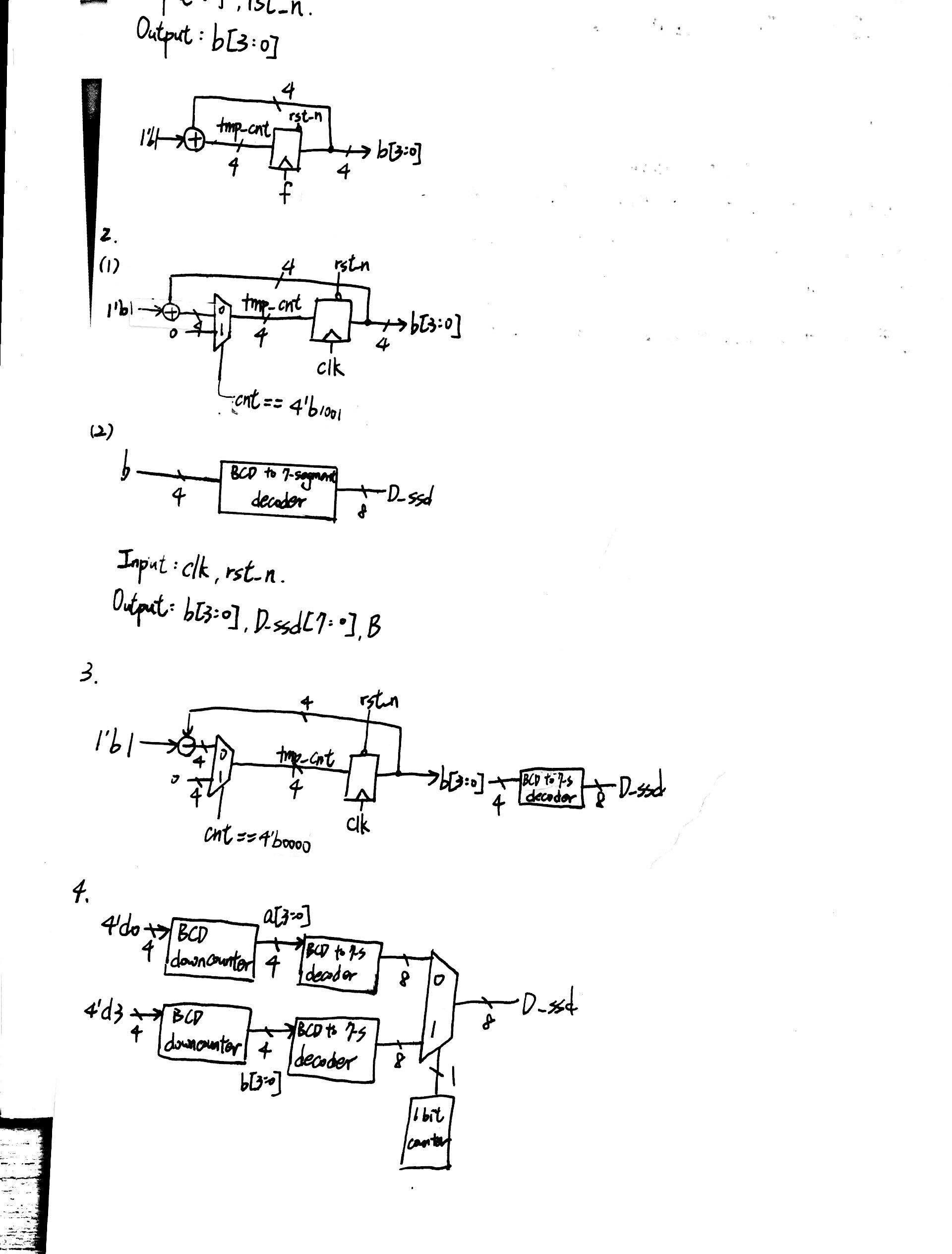
**Design Specification**

* For a BCD up counter:

Input: rst\_n, clk

Output: D\_ssd[7:0], b[3:0], B[3:0]

* Draw the block diagram of the design.

****

**Design Implementation**

* 當rst\_n為下緣或clk為上緣時，判斷若rst\_n = 0，則b歸零；否則b加1
* 由於此為BCD counter，且為4-bit，因此最大值為9。因此當b = 9時，BCD counter歸零重新count。
* 因為需要用7-segment display顯示，因此需要用到Lab2的3 to 8 decoder將其轉為7-segment。
* I/O pin

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| I/O | rst\_n | D\_ssd7 | D\_ssd6 | D\_ssd5 | D\_ssd4 | D\_ssd3 | D\_ssd2 | D\_ssd1 | D\_ssd0 |
| Site | V17 | W7 | W6 | U8 | V8 | U5 | V5 | U7 | V7 |
| I/O | clk | b3 | b2 | b1 | b0 | B3 | B2 | B1 | B0 |
| Site | W5 | V19 | U19 | E19 | U16 | W4 | V4 | U4 | U2 |

**Lab4\_3**

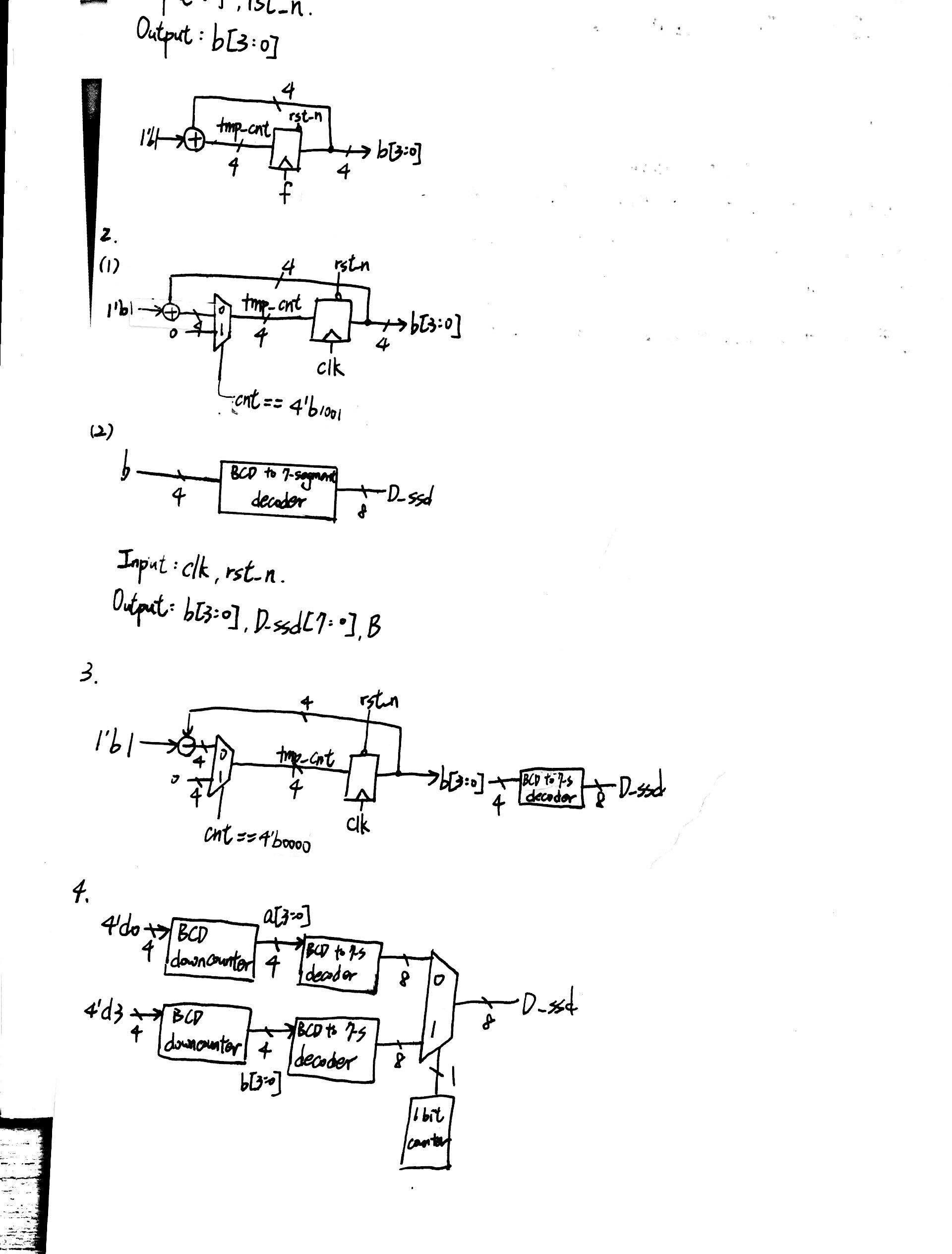
**Design Specification**

* For a BCD down counter:

Input: rst\_n, clk

Output: D\_ssd[7:0], b[3:0], B[3:0]

* Block diagram

****

**Design Implementation**

* 當rst\_n為下緣或clk為上緣時，判斷若rst\_n = 0，則b歸零；否則減1
* 由於此為BCD counter，且為4-bit，因此最小值為0。因此當b = 0時，b回到9重新count。
* 因為需要用7-segment display顯示，因此需要用到Lab2的3 to 8 decoder將其轉為7-segment。
* I/O pin

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| I/O | rst\_n | D\_ssd7 | D\_ssd6 | D\_ssd5 | D\_ssd4 | D\_ssd3 | D\_ssd2 | D\_ssd1 | D\_ssd0 |
| Site | V17 | W7 | W6 | U8 | V8 | U5 | V5 | U7 | V7 |
| I/O | clk | b3 | b2 | b1 | b0 | B3 | B2 | B1 | B0 |
| Site | W5 | V19 | U19 | E19 | U16 | W4 | V4 | U4 | U2 |

**Lab4\_4**

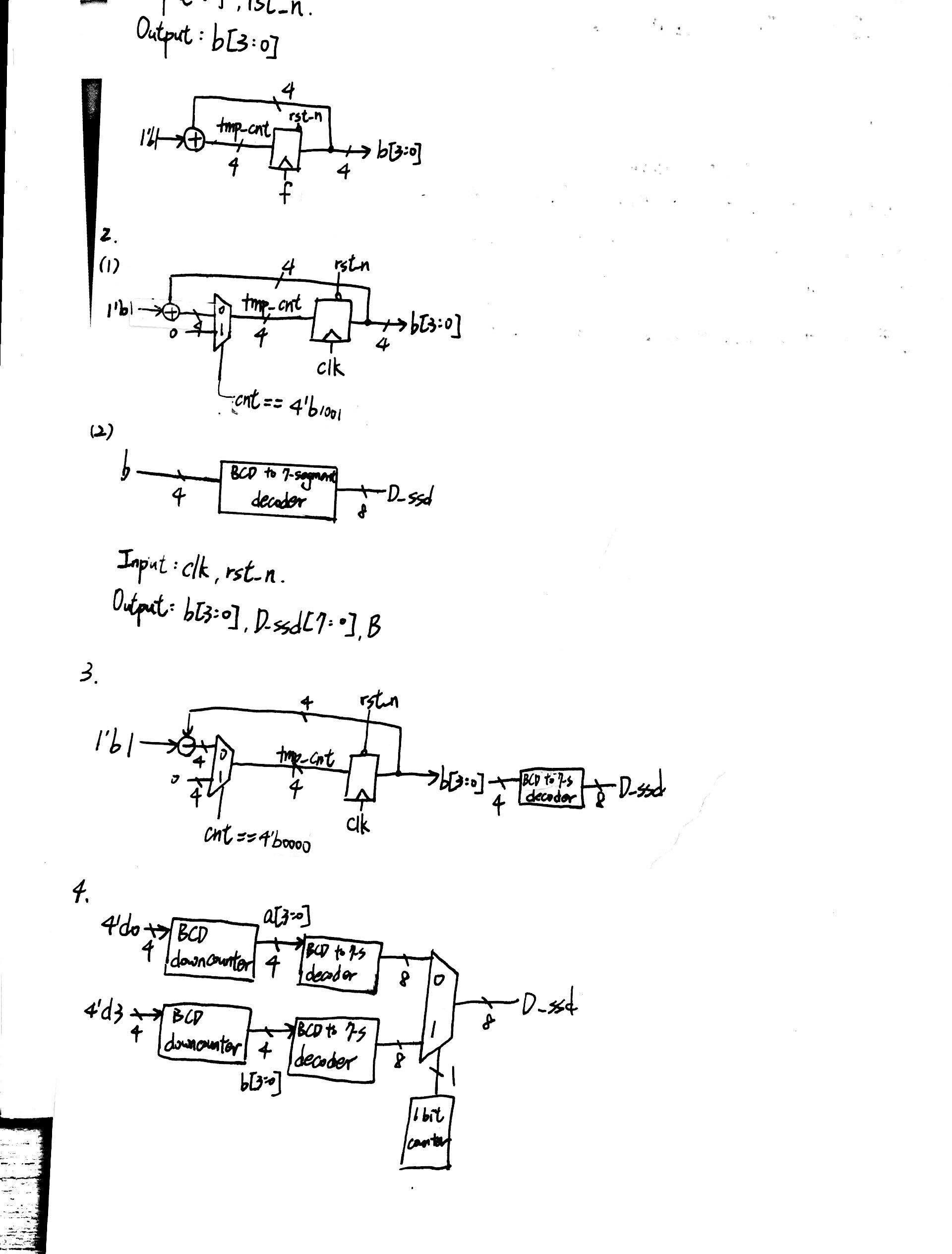
**Design Specification**

* For a 30 second down counter:

Input: rst\_n, clk

Output: D\_ssd[7:0], b[3:0], B[3:0]

* Block diagram

****

**Design Implementation**

* 將個位數與十位數分別用down counter計算，當rst\_n為下緣或clk為上緣時，判斷若rst\_n = 0，則a歸零，b減1；否則a減1，b不變。
* 因為需要用7-segment display顯示，因此需要用到Lab2的3 to 8 decoder將其轉為7-segment。
* 由於要在7-segment上顯示不同數字，因此須利用1/227 frequency divider中擷取中間頻率(16th~17th)，造成視覺暫留。設定c，若rst\_n = 0，c = 0;否則c = cnt\_ctl(cnt\_ctl = c+1’b1)。藉由c的值來決定顯示個位數還是十位數的數值。
* I/O pin

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| I/O | rst\_n | D\_ssd7 |  | D\_ssd6 | D\_ssd5 | D\_ssd4 | D\_ssd3 | D\_ssd2 | D\_ssd1 | D\_ssd0 |
| Site | V17 | W7 |  | W6 | U8 | V8 | U5 | V5 | U7 | V7 |
| I/O | clk | b3 |  | b2 | b1 | b0 | B3 | B2 | B1 | B0 |
| Site | W5 | V19 |  | U19 | E19 | U16 | W4 | V4 | U4 | U2 |

**Discussion**

前三題皆利用了上一個lab的frequency divider的頻率作為clk，並結合加法器讓他變成counter，其中第一題與二、三題的差別在於其為binary，因此二、三題需要用一個mux判斷要不要重新計算。

第四題則是結合了兩個down counter，這裡我利用了counter判斷其值是否為0來決定個位數與十位數的next state。另外，為了讓7-segment顯示不同數字，須利用divider擷取不同頻率讓她快速顯示個位數與十位數造成視覺暫留，讓我們看到不一樣的數字。

**Conclusion**

這次實驗用到了很多lab3的devider，尤其是第四題，其實可以直接用top module去做，但我還是花了一些時間做成一個module。之後可以練習用top module做做看。