

应用笔记：

HFAN-1.0

Rev. 1; 4/08

LVDS、PECL 和 CML 介绍

[本应用笔记中的一些器件最初发布于
2000 年 7 月 3 日 1120 期的 Electronic Engineering Times]

目录

1	引言	1
2	PECL 接口	1
2.1	PECL 输出结构	1
2.2	PECL 输入结构	2
3	CML 接口	3
3.1	CML 输出结构	3
3.2	CML 输入结构	3
4	LVDS 接口	4
4.1	LVDS 输出结构	4
4.2	LVDS 输入结构	4
5	接口互连	6
5.1	CML 到 CML 的连接	6
5.2	PECL 到 PECL 的连接	6
5.2.1	直流耦合：驱动 50Ω 至(V_{CC} -2V)的戴维宁等效电路	6
5.2.2	交流耦合	7
5.3	LVDS 与 LVDS 的连接	8
6	LVDS、PECL、CML 间的互连	8
6.1	LVPECL 到 CML 的连接	8
6.1.1	交流耦合	8
6.1.2	直流耦合	9
6.2	CML 到 LVPECL 的连接	11
6.3	LVPECL 到 LVDS 的连接	11
6.3.1	直流耦合	11
6.3.2	交流耦合	11
6.4	LVDS 到 LVPECL 的连接	11
6.4.1	直流耦合	11
6.4.2	交流耦合	13
6.5	CML 和 LVDS 间互连	14

图目录

图 1. PECL 输出结构.....	1
图 2. PECL 输入结构.....	2
图 3. CML 输出结构.....	3
图 4. 直流耦合与交流耦合情况下, CML 输出波形.....	3
图 5. CML 输入电路配置.....	3
图 6. LVDS 输出结构.....	4
图 7. LVDS 输入结构.....	4
图 8. CML 到 CML 的连接	6
图 9. 戴维宁等效变换	6
图 10. PECL 与 PECL 之间的直流耦合	7
图 11. PECL 与 PECL 之间的交流耦合	7
图 12. LVDS 与 LVDS 的连接.....	8
图 13. LVPECL 与 CML 之间的交流耦合	8
图 14. LVPECL 与 CML 之间的电阻网络(MAX3875).....	9
图 15. LVPECL 与 CML 之间的直流耦合(MAX3875).....	9
图 16. CML 与 LVPECL 之间的交流耦合	10
图 17. LVPECL 与 LVDS 之间的直流耦合	10
图 18. LVPECL 与 LVDS 之间的交流耦合	11
图 19. LVDS 与 LVPECL 之间的直流耦合	12
图 20. LVDS 与 LVPECL 之间的交流耦合	13
图 21. CML 与 LVDS 之间的交流耦合	14
图 22. LVDS 与 CML 之间的交流耦合	14

LVDS、PECL 和 CML I/O 结构

1 引言

随着高速数据传输业务需求的增加，如何高质量地解决高速 IC 芯片间的互连变得越来越重要。低功耗及优异的噪声性能是有待解决的主要问题。芯片间互连通常有三种接口：PECL（正射极耦合逻辑）、LVDS（低压差分信号）、CML（电流模式逻辑）。在设计高速数字系统时，人们常会遇到不同接口标准芯片间的互连，为解决这一问题，我们首先需要了解每一种接口标准的输入和输出电路结构，由此可以知道如何进行偏置和终端匹配。本文介绍了高速通信系统中 PECL、CML 和 LVDS 之间相互连接的几种方法，并给出了 Maxim 产品的应用范例。

2 PECL 接口

PECL 由 ECL 标准发展而来，但在 PECL 电路中使用的是正电源。PECL 信号的摆幅相对 ECL 要

小，这使得该逻辑更适合于高速数据的串行或并行连接。PECL 标准最初由 Motorola 公司提出，经过很长一段时间才在电子工业领域推广开。

2.1 PECL 输出结构

PECL 电路的输出结构如图 1 所示，包含一个差分对管和一对射随器。输出射随器工作在正电源范围内，其直流电流始终存在，这样有利于提高开关速度，保持较快的关断时间。PECL 输出的适当端接是连接 50Ω 电阻至 $(V_{CC}-2V)$ 电平。在这种端接条件下， $OUT+$ 与 $OUT-$ 的典型值为 $(V_{CC}-1.3V)$ ，输出直流电流约为 $14mA$ 。PECL 结构的输出阻抗很低，典型值约为 $(4-5)\Omega$ ，这表明它有很强的驱动能力。但当负载与 PECL 的输出端之间有一段传输线时，低阻抗造成的背向端接失配将导致信号的高频失真。

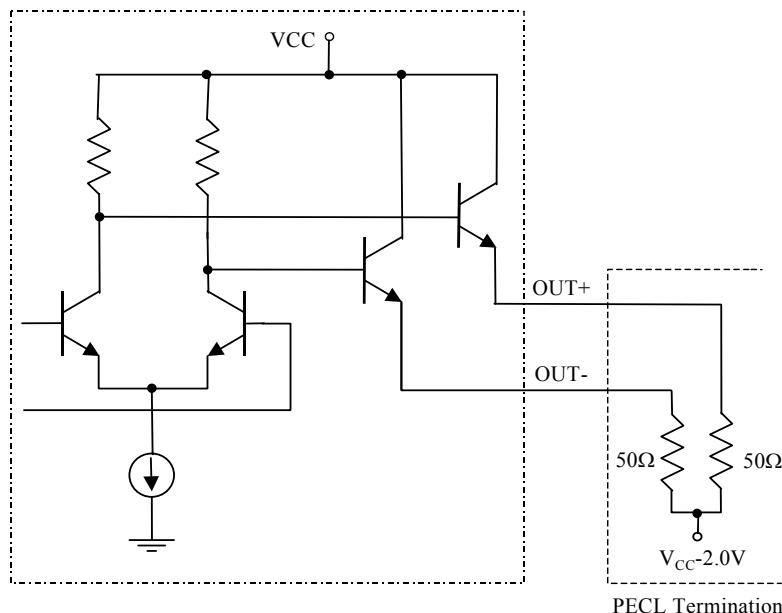


图 1. PECL 输出结构

2.2 PECL 输入结构

PECL 输入结构如图 2 所示，它是一个具有高输入阻抗的差分对。该差分对共模输入电压需偏置到($V_{CC}-1.3V$)，这样允许的输入信号电平动态范围最大。Maxim 公司的高频通信产品有两种形式的 PECL 输入结构：一种是片内带有偏置电路(如 MAX3885)；另一种是片内不含偏置电路(如 MAX3867、MAX3675)。对于第二种情况，需要外加直流偏置。

表 I 中给出了 Maxim 公司 PECL 输入和输出的具体电气指标。

在+5.0V 和+3.3V 供电系统中，PECL 接口均适用，+3.3V 供电系统中的 PECL 常被称作低压 PECL (LVPECL)。

在使用 PECL 电路时要注意加电源去耦电路，以免受噪声的干扰，另外，PECL 输出采用交流还是直流耦合对负载网络的形式将会提出不同的要求。

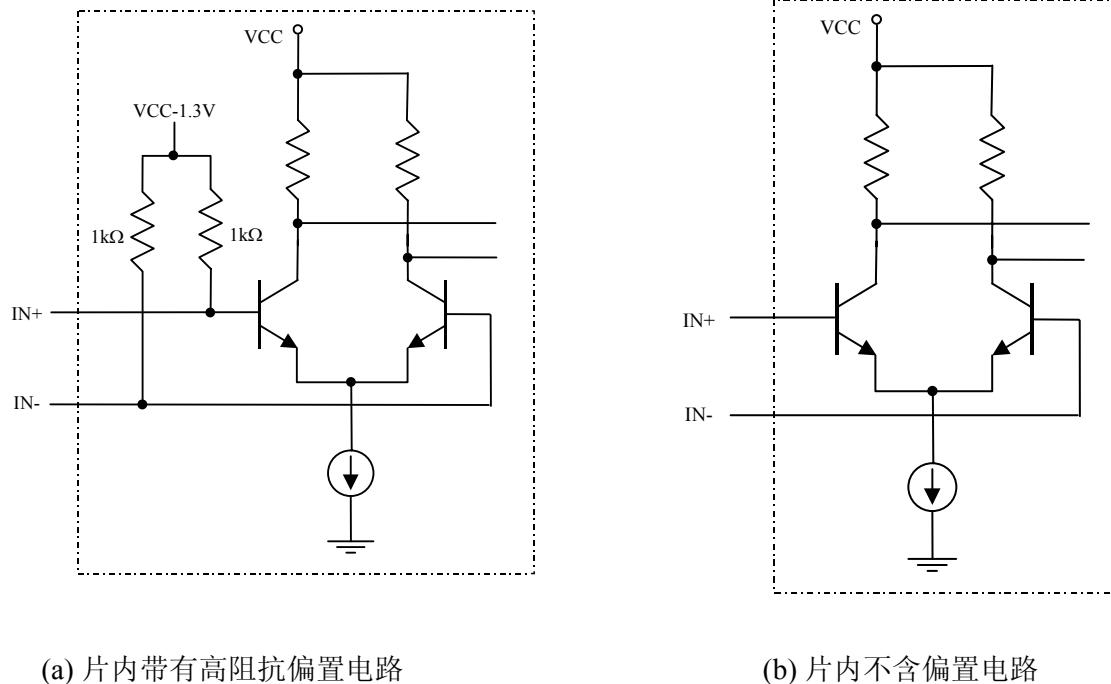


图 2. PECL 输入结构

表 I. PECL 输入和输出规格

参数	条件	最小值	典型值	最大值	单位
输出高压	$T_A = 0^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$	$V_{CC} - 1.025$		$V_{CC} - 0.88$	V
	$T_A = -40^{\circ}\text{C}$	$V_{CC} - 1.085$		$V_{CC} - 0.88$	V
输出低压	$T_A = 0^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$	$V_{CC} - 1.81$		$V_{CC} - 1.62$	V
	$T_A = -40^{\circ}\text{C}$	$V_{CC} - 1.83$		$V_{CC} - 1.55$	V
输入高压		$V_{CC} - 1.16$		$V_{CC} - 0.88$	V
输入低压		$V_{CC} - 1.81$		$V_{CC} - 1.48$	V

3 CML 接口

CML 是所有高速数据接口形式中最简单的一种，片内输入与输出端接减少了设置工作条件所需的外围器件数量。CML 输出所提供的信号摆幅较小，从而功耗更低。此外， 50Ω 背向终端匹配减小了背向反射，从而降低了高频失真。

3.1 CML 输出结构

CML 的输出电路形式是一个差分对管，该差分对的集电极电阻为 50Ω ，如图 3 所示。输出信号的高低电平切换是靠共发射极差分对管的开关控制的。假定电流源的典型值为 $16mA$ ，CML 输出负载为上拉至 V_{CC} 的 50Ω 电阻，则单端 CML 输出信号的摆幅为 V_{CC} 至 $(V_{CC}-0.4V)$ 。在这种情况下，CML 差分输出信号摆幅典型值为 $800mV$ ，共模电压为 $(V_{CC}-0.2V)$ 。对同一个电流源来说，若 CML 输出采用交流耦合至 50Ω 负载，这时的直流阻抗由 50Ω 集电极电阻决定。CML 输出共模电压变为 $(V_{CC}-0.4V)$ ，差分信号摆幅仍为 $800mV_{P-P}$ 。在交流和直流耦合情况下输出波形如图 4 所示。

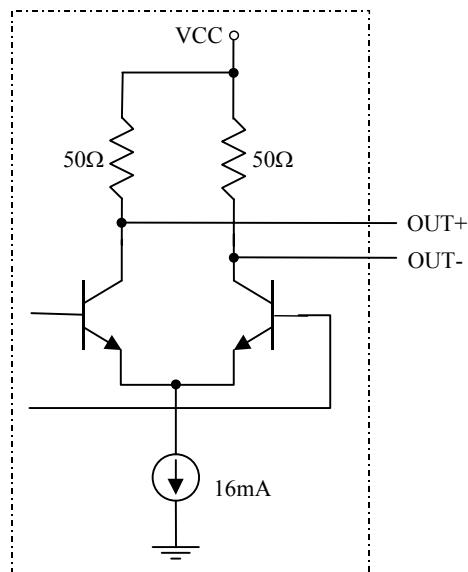
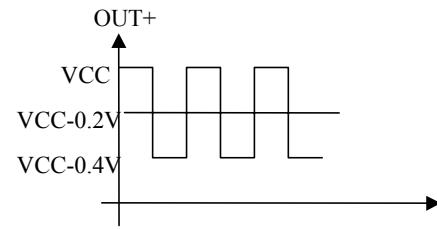
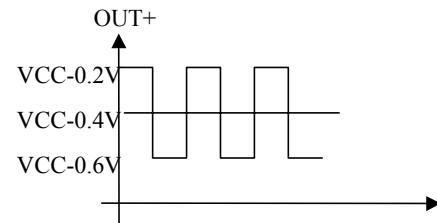


图 3. CML 输出结构



(a) DC-Coupled with 50Ω to V_{CC}



(b) AC-Coupled to 50Ω termination

图 4. 直流耦合与交流耦合情况下，CML 输出波形

3.2 CML 输入结构

CML 输入结构有几个重要特点，这也使它在高速数据传输中成为常用的方式。如图 5 所示，Maxim 公司的 CML 输入结构的输入阻抗为 50Ω ，易于端接。输入晶体管作为射随器，后面驱动一个差分对放大器。

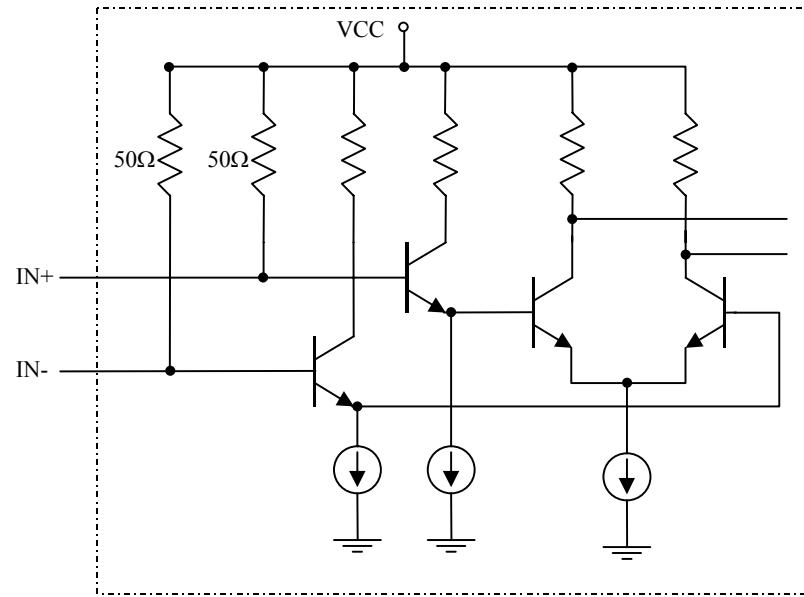


图 5. CML 输入电路配置

表 II 以 MAX3831/MAX3832 为例列出了 CML 的输出和输入技术参数。

表 II. CML 输入和输出规格(负载 = 50Ω 至 V_{cc})

参数	条件	最小值	典型值	最大值	单位
差分输出电压		640	800	1000	mV_{p-p}
共模输出电压			$V_{cc}-0.2$		V
单端输入电压范围	V_{IS}	$V_{cc} - 0.6V$		$V_{cc} + 0.2V$	V
差分输入电压摆幅		400		1200	mV_{p-p}

注：Maxim 不同产品的 CML 输入灵敏度不同(如 MAX3875、MAX3876)。

4 LVDS 接口

LVDS 用于低压差分信号点到点的传输，该方式有若干优势，使其更具有吸引力。较小的信号摆幅使得功耗较低，一般负载阻抗为 100Ω 的差分线上的电流不超过 $4mA$ 。这一特征使得 LVDS 适合做并行数据传输。此外信号的电平很低，从而使得该结构可以在 $2.5V$ 的低电压下工作。LVDS 输入信号电压可以从 $0V$ 到 $2.4V$ 变化，单端信号摆幅为 $400mV$ ，这样允许输入共模电压从 $0.2V$ 到 $2.2V$ 范围内变化，也就是说 LVDS 允许驱动器和接收器两端地电势有 $\pm 1V$ 的落差。

4.1 LVDS 输出结构

Maxim 公司 LVDS 输出结构在低功耗和高速方面做了优化，电路如图 6 所示。电路差分输出阻抗典型值为 100Ω ，表 III 列出了其它一些输出指标。

4.2 LVDS 输入结构

LVDS 输入结构如图 7 所示， $IN+$ 与 $IN-$ 输入差分阻抗为 100Ω 。为适应共模电压宽范围内的变化，输入级还包括一个自适应电平转换电路，该电路将共模电压设置为一固定值，该电路后面是一个施密特触发器。施密特触发器的输入门限具有滞回特性，触发器后级是差分放大器。

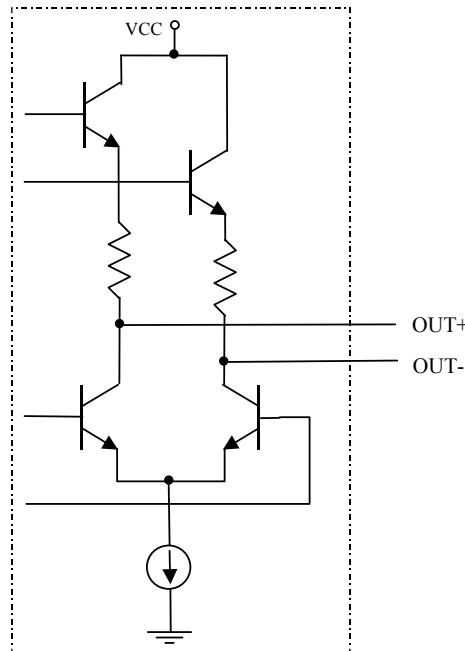


图6. LVDS 输出结构

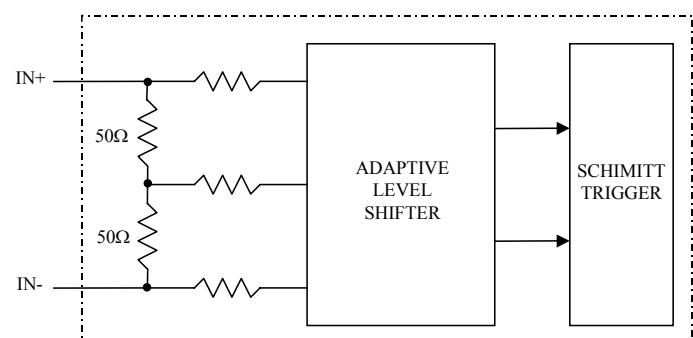


图7. LVDS 输入结构

表 III 总结了 Maxim 公司 LVDS 输入与输出技术指标(适用于 MAX3831、MAX3832 和 MAX3890)。

表 III. LVDS 输入和输出规格

参数	符号	条件	最小值	典型值	最大值	单位
输出高电压	V_{OH}				1.475	V
输出低电压	V_{OL}		0.925			V
差分输出电压	$ V_{od} $		250		400	mV
互补状态下的差分输出电压的变化幅度	$\Delta V_{od} $				25	mV
输出失调电压			1.125		1.275	V
互补状态下的输出失调电压的变化幅度	$\Delta V_{os} $				25	mV
差分输出阻抗			80		120	Ω
输出电流		短接在一起			12	mA
输出电流		短接至 GND			40	mA
输入电压范围	V_i		0		2.4	V
差分输入电压	$ V_{id} $		100			mV
输入共模电流		LVDS 输入 $V_{os} = 1.2V$		350		μA
门限滞回				70		mV
差分输入阻抗	R_{in}		85	100	115	Ω

5 接口互连

5.1 CML 到 CML 的连接

如果接收器与发送器之间采用相同的 V_{CC} 电源，CML 驱动器输出可以直流耦合到 CML 接收器输入，无需额外的元件。如果接收器与发送器采用不同的电源，系统需要用交流耦合方式。交流耦合情况下，耦合电容应足够大，以避免信号包含一长串相同数字时导致过大的低频衰减(参考应用笔记 HFAN-1.1)。图 8 给出了 CML 与 CML 之间的连接。

5.2 PECL 到 PECL 的连接

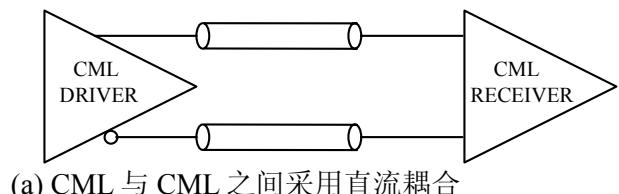
5.2.1 直流耦合：驱动 50Ω 至($V_{CC}-2V$)的戴维宁等效电路

PECL 输出设计成驱动 50Ω 负载至($V_{CC}-2V$)。由于一般情况下无法向终端网络提供($V_{CC}-2V$)电源，经常会用并联电阻，得到一个戴维宁等效电路。图 9 给出了戴维宁变换的结果， 50Ω 至($V_{CC}-2V$)的终端匹配要求满足：

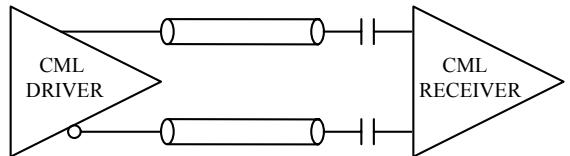
$$(V_{CC} - 2V) = V_{CC} \left(\frac{R2}{R1 + R2} \right) \text{ 并且 } (R1 // R2) = 50\Omega$$

解出 $R1$ 、 $R2$ ，可得：

$$R1 = \frac{50 \cdot V_{CC}}{(V_{CC} - 2V)} \quad \text{并且} \quad R2 = 25 \cdot V_{CC}$$



(a) CML 与 CML 之间采用直流耦合



(b) CML 与 CML 之间采用交流耦合

图 8. CML 到 CML 的连接

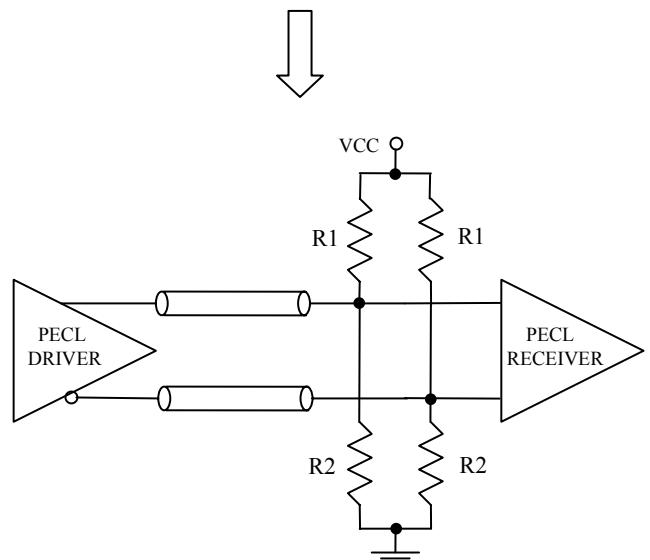
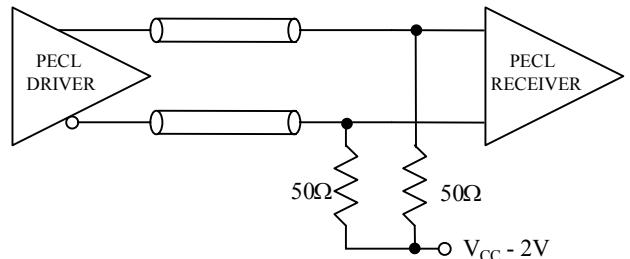


图 9. 戴维宁等效变换

在 3.3V 供电时，电阻按 5% 的精度选取，R1 为 130Ω ，R2 为 82Ω 。而在 +5.0V 供电时，R1 为 82Ω ，R2 为 130Ω 。图 10 给出了 +3.3V 和 +5.0V 供电时的戴维宁等效终端网络。

注：PECL 输出配置为射极开路，没有背向终端匹配(参见图 1)。

5.2.2 交流耦合

PECL 在交流耦合输出到 50Ω 的终端负载时，在将 PECL 输出交流耦合至传输线之前，需要在 PECL 输出端加一个对地直流偏置电阻，如图 11 所示。

PECL 的输入端接 R2 和 R3 的选择应考虑如下几点：(1) PECL 输入直流偏压应固定在(V_{CC} -1.3V)；(2) 与传输线特性阻抗的匹配情况；(3) 功耗；(4) 外围器件。图 11(a)的电路针对采用最少的元件数进行了优化，这种情况下 R2 和 R3 的选择应满足下面方程组：

$$\frac{R3 \cdot V_{CC}}{R2 + R3} = V_{CC} - 1.3V \text{ 并且 } R2 // R3 \approx 50\Omega$$

求解得到：

$R2 = 82\Omega$ 并且 $R3 = 130\Omega$ +3.3V 供电

并且

$R2 = 68\Omega$ 并且 $R3 = 180\Omega$ +5.0V 供电

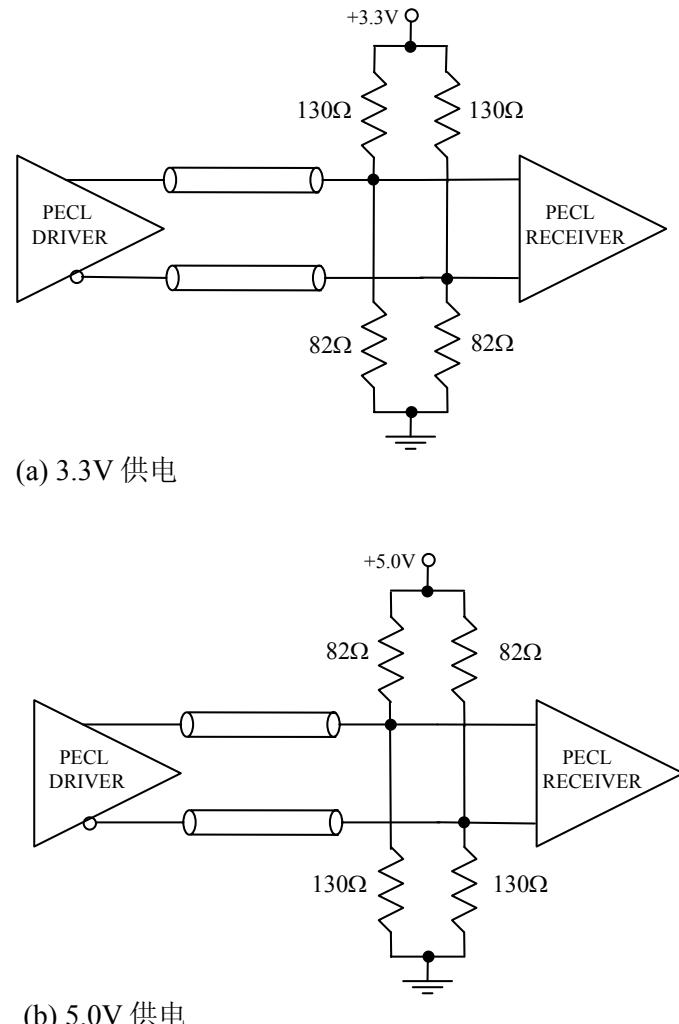


图 10. PECL 与 PECL 之间的直流耦合

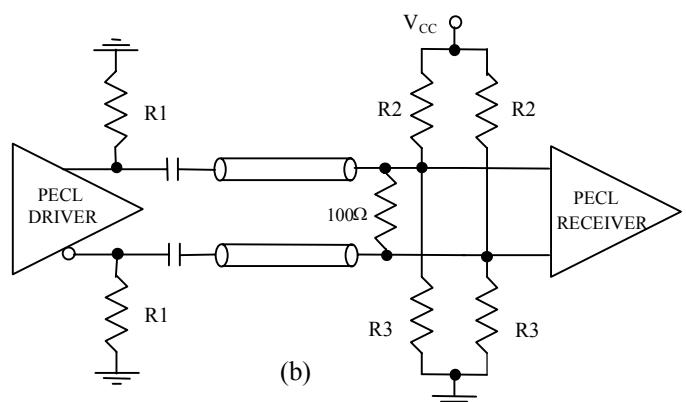
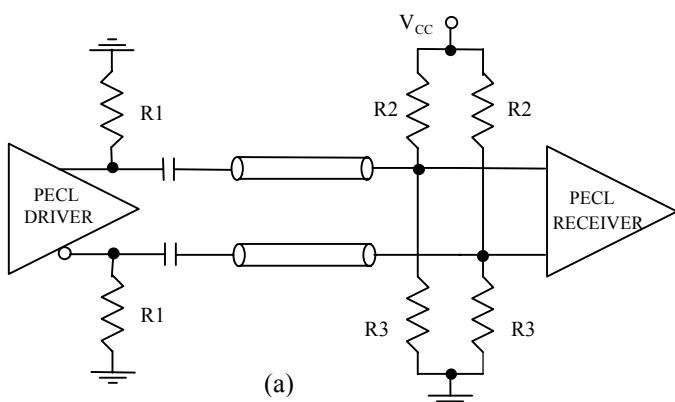


图 11. PECL 与 PECL 之间的交流耦合

图 11(a)的缺点是由终端网络引起的功耗较大。如果系统对于功耗要求较高，可以采用图 11(b)所示电路。这时，我们需要满足：

$$\frac{R3 \cdot Vcc}{R2 + R3} = Vcc - 1.3V \text{ 并且 } R2 // R3 // 50\Omega = 50\Omega$$

解得：

$$R2 = 2.7k\Omega \text{ 并且 } R3 = 4.3k\Omega \quad +3.3V \text{ 供电}$$

并且

$$R2 = 2.7k\Omega \text{ 并且 } R3 = 7.8k\Omega \quad +5.0V \text{ 供电}$$

PECL 的输出共模电压需固定在($V_{cc}-1.3V$)，在选择直流偏置电阻($R1$)时仅需该电阻能够提供 $14mA$ 到地的直流电流，这样 $R1 = (V_{cc}-1.3V)/14mA$ 。在 $+3.3V$ 供电时， $R1 = 142\Omega$ ， $+5.0V$ 供电时， $R1 = 270\Omega$ 。然而这种方式给出的 PECL 输出交流负载阻抗低于 50Ω 。在实际应用中，折中交流和直流的要求， $+3.3V$ 供电时， $R1$ 可以从 142Ω 到 200Ω 之间选取， $+5.0V$ 供电时， $R1$ 可以从 270Ω 到 350Ω 之间选取。

可以通过两种方式进一步改善 PECL 的终端匹配：(1) 增加一个与耦合电容串联的电阻，使得 PECL 驱动器端的等效交流阻抗接近 50Ω ；(2) 添加一个与 $R1$ 串联的电感，使交流阻抗受控于接收器阻抗，与 $R1$ 无关。

5.3 LVDS 与 LVDS 的连接

因为 LVDS 的输入具有片内端接，所以 LVDS 驱动器与 LVDS 接收器间可以连接，如图 12 所示。

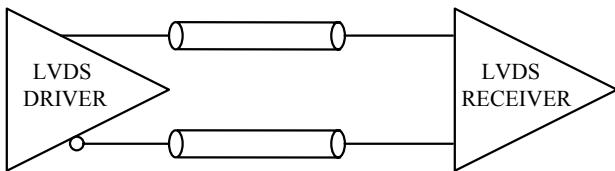


图 12. LVDS 与 LVDS 的连接

6 LVDS、PECL、CML 间的互连

在下面的讨论中，假设采用 $+3.3V$ PECL。

6.1 LVPECL 到 CML 的连接

LVPECL 与 CML 之间的耦合方式可以是交流方式，也可以是直流方式。

6.1.1 交流耦合

LVPECL 驱动器到 CML 接收器的一种连接方式就是交流耦合方式，如图 13 所示。在 LVPECL 的两个输出端各加一个到地的直流偏置电阻，电阻值选取范围为 142Ω 至 200Ω 。如果 LVPECL 的差分输出信号摆幅大于 CML 的接收范围，可以在信号通道上串一个 25Ω 的电阻，以提供 0.67 倍的电压衰减。

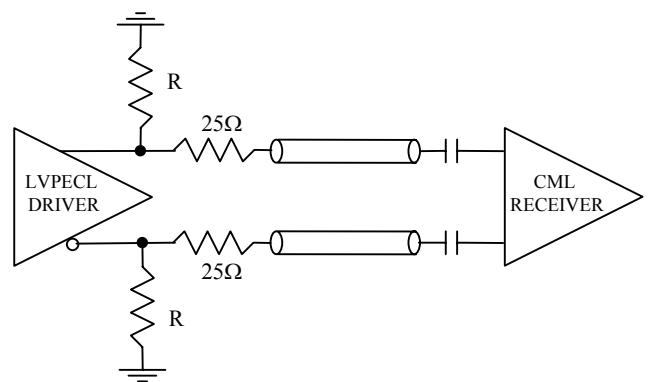


图 13. LVPECL 与 CML 之间的交流耦合

6.1.2 直流耦合

在 LVPECL 到 CML 的直流耦合连接方式中需要一个电平转换网络，以满足 LVPECL 输出与 CML 输入的共模电压要求。该电平转换网络引入的损耗必须要小，CML 接收器输入端的信号摆幅大于接收器的灵敏度要求。另外还要求自 LVPECL 输出端看到的总阻抗近似为 50Ω 。下例说明了 LVPECL 输出驱动 MAX3875 CML 输入的情况，电平转换网络如图 14 所示。

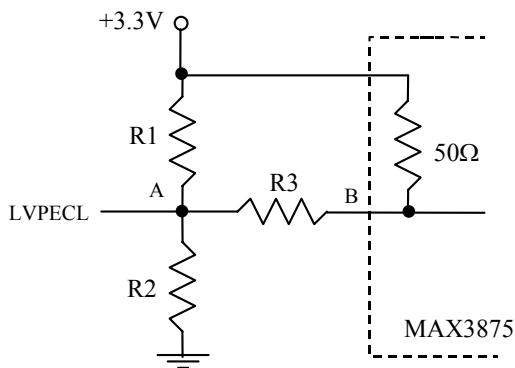


图 14. LVPECL 与 CML 之间的电阻网络 (MAX3875)

必须满足以下条件：

$$V_A = V_{CC} - 2.0V = \frac{R2 \cdot V_{CC}}{R2 + R1/(R3 + 50\Omega)}$$

(1) [戴维宁开路等效电压]

$$Zin = R1 // R2 // (R3 + 50\Omega) = 50\Omega$$

(2) [戴维宁等效电阻]

$$V_B = V_{CC} - 0.2V = \frac{V_{CC} \cdot R3 + 50\Omega \cdot (V_{CC} - 1.3V)}{(50\Omega + R3)}$$

(3) [假设 $V_A = V_{PECL-CM} = (V_{CC}-1.3V)$]

$$Gain = \frac{50}{(R3 + 50)} \geq 0.042$$

(4)

(注：假定 LVPECL 的最小差分输出摆幅为 1200mV，而 MAX3875 的输入灵敏度为 50mV，这样电阻网络的增益必须大于 $50mV/1200mV = 0.042$ 。)

求解上面的方程组，我们得到 $R1 = 182\Omega$, $R2 = 82.5\Omega$, $R3 = 294\Omega$ (标准 1% 阻值), $V_A = 1.35V$, $V_B = 3.11V$, 增益 = 0.147, $Z_{IN} = 49\Omega$ 。把 LVPECL 输出与 MAX3875 输入通过该网络连接，实测得： $V_A = 2.0V$, $V_B = 3.13V$ 。

LVPECL 到 MAX3875 的直流耦合结构如图 15 所示。对于其它的 CML 输入，最小共模输入电压和最小输入信号摆幅可能不同，读者可根据上面的考虑计算所需的电阻值。

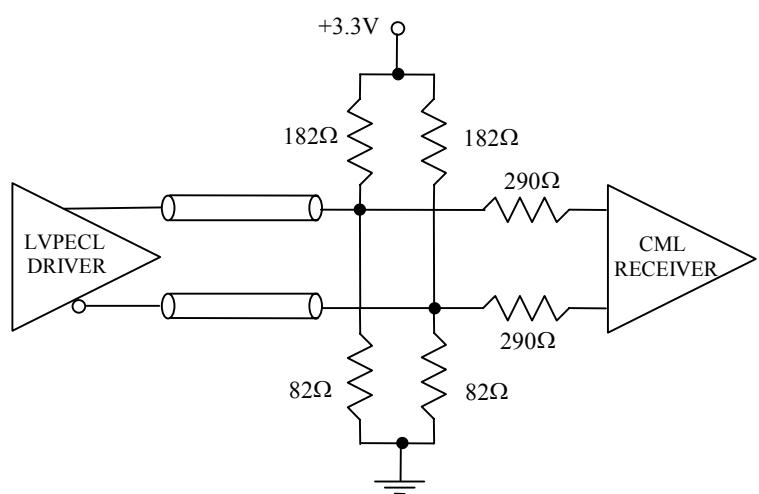


图 15. LVPECL 与 CML 之间的直流耦合 (MAX3875)

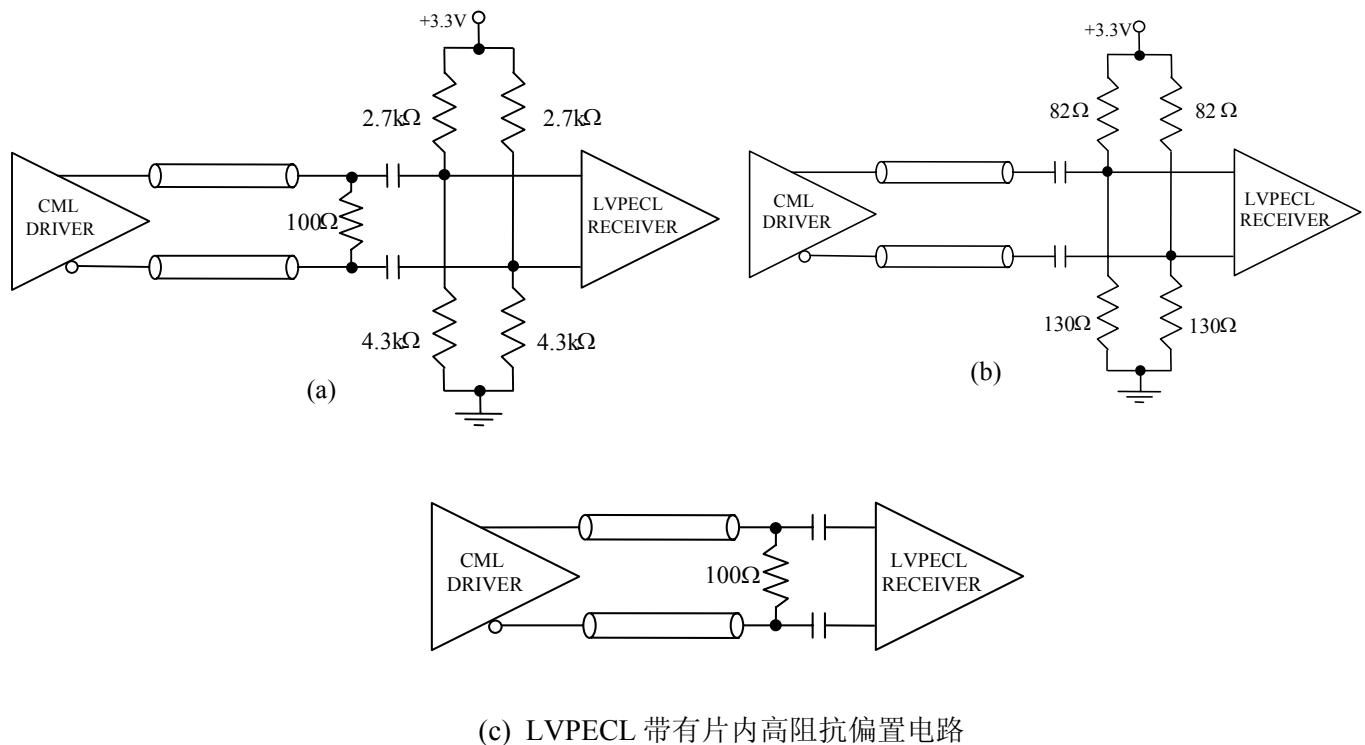


图 16. CML 与 LVPECL 之间的交流耦合

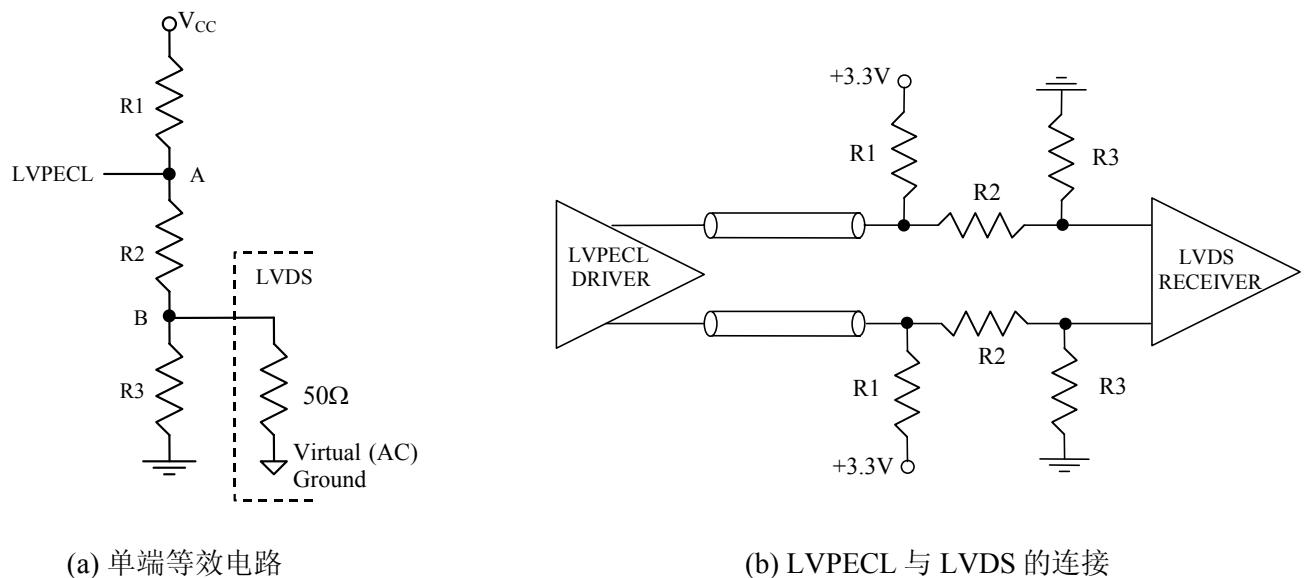


图 17. LVPECL 与 LVDS 之间的直流耦合

6.2 CML 到 LVPECL 的连接

CML 与 LVPECL 的连接需采用交流耦合(参见图 16)。

6.3 LVPECL 到 LVDS 的连接

6.3.1 直流耦合

LVPECL 到 LVDS 的直流耦合结构需要一个电平转换/衰减网络, 如图 17 所示。设计该网络时有这样几点必须考虑: 首先, 当负载是 50Ω 接到 $(V_{CC}-2V)$ 时, LVPECL 的输出性能是最优的; 然后还要考虑该网络引入的衰减不应太大, LVPECL 输出信号经衰减后仍能落在 LVDS 的输入有效输入范围内。注意 LVDS 的输入差分阻抗为 100Ω , 或者每个单端到虚拟地为 50Ω (图 7 所示)。这对直流端接阻抗没有影响, 但会影响交流端接阻抗, 这意味着交流阻抗与直流阻抗不等。因此, 需满足下面的方程组:

$$V_A = V_{CC} - 2V = V_{CC} \cdot \frac{R2 + R3}{R1 + R2 + R3} \quad (1)$$

$$R_{AC} = R1 // (R2 + (R3 // 50\Omega)) = 50\Omega \quad (2)$$

$$R_{DC} = R1 // (R2 + R3) \approx 50\Omega \quad (3)$$

$$Gain = \frac{R3 // 50\Omega}{R2 + (R3 // 50\Omega)} \geq 0.17 \quad (4)$$

考虑 $V_{CC} = +3.3V$ 情况, 解上面的方程组得到: $R1 = 182\Omega$, $R2 = 47.5\Omega$, $R3 = 47.5\Omega$, $V_A = 1.13V$, $R_{AC} = 51.5\Omega$, $R_{DC} = 62.4\Omega$, 增益 = 0.337。通过该终端网络连接 LVPECL 输出与 LVDS 输入时, 实测的共模电压 $V_A = 2.1V$, $V_B = 1.06V$ 。假定 LVPECL 差分最小输出电压为 930mV, 在 LVDS 的输入端可达到 313mV, 能够满足 LVDS 输入灵敏度要求。另一方面, 如果 LVPECL 的最大输出为 1.9V, LVDS 的最大输入电压则为 640mV, 同样可以满足 LVDS 输入指标要求。

6.3.2 交流耦合

LVPECL 到 LVDS 的交流耦合结构如图 18 所示, LVPECL 的输出端到地需加直流偏置电阻 (142Ω 到 200Ω), 同时信号通道上一定要串接 50Ω 电阻, 以衰减 LVPECL 输出信号, 满足 LVDS 输入的要求。LVDS 的输入端到地需加 $5.0k\Omega$ 电阻, 以提供共模偏置。

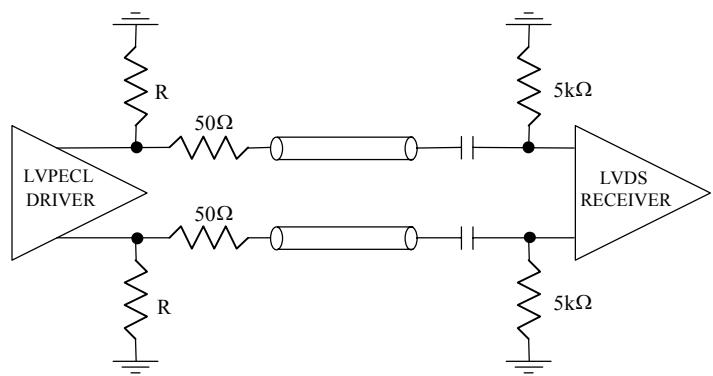


图 18. LVPECL 与 LVDS 之间的交流耦合

6.4 LVDS 到 LVPECL 的连接

LVDS 与 LVPECL 之间的直流和交流耦合需考虑几点因素。

6.4.1 直流耦合

LVDS 与 LVPECL 之间采用直流耦合结构时, 需要加一个电阻网络, 如图 19 所示。该电阻网络完成 LVDS 输出直流电平($1.2V$)到 LVPECL 输入电平($V_{CC}-1.3V$)的转换。由于 LVDS 的输出是以地为参考, 而 LVPECL 的输入是以 V_{CC} 为参考, 这需要在构建电平转换网络时注意 LVDS 的输出不会对供电电源的变化敏感; 另一个问题是在功耗和速度方面折中考虑, 如果电阻值($R1$ 、 $R2$ 、 $R3$)取得较小, 由电阻网络和 LVPECL 输入寄生电容构成的时间常数较小, 允许电路在更高的速度下工作。但是, 由于这些电阻上流过较大的电流, 使得总功耗增大。这时, LVDS 的输出性能容易受电源波动的影响。还有一个问题就是要考虑阻抗匹配和网络衰减问题, 电阻值可以通过下面的方程导出。

$$V_A = V_{CC} \cdot \left(\frac{R1}{R1 + R2 + R3} \right) = 1.2V \quad (1)$$

$$V_B = V_{CC} \cdot \left(\frac{R1 + R2}{R1 + R2 + R3} \right) = V_{CC} - 1.3V \quad (2)$$

$$R_{IN} = \left(\frac{R3 \cdot (R1 + R2)}{R3 + (R1 + R2)} \right) // 62\Omega = 50\Omega \quad (3)$$

$$Gain = \frac{R3}{(R2 + R3)} \quad (4)$$

在 $V_{CC} = +3.3V$ 时，解上面的方程得： $R1 = 374\Omega$, $R2 = 249\Omega$, $R3 = 402\Omega$, $V_A = 1.2V$, $V_B = 2.0V$, $R_{IN} = 49\Omega$, 增益 = 0.62。LVDS 的最小差分输出信号摆幅为 500mV_{P-P}，在上面结构中加到 LVPECL 输入端的信号摆幅变为 310mV_{P-P}，该幅度可能低于 PECL 的输入标准，但对于绝大多数 Maxim 公司的 LVPECL 输入电路来说，该信号幅度是足够的，原因是 Maxim 公司 LVPECL 输入端有较高的增益。在实际应用中，读者可根据器件的实际性能作出自己的判断。

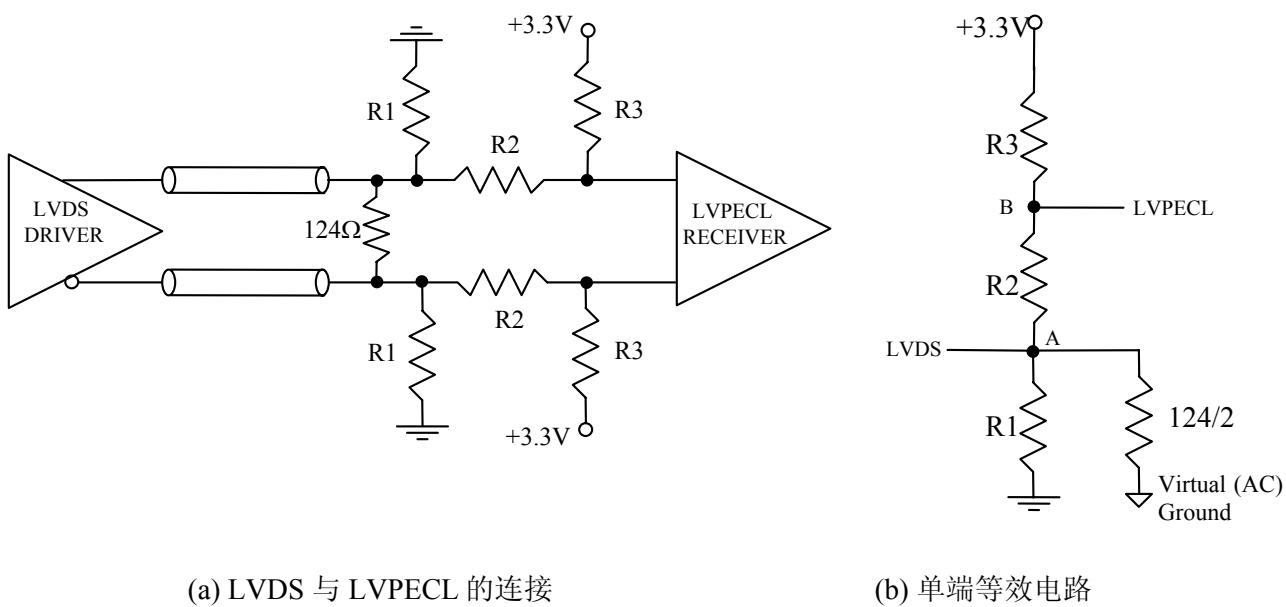
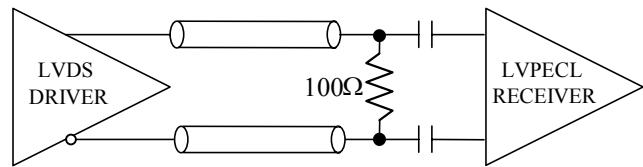


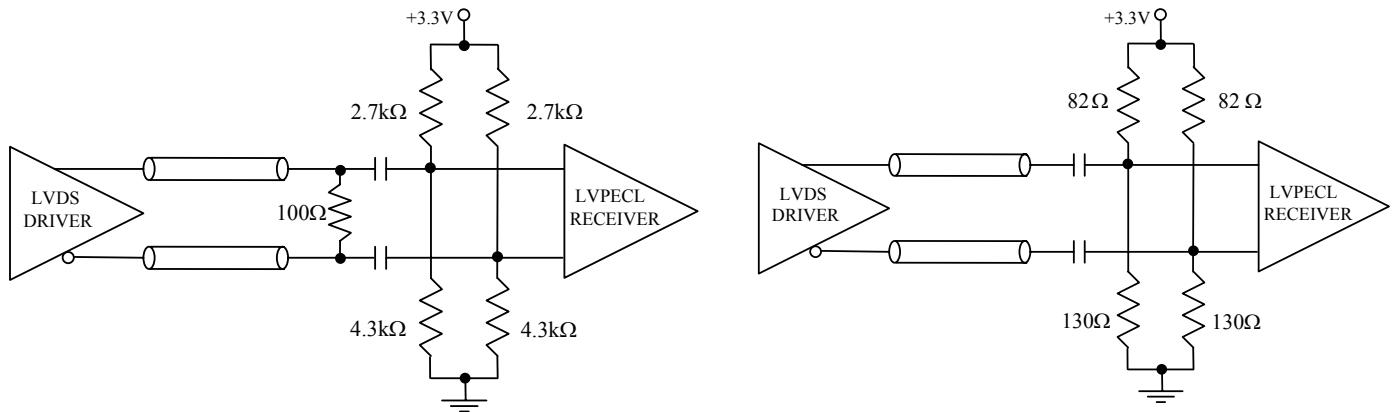
图 19. LVDS 与 LVPECL 之间的直流耦合

6.4.2 交流耦合

LVDS 到 LVPECL 的交流耦合结构较为简单，图 20 给出了两个例子。



(a) LVPECL 带有片内端接(MAX3885)



(b) LVPECL 不含片内端接(MAX3867)

图 20. LVDS 与 LVPECL 之间的交流耦合

6.5 CML 和 LVDS 间互连

CML 与 LVDS 之间采用交流耦合方式连接(图 21)。注意，CML 输出信号摆幅应该在 LVDS 输入能够处理的范围以内。

如果 LVDS 驱动器需要驱动一个 CML 接收器，可以采用图 22 所示的交流耦合方式。

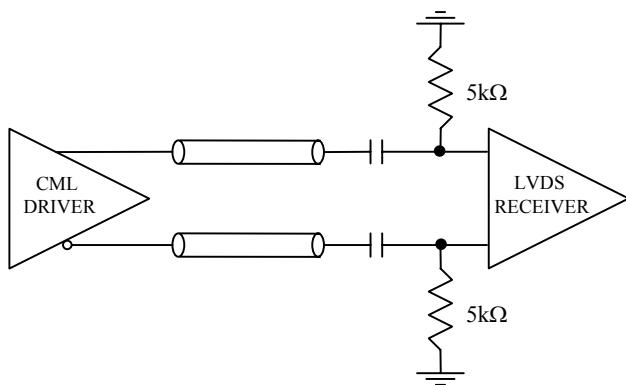


图 21. CML 与 LVDS 之间的交流耦合

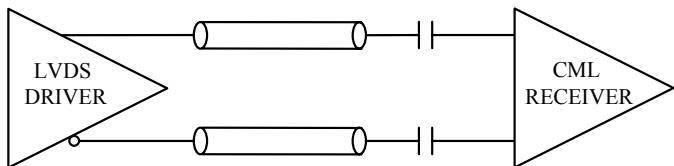


图 22. LVDS 与 CML 之间的交流耦合