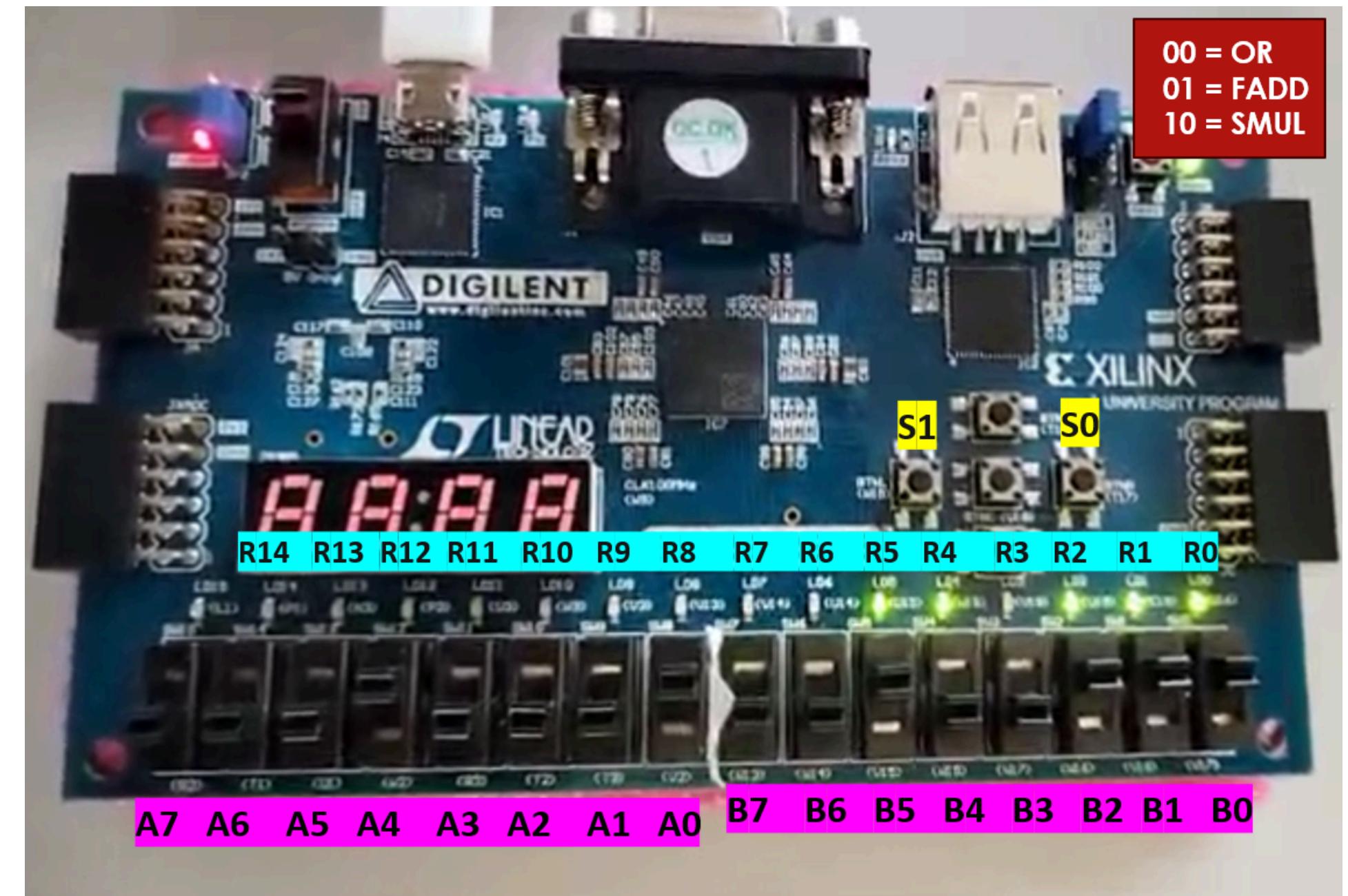


IMPLEMENTACION DE UNA UNIDAD LÓGICA ARITMÉTICA

Integrantes :

- Luis Piero Crisostomo Torres
- Franklin David Soncco Machaca
- Ivonne Gema Ruiz Gutierrez
- Milene Adriana Laime Rojas
- Diego David Uchasara Huarachi



INTRODUCCIÓN

La calculadora se presenta como solución práctica a las engorrosas operaciones que a menudo realizamos a mano con lápiz y papel, especialmente cuando involucran una gran cantidad de dígitos, lo que puede dar lugar a posibles errores en los resultados. Una solución efectiva es la implementación de una ALU, que opera exclusivamente con números en formato binario y su objetivo es realizar operaciones aritméticas y lógicas.



Objetivo del Proyecto : Diseñar un ALU donde contengan las operaciones seleccionadas

Las operaciones seleccionadas son las siguientes:

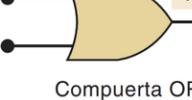
OR	A OR B
FADD	FULL ADDER DE A,B
SMUL	SIGNED ARRAY MULTIPLIER(A,B)

OR

LÓGICA

La compuerta OR, para el caso de 2 entradas (A y B) y una salida (X), es un 1 lógico si al menos una de las 2 entradas este en 1, caso contrario es 0.

OR		$x = A + B$
A	B	$x = A + B$
0	0	0
0	1	1
1	0	1
1	1	1



- Tabla de verdad de lógica OR

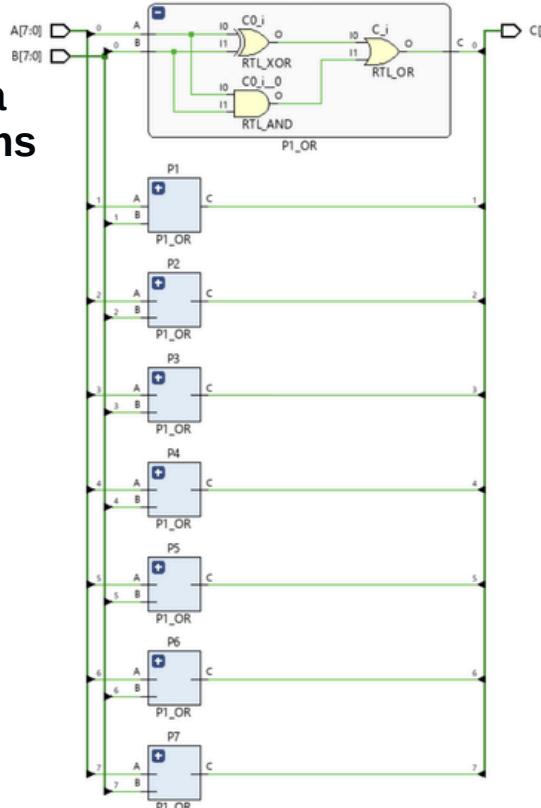
Función de salida mediante minterms

A	B	Salida
0	0	0
0	1	1
1	0	1
1	1	1

$$\text{Salida} = m_1 + m_2 + m_3$$

$$\text{Salida} = AB + A\bar{B} + \bar{A}B$$

$$\text{Salida} = A \oplus B + AB$$

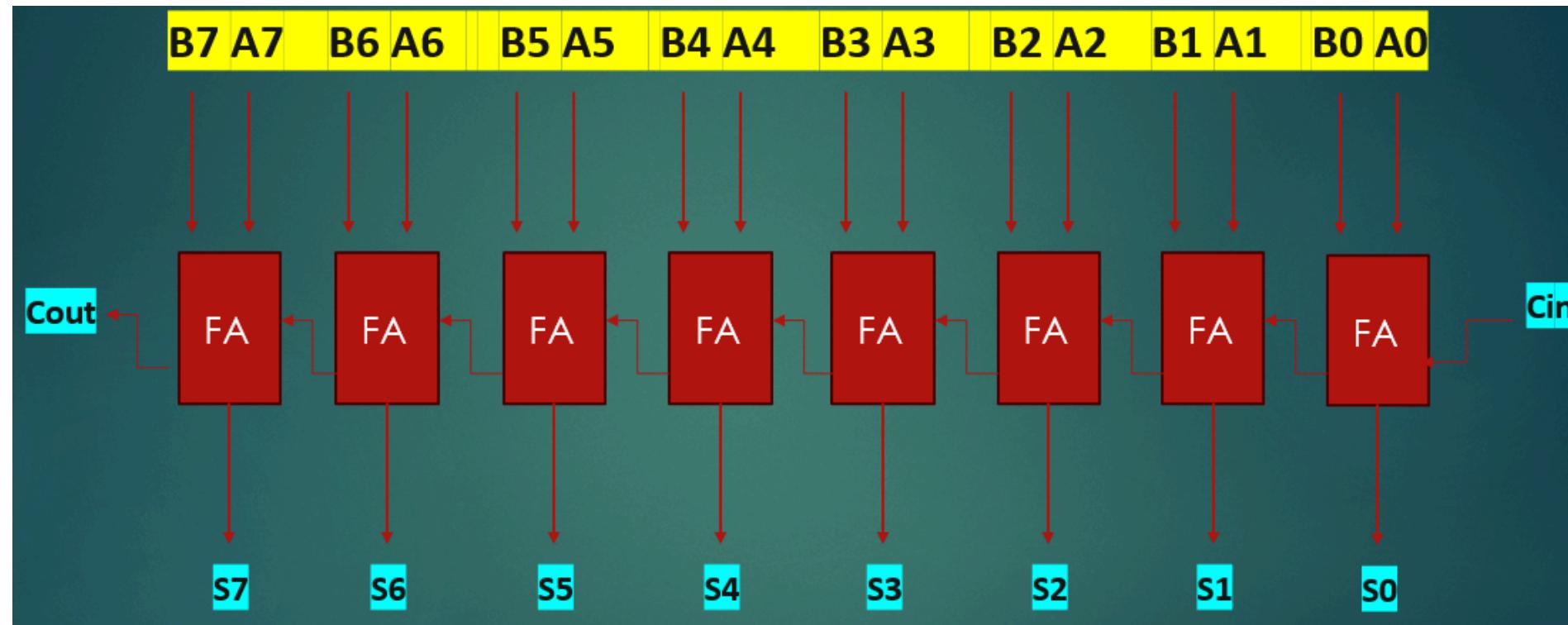


FADD

LÓGICA

Para la suma de ocho bits son necesarios 8 circuitos full-adder. A continuación, en la figura se muestra un diagrama de bloques y la tabla de verdad correspondiente al full-adder.

A	B	C_{in}	C_{out}	Σ
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



- Diagrama de bloque para el FADD

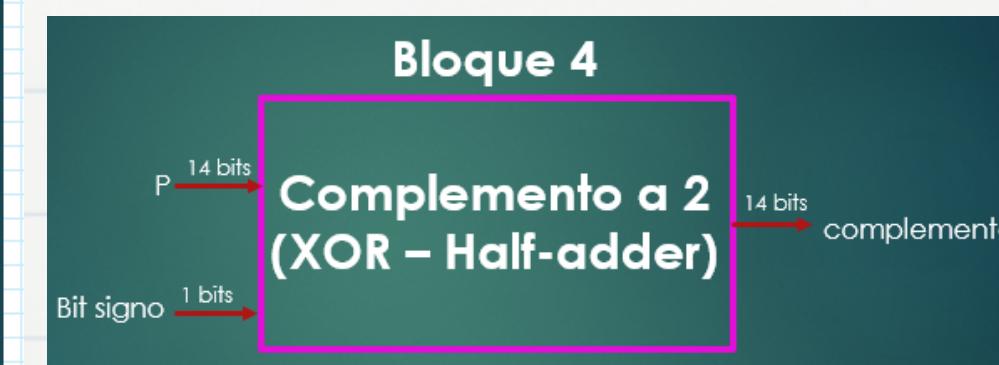
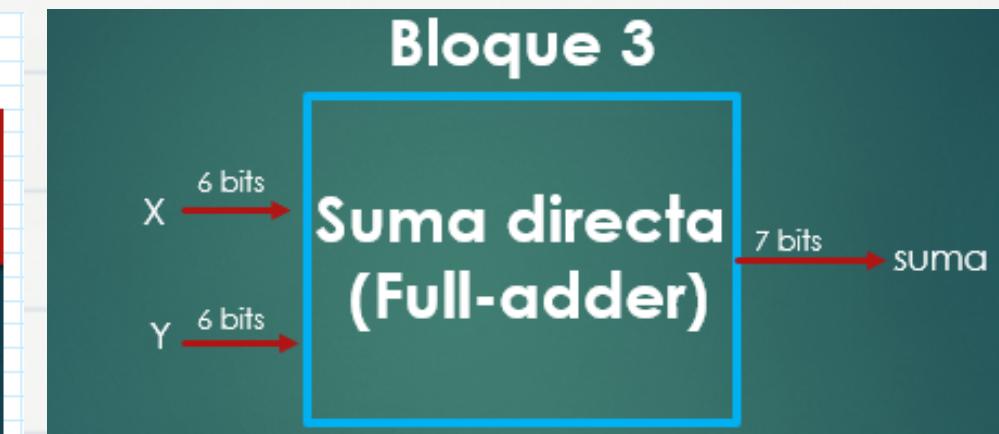
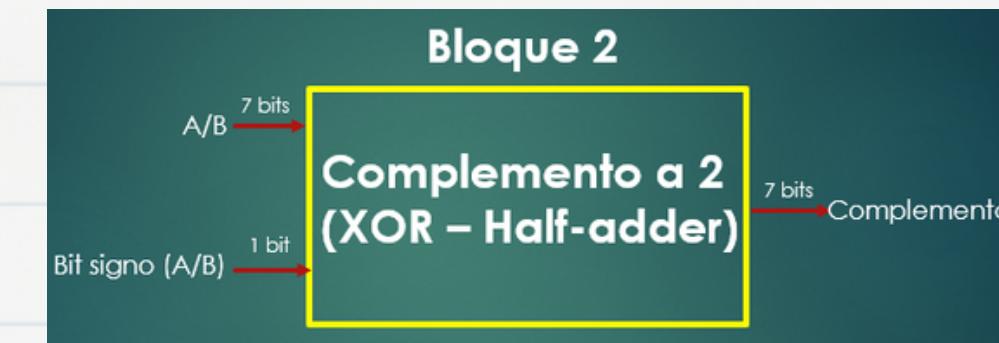
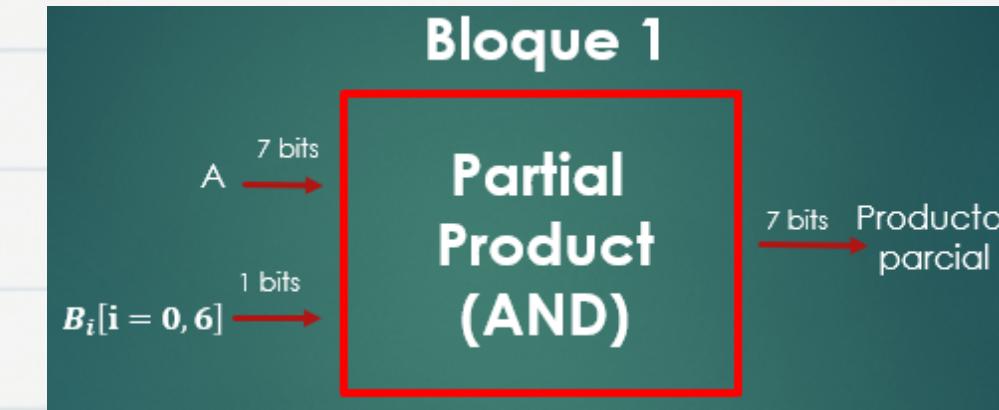
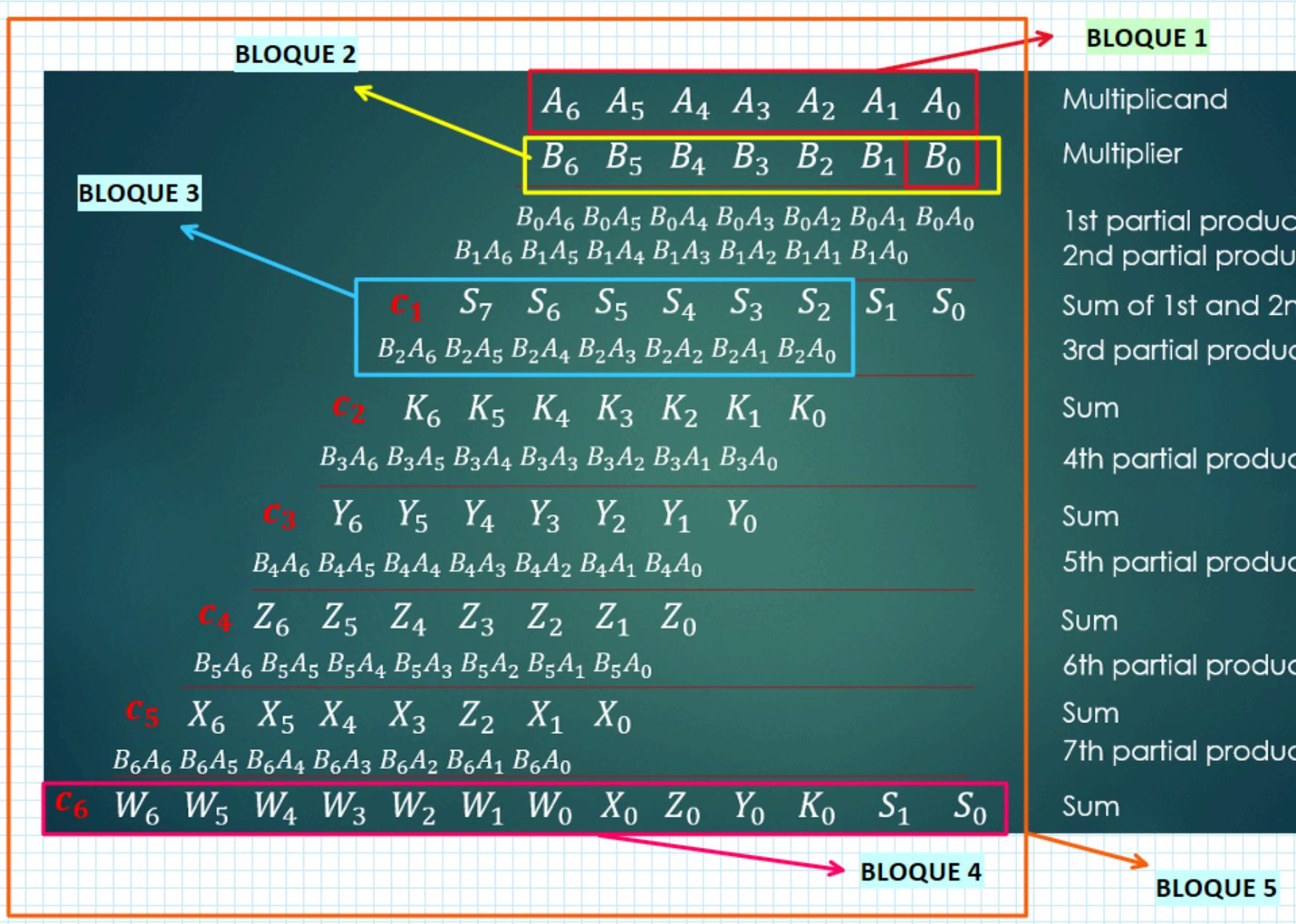
SMULL

- Para el bit signo

A_7	B_7	S_{14}
0	0	0
0	1	1
1	0	1
1	1	0



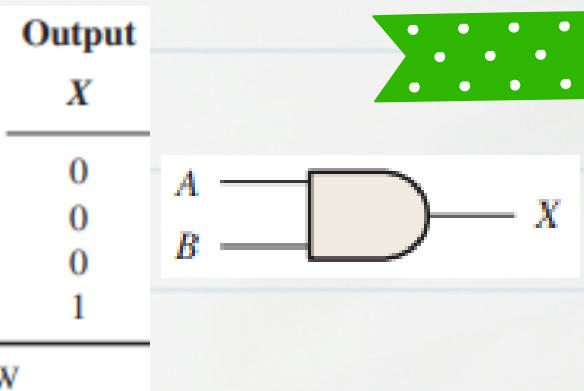
- Para los bits de magnitud



Inputs		
A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

1 = HIGH, 0 = LOW

- Tabla de verdad de lógica AND



A	B	C_{out}	Σ
0	0	0	$A \oplus B$
0	1	0	AB
1	0	0	AB
1	1	1	AB

$$\Sigma = A \oplus B$$

$$C_{out} = AB$$

- Tabla de verdad de Half-adder



Unidad Aritmética Lógica (ALU)

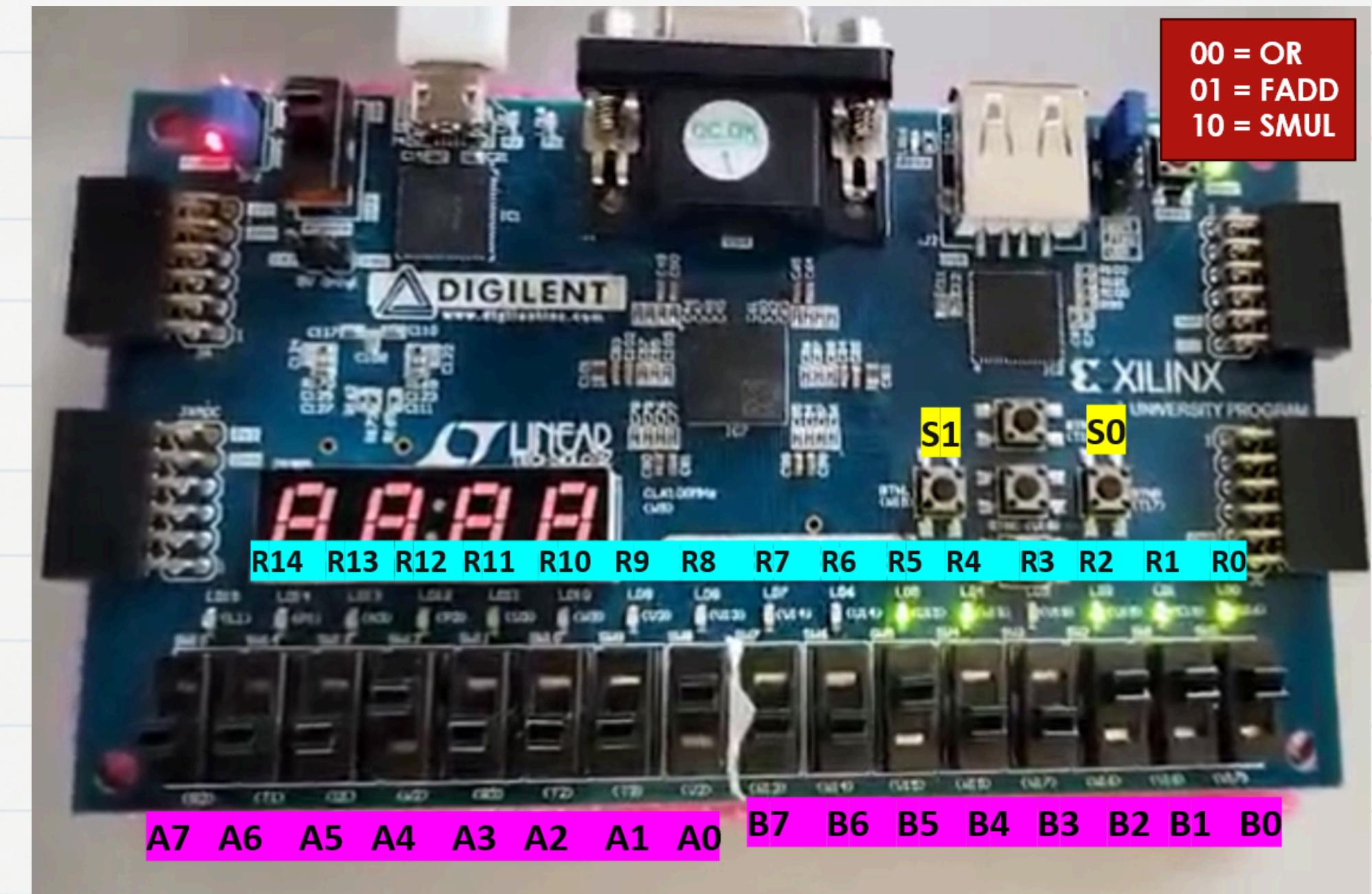


- Diagrama del bloque ALU

op(1)	op(0)	Operación
0	0	"OR"
0	1	"Suma sin signo"
1	0	"Multiplicación con signo"
1	1	"0000000000000000"

- Tabla de verdad del selector

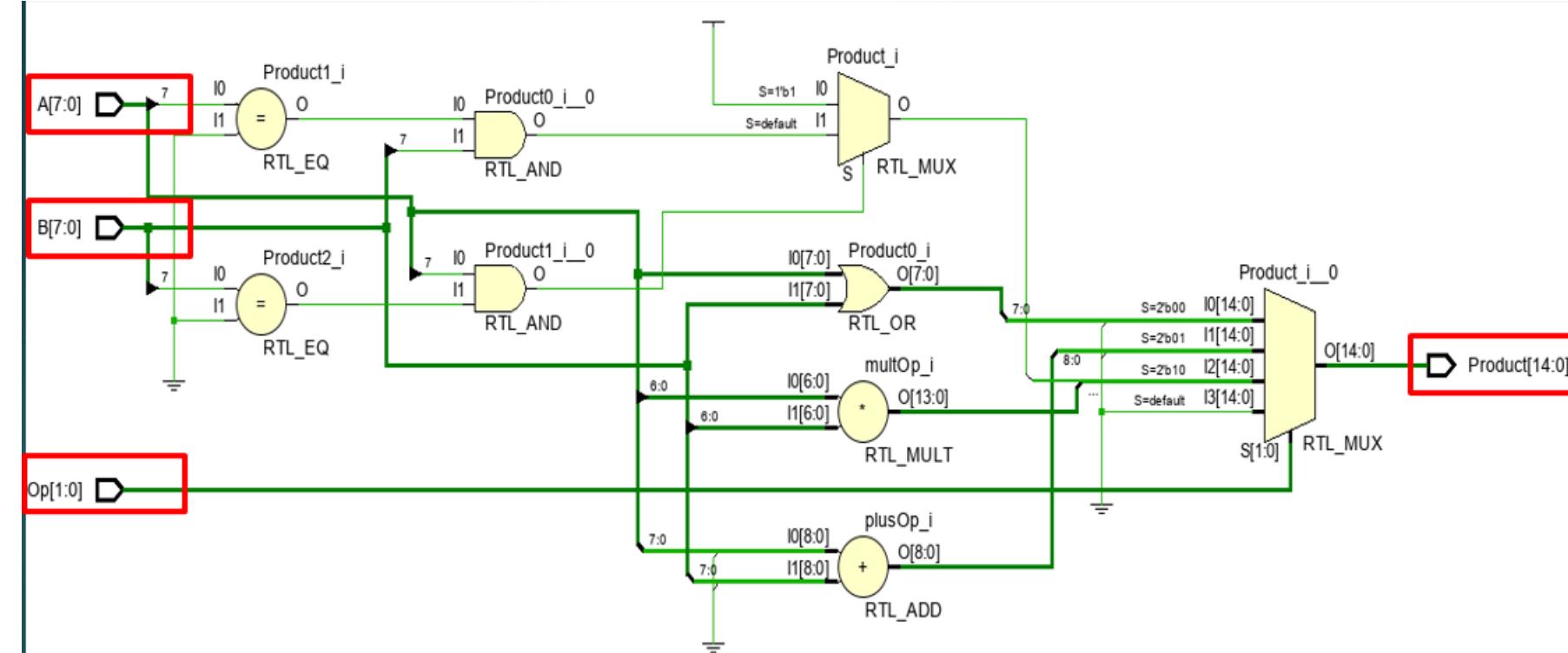
- Diagrama en hardware del bloque ALU



Arquitecturas del ALU

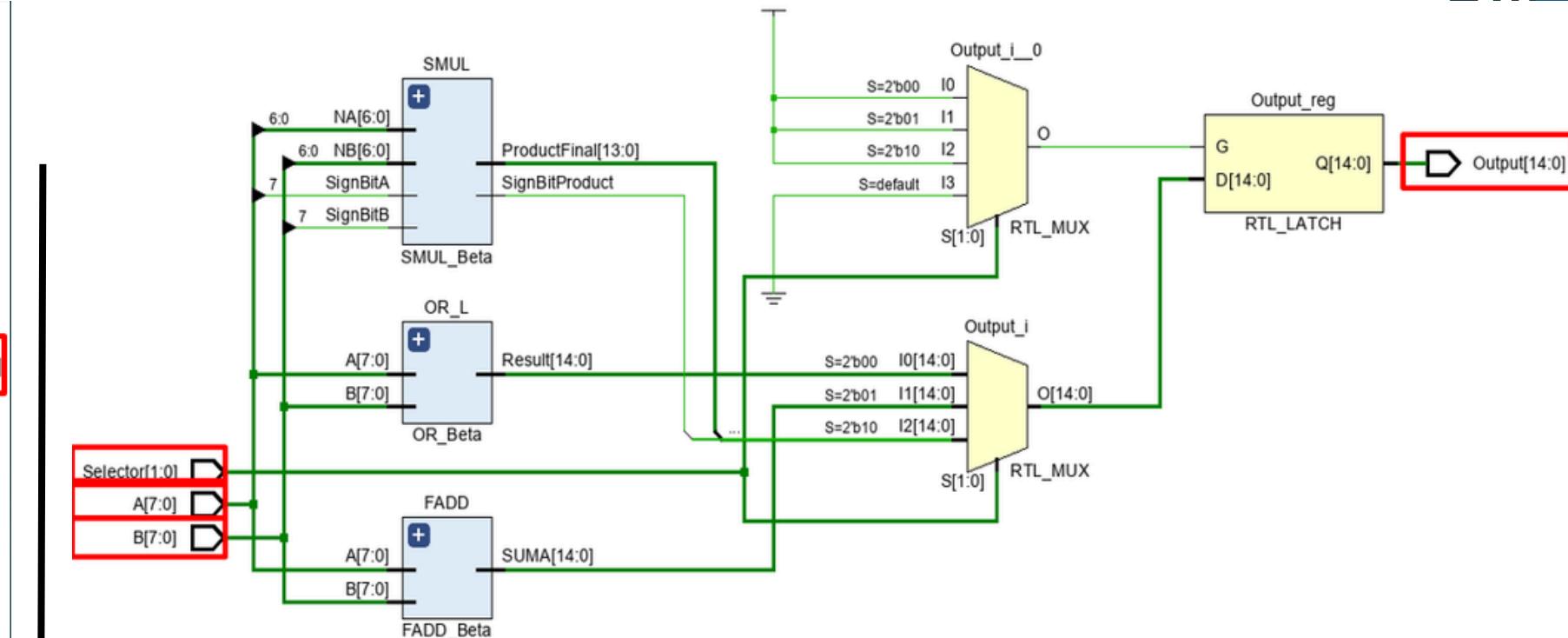


Funcional



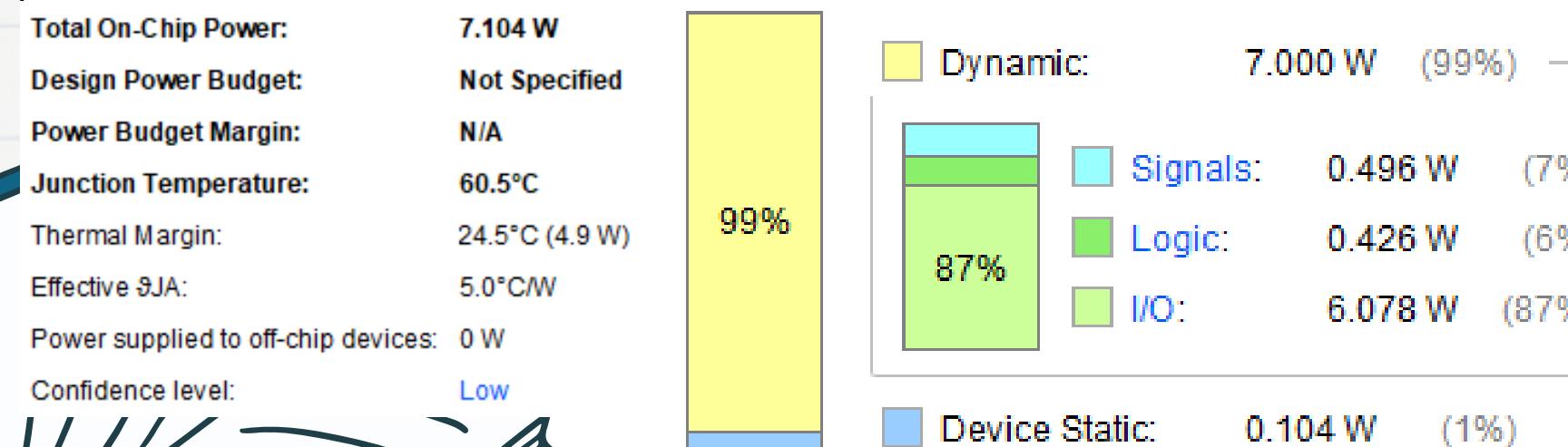
Usa 71 LUTs en funciones lógicas, 18 buffers de entrada y 15 buffers de salida.

Estructural



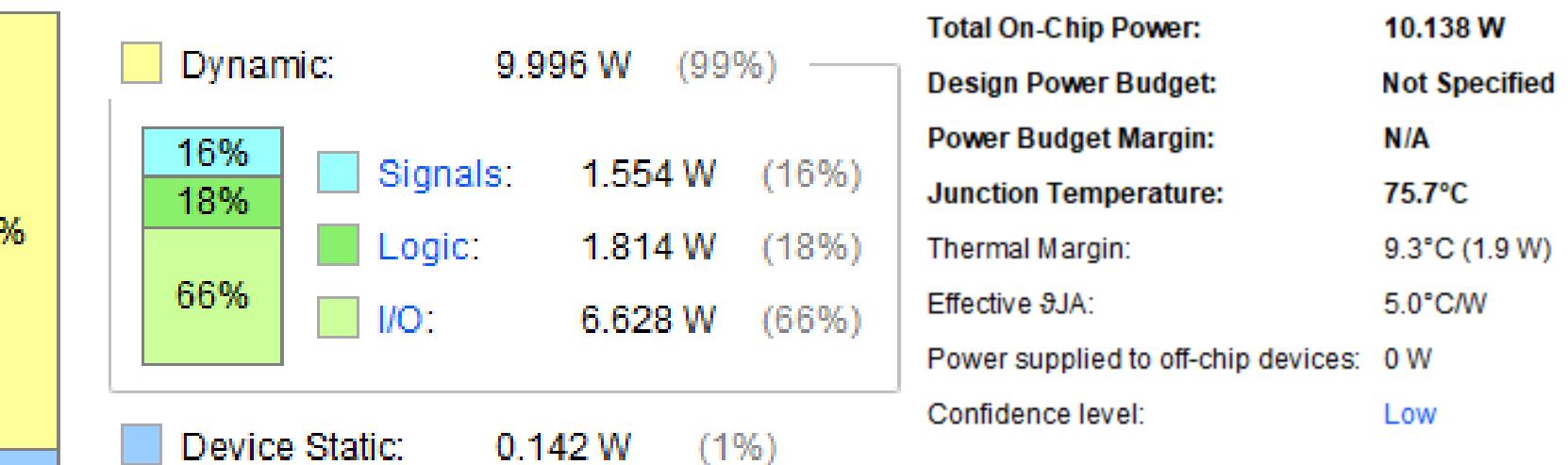
Usa 143 LUTs en funciones lógicas, 15 Slice Registers como latch, 1 F7 Muxes para enrutar señales, 18 buffers de entrada y 15 buffers de salida.

On-Chip Power



42% >

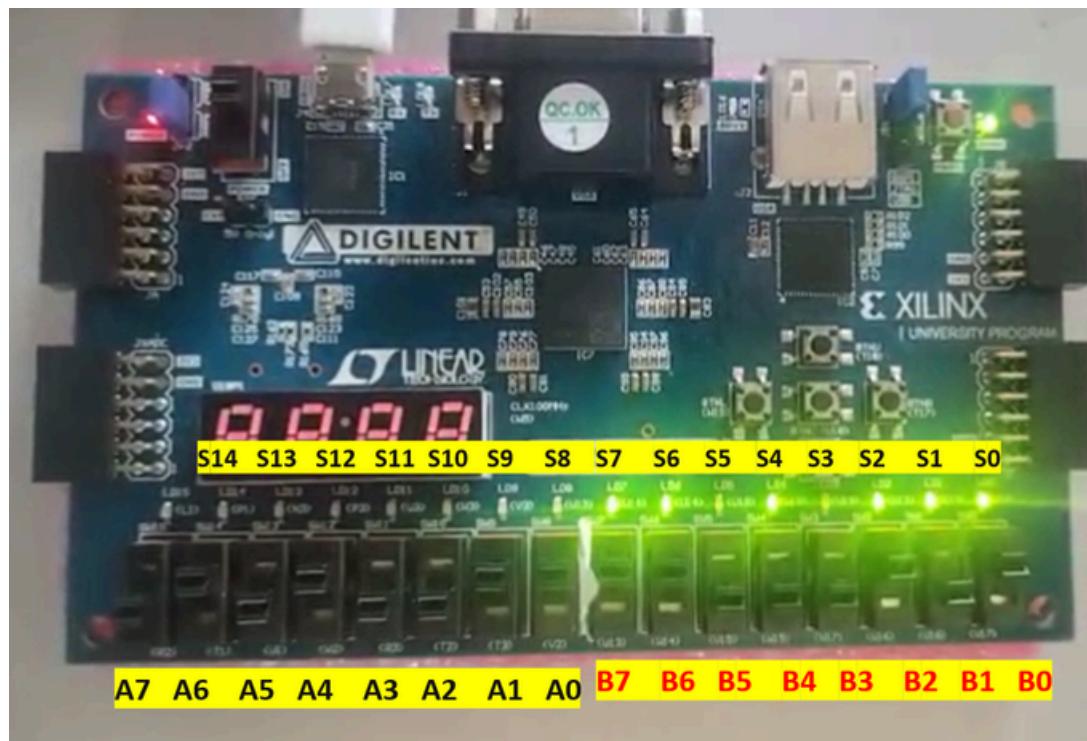
On-Chip Power



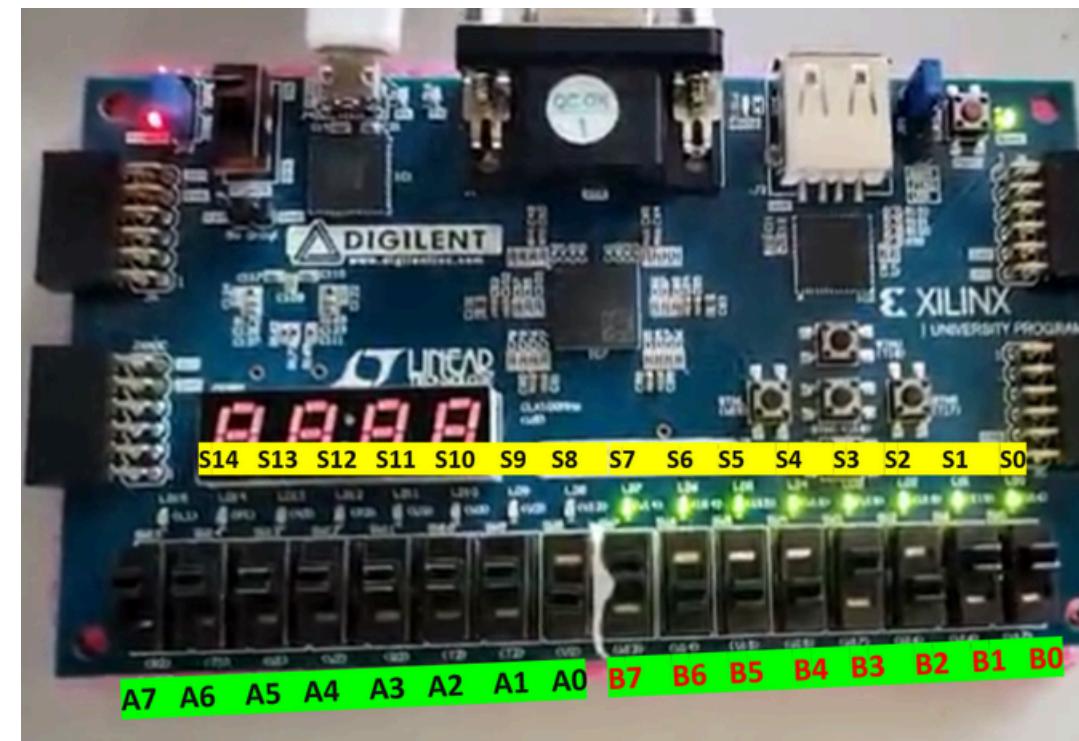
Resultados



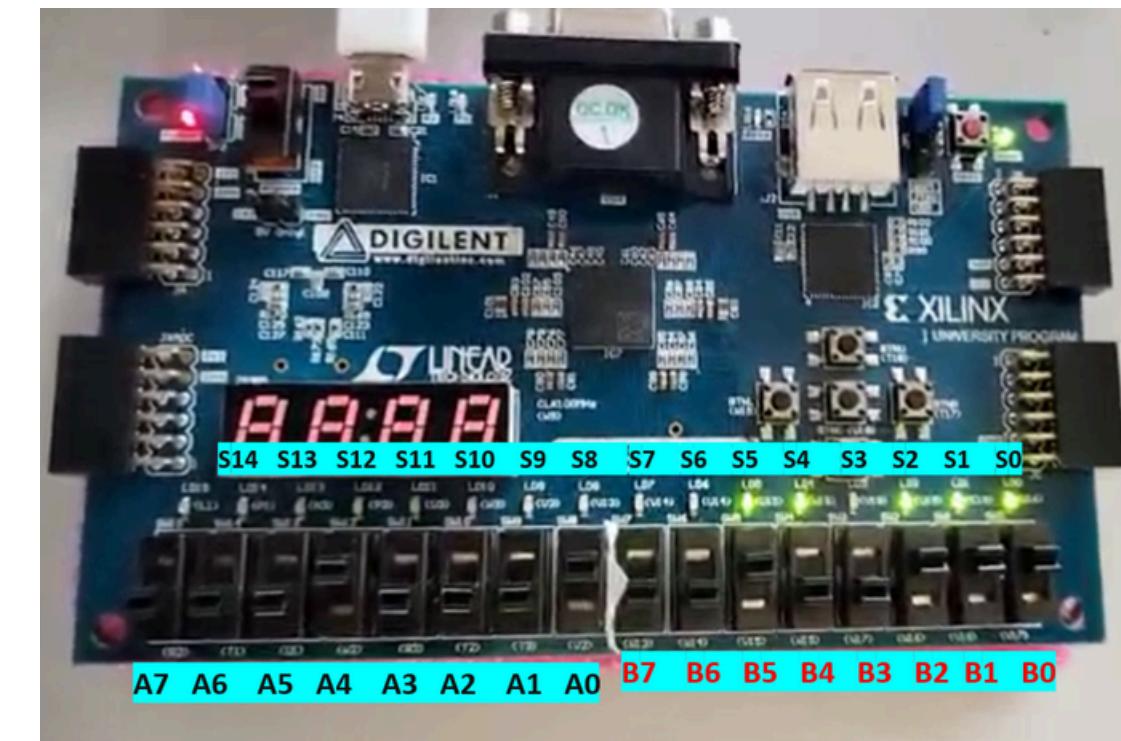
OR



En binario (magnitud real)
A=01010011
B=11000101
OR=11010111



En binario (magnitud real)
A=11111110
B=10001011
OR=11111111

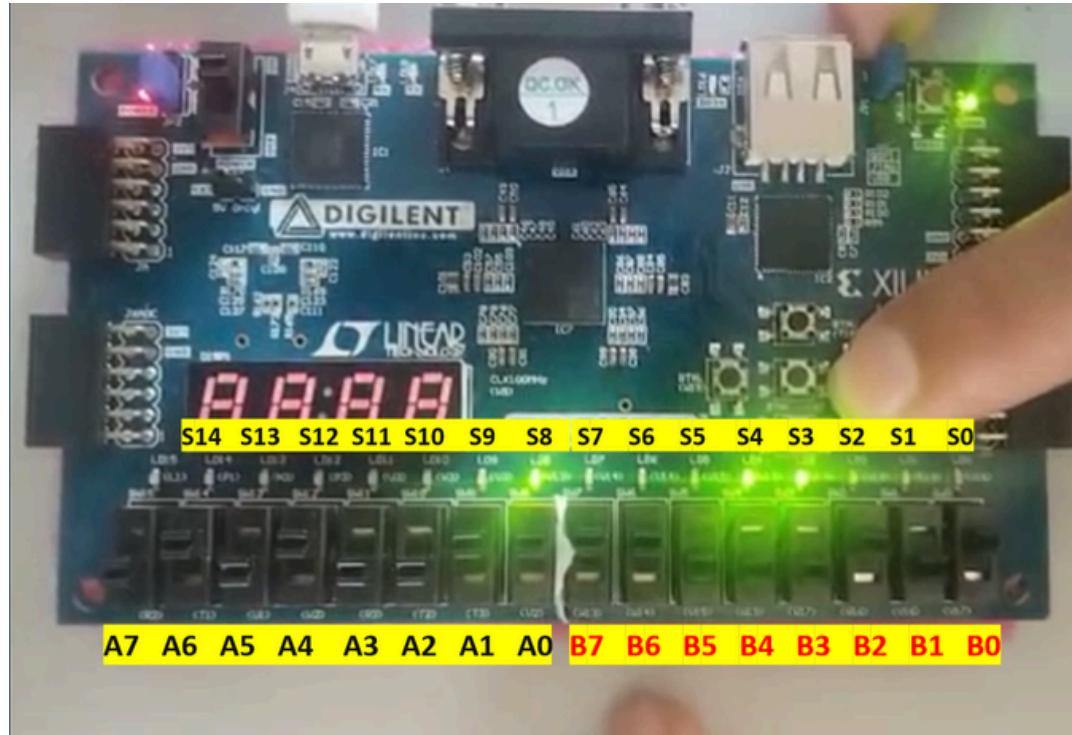


En binario (magnitud real)
A=00010001
B=00100111
OR=00110111

Resultados



FADD



En binario (magnitud real)

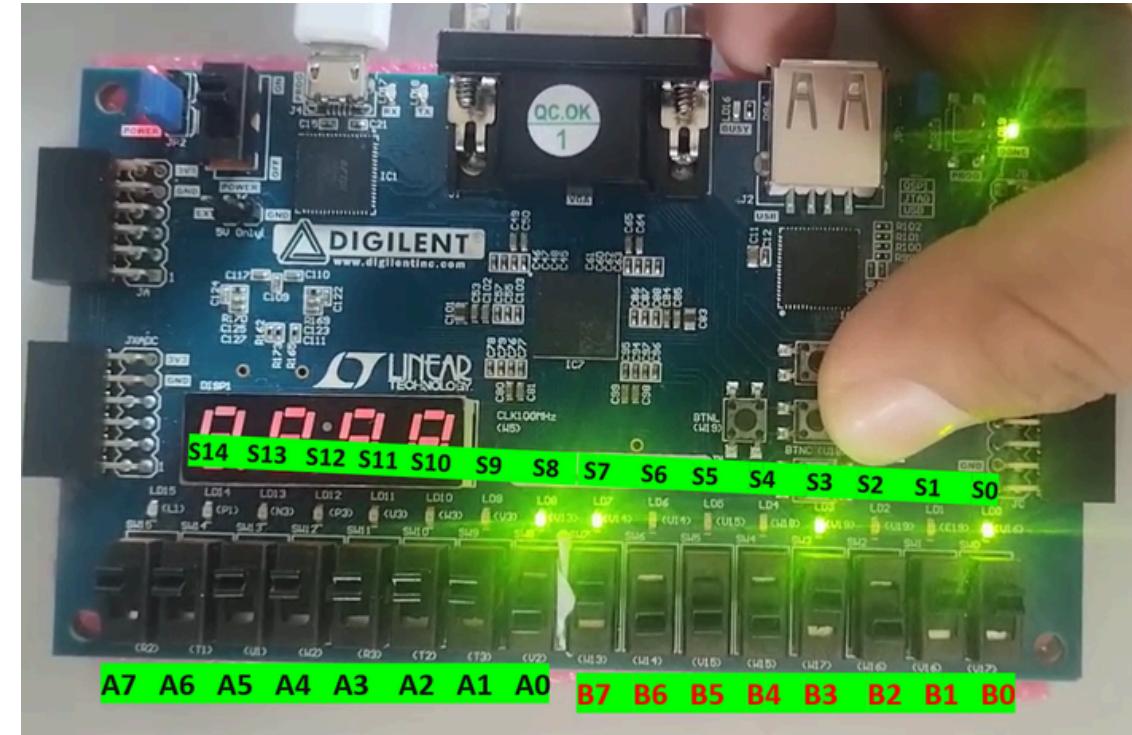
$$A=01010011$$

$$B=11000101$$

$$\text{Suma}=000000100011000$$

En decimal

$$\begin{array}{r} 2^6 + 2^4 + 2^1 + 2^0 \\ 2^7 + 2^6 + 2^2 + 2^0 \\ \hline 2^8 + 2^4 + 2^3 \end{array} \quad \begin{array}{r} 83 \\ 69 \\ \hline 152 \end{array}$$



En binario (magnitud real)

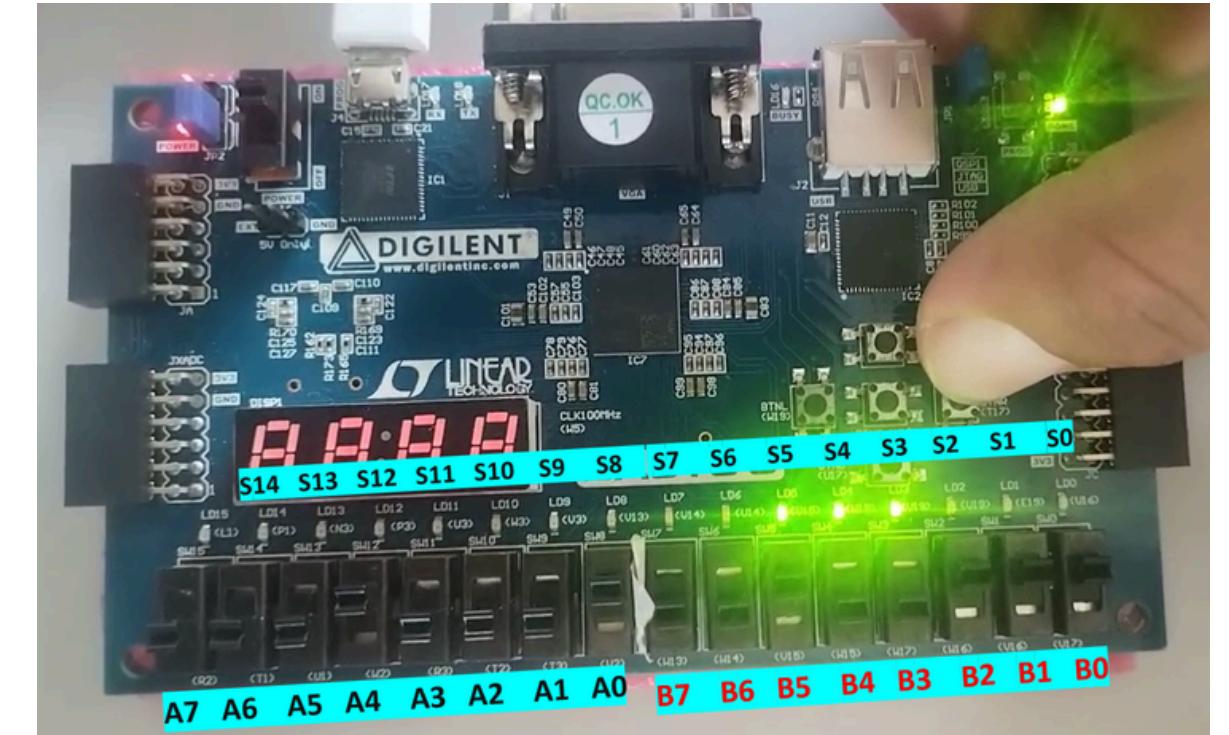
$$A=11111110$$

$$B=10001011$$

$$\text{Suma}=000000110001001$$

En decimal

$$\begin{array}{r} 2^7 + 2^6 + 2^5 + 2^4... \\ 2^7 + 2^3 + 2^1 + 2^0 \\ \hline 2^8 + 2^7 + 2^3 + 2^0 \end{array} \quad \begin{array}{r} 254 \\ 139 \\ \hline 393 \end{array}$$



En binario (magnitud real)

$$A=00010001$$

$$B=00100111$$

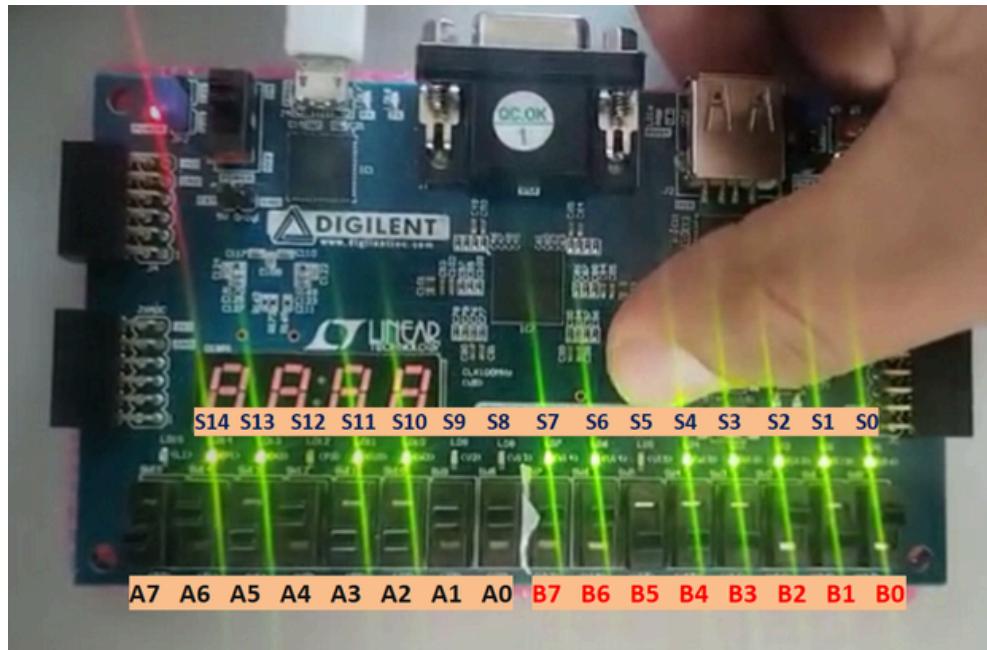
$$\text{Suma}=000000000111000$$

En decimal

$$\begin{array}{r} 2^4 + 2^0 \\ 2^5 + 2^2 + 2^1 + 2^0 \\ \hline 2^5 + 2^4 + 2^3 \end{array} \quad \begin{array}{r} 17 \\ 39 \\ \hline 56 \end{array}$$

Resultados

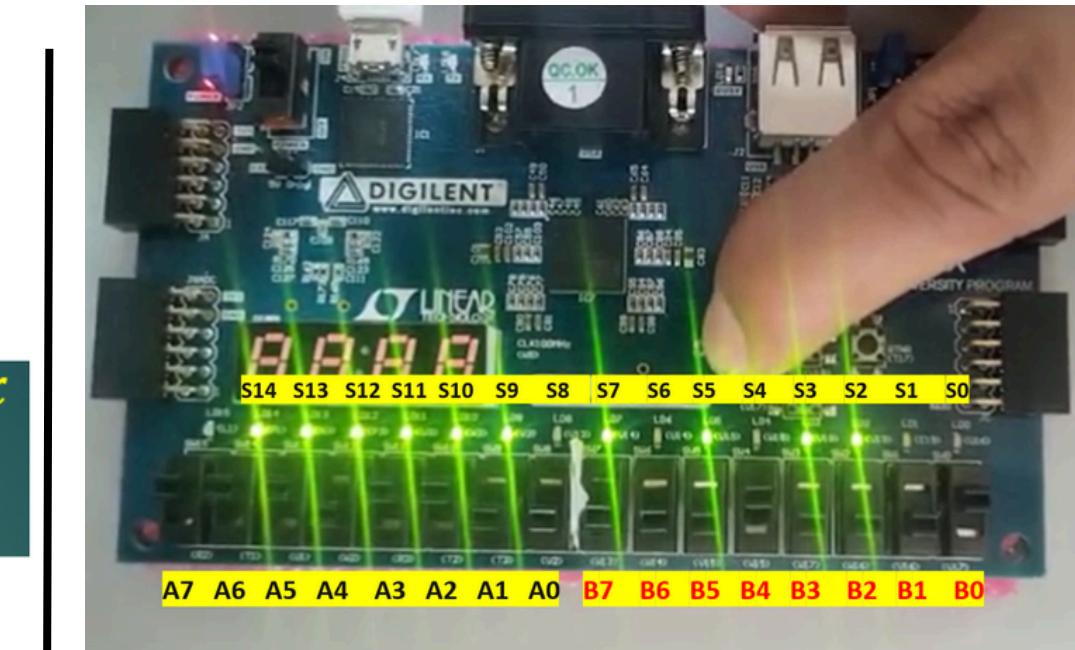
SMUL



En binario (complemento a 2)
A=01010011
B=11000101
Producto=110110011011111

En decimal

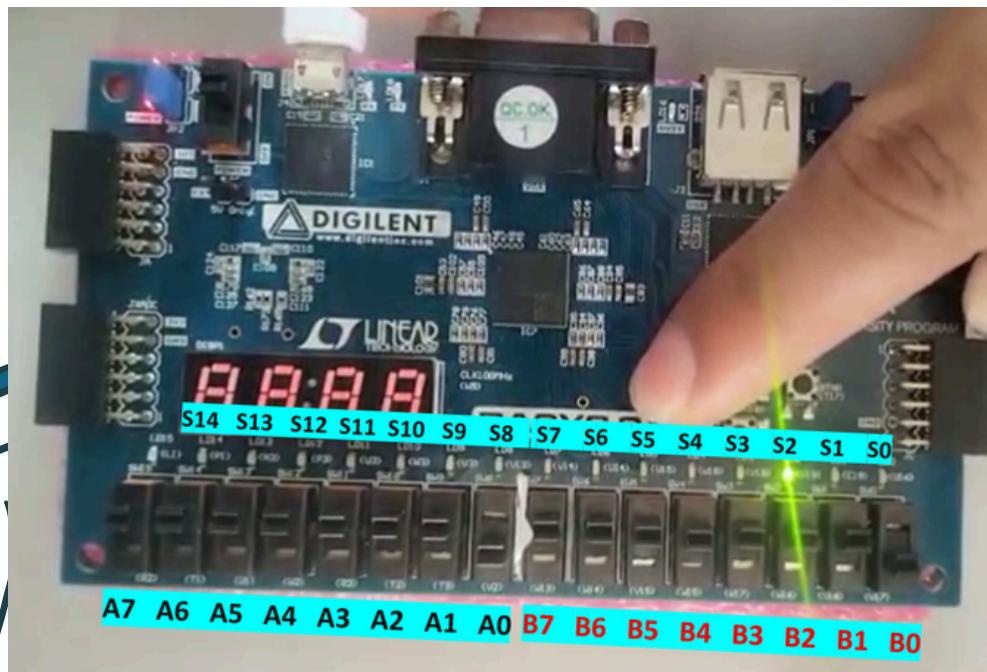
$$\begin{array}{r} 2^6 + 2^4 + 2^1 + 2^0 & 83 \text{ } x \\ -2^7 + 2^6 + 2^2 + 2^0 & -59 \\ \hline -2^{14} + 2^{13} + 2^{11} + 2^{10} \dots & -4897 \end{array}$$



En binario (complemento a 2)
A=11101100
B=00010001
Producto=111111010101100

En decimal

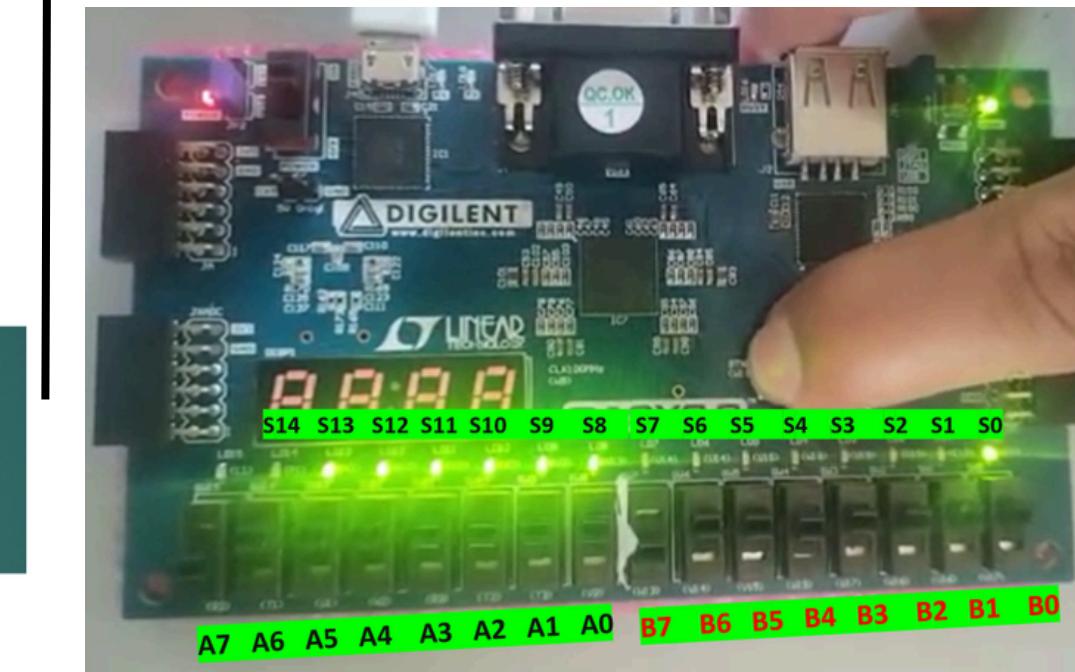
$$\begin{array}{r} -2^7 + 2^6 + 2^5 + 2^3 \dots & -20 \text{ } x \\ 2^4 + 2^0 & 17 \\ \hline -2^{14} + 2^{13} + 2^{12} + 2^{11} \dots & -340 \end{array}$$



En binario (complemento a 2)
A=11111110
B=11111110
Producto=00000000000100

En decimal

$$\begin{array}{r} -2^7 + 2^6 + 2^5 + 2^4 \dots & -2 \text{ } x \\ -2^7 + 2^6 + 2^5 + 2^4 \dots & -2 \\ \hline 2^2 & 4 \end{array}$$



En binario (complemento a 2)
A=01111111
B=01111111
Producto=01111110000001

En decimal

$$\begin{array}{r} 2^6 + 2^5 + 2^4 + 2^3 \dots & 127 \text{ } x \\ 2^6 + 2^5 + 2^4 + 2^3 \dots & 127 \\ \hline 2^{13} + 2^{13} + 2^{11} + 2^{10} \dots & 16129 \end{array}$$

Conclusiones

01



Se ha logrado el objetivo planteado por el equipo, implementar una unidad lógica aritmética con las operaciones OR, FADD y SMUL. Obteniéndose resultados óptimos en su prueba sin ningún tipo de error.

02



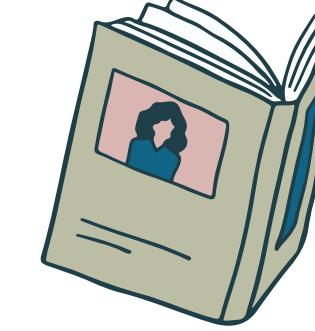
Para la operación SMUL nos es muy útil trabajar en la representación complemento a 2, debido a la facilidad en el manejo de los bits de signo y bits de magnitud en conjunto.

03



En la operación FADD es imprescindible el uso de sumadores completos debido al manejo de acarreos de entrada y salida; y obtener la suma total de dos números binarios.

04



En la operación OR, analizamos la lógica de dos bits del mismo peso.

05



Respecto a las arquitecturas funcional y estructural del ALU. La funcional usa menos recursos tanto en compuertas lógicas; LUTs para funciones lógicas y memoria; buffers de entrada y salida; y consumo de energía que la estructural, realizando las mismas operaciones y obteniendo los mismos resultados. Además, a la hora de implementar en Vivado es menos compleja y corta la arquitectura funcional.

06



Con la arquitectura funcional el circuito llega a tener una temperatura de funcionamiento menor si la comparamos con la arquitectura estructural, esto es fundamental ya que si un circuito se calienta más, entonces su tiempo de vida se acorta.



66
66
66
66

