

Université de Sherbrooke
Faculté de génie
Département de génie informatique

Rapport

Physique des portes logique
GIF470

Par:
Langevin, Clovis - Lanc0902
Gratton, Francis - Graf2102

Présenté à:
L'équipe professorale

Remis le 7 juillet 2025

Table des matières

1	Plan de vérification de l'UAL	2
2	Schématique de l'UAL	3
3	Schématique de l'additionneur à 3 bits	4
4	Schématique de la porte ET à 3 bits	5
5	Conception de la porte Multiplexeur 2 bits vers 1 bit	6
5.1	Table de vérité et fonction Y	6
5.2	Dimensionnement relatif des transistors	6
5.3	Dimensionnement absolue des transistors	7
6	Tampon de sortie	7
6.1	Schématique	7
6.2	Dimensionnement des étages du tampon	8
7	Mesure sur les portes AND, ADD et UAL	9

Table des figures

Fig. 1	Schématique UAL	3
Fig. 2	Schématique Additionneur 3 bits	4
Fig. 3	Schématique ET 3 bits	5
Fig. 4	Table de Karnhaut	6
Fig. 5	Schématique tampon de sortie	8

1 Plan de vérification de l'UAL

Les tests suivant sont fait quand le sélecteur est égal à zéro donc l'opération ET donc le cout n'est pas important.

test	Action	Résultats attendus	OK
ET avec toute des valeur à zéro	ET avec $a = \{0, 0, 0\}$ et $b = \{0, 0, 0\}$	$o = \{0, 0, 0\}$	✓
ET avec toute des valeur à un	ET avec $a = \{1, 1, 1\}$ et $b = \{1, 1, 1\}$	$o = \{1, 1, 1\}$	✓
ET avec des valeurs aléatoires	ET avec $a = \{1, 0, 1\}$ et $b = \{0, 0, 1\}$	$o = \{0, 0, 1\}$	✓

Les tests suivant sont fait quand le sélecteur est égal un à un donc l'opération ADD. Le LSB est le premier élément de la liste.

test	Action	Résultats attendus	OK
ADD avec toute des valeur à zéro	ADD avec $a = \{0, 0, 0\}$, $b = \{0, 0, 0\}$ et $cin = 0$	$o = \{0, 0, 0\}$ $cout = 0$	✓
ADD avec toute des valeur à un	ADD avec $a = \{1, 1, 1\}$ et $b = \{1, 1, 1\}$ et $cin = 0$	$o = \{0, 0, 0\}$ $cout = 1$	✓
ADD avec des valeurs aléatoires	ADD avec $a = \{1, 0, 1\}$ et $b = \{0, 1, 1\}$ et $cin = 0$	$o = \{1, 1, 0\}$ $cout = 1$	✓

2 Schématique de l'UAL

Voici le schématique de la porte UAL

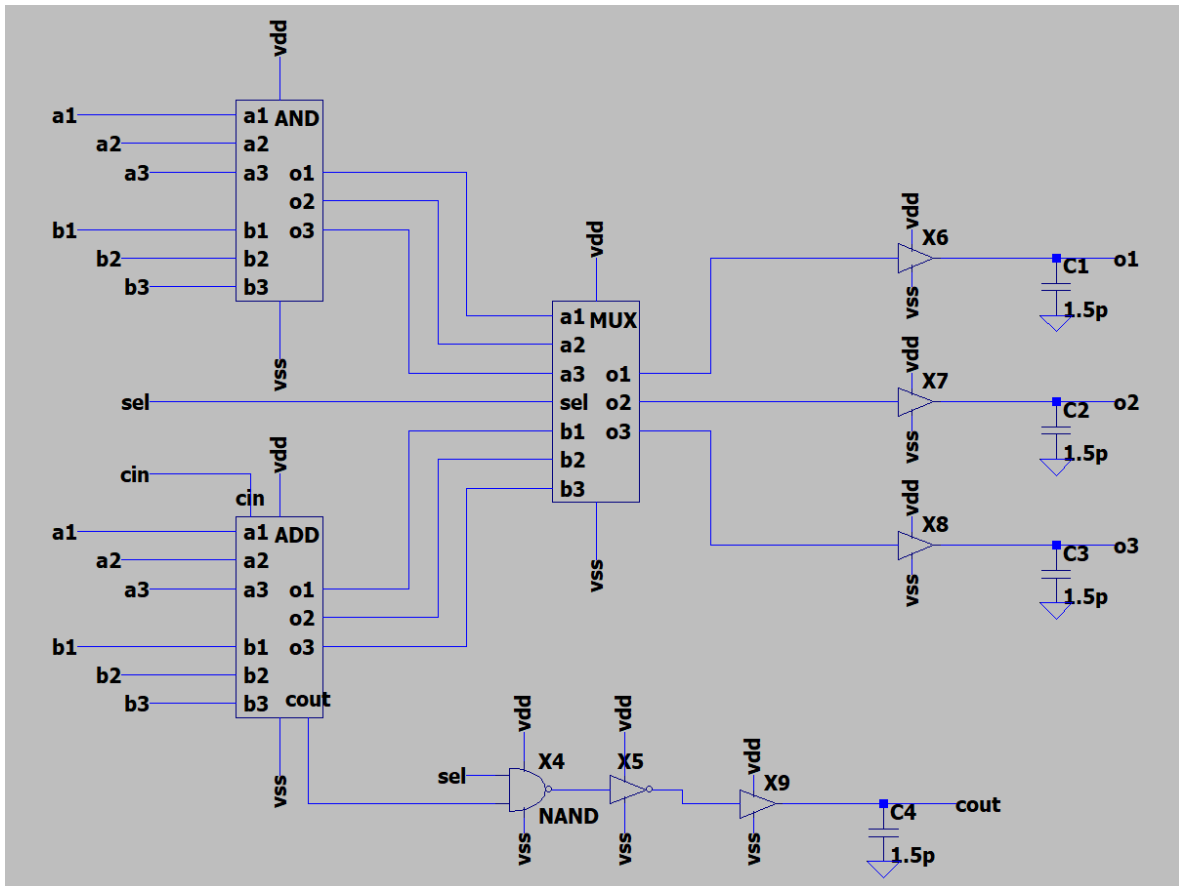


Fig. 1. – Schématique UAL

3 Schématisation de l'additionneur à 3 bits

Voici le schématisation de la porte additionneur à 3 bits

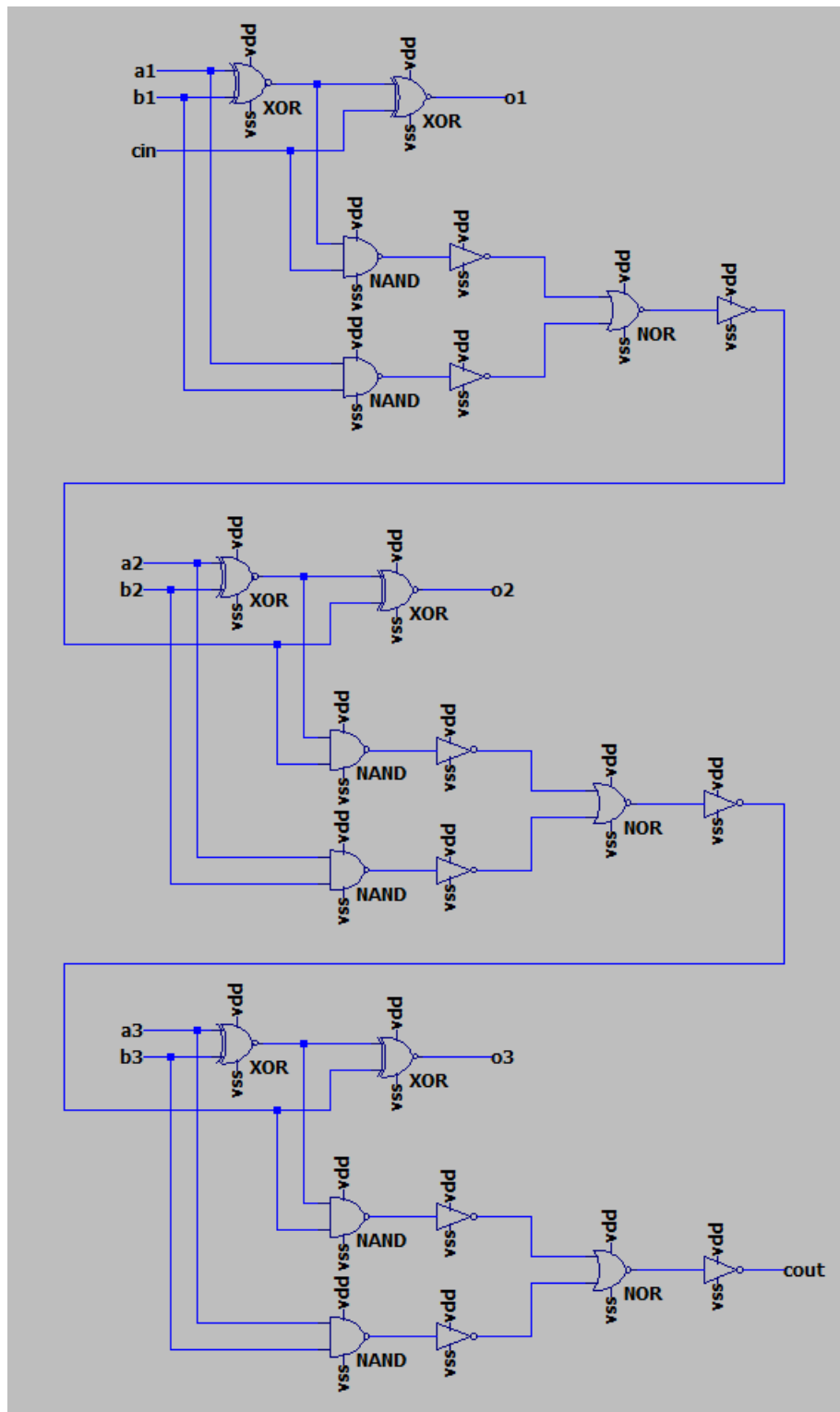


Fig. 2. – Schématisation Additionneur 3 bits

4 Schématique de la porte ET à 3 bits

Voici le schématique de la porte ET à 3 bits

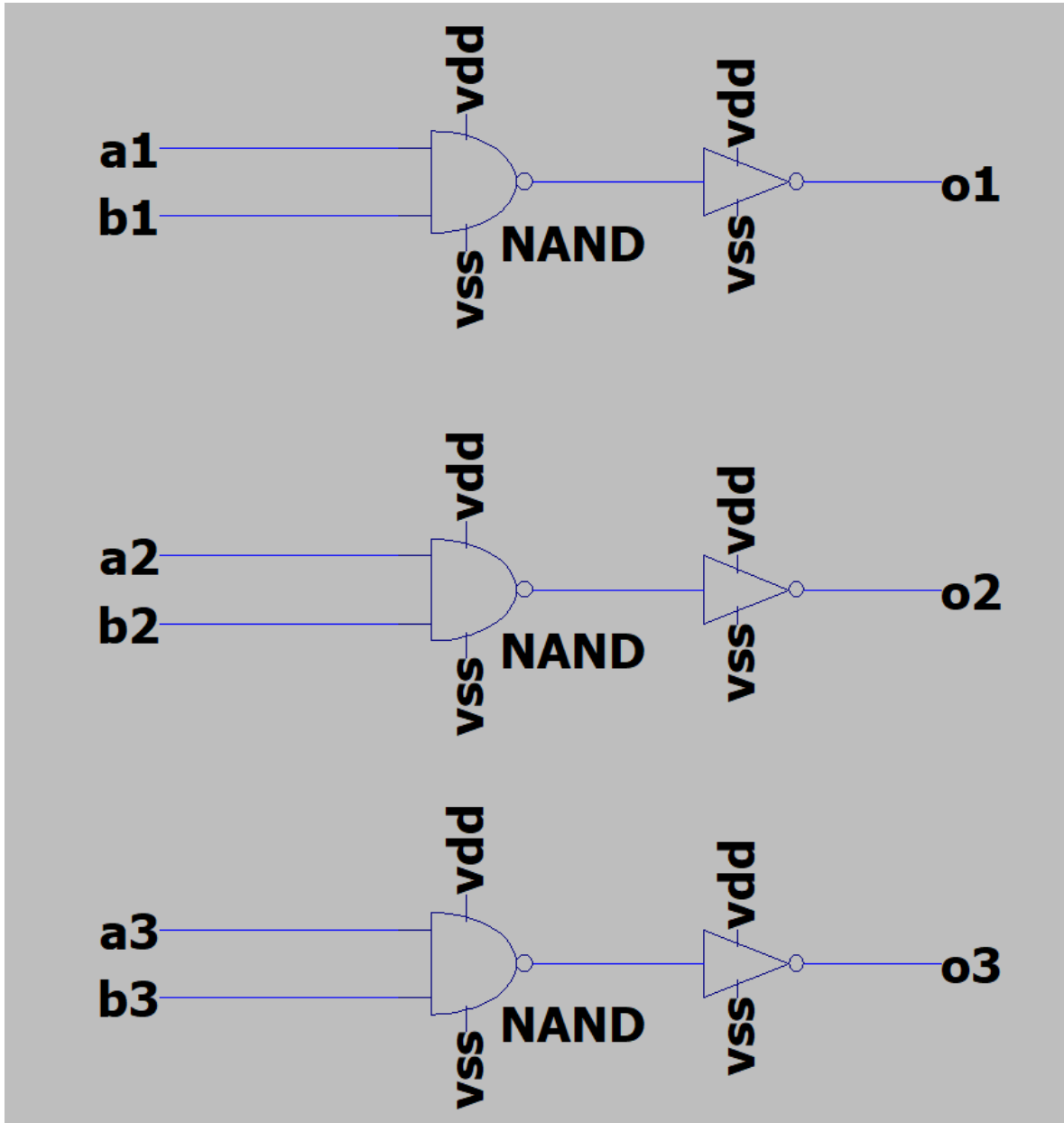


Fig. 3. – Schématique ET 3 bits

5 Conception de la porte Multiplexeur 2 bits vers 1 bit

5.1 Table de vérité et fonction Y

a	b	sel	o
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Tableau 3. – Table de vérité du Multiplexeur 2 bits vers 1 bit

Voici les calculs nécessaire pour trouver l'équation de la porte et de son inverse.

sel \ a b	00	01	11	10
0	0	0	1	1
1	0	1	1	0

Fig. 4. – Table de Karnaugh

$$y = a * \overline{\text{sel}} + b * \text{sel} \quad (1)$$

$$\bar{y} = \overline{a * \overline{\text{sel}} + b * \text{sel}} \quad (2)$$

$$\bar{y} = \overline{a * \overline{\text{sel}}} * \overline{b * \text{sel}} \quad (3)$$

$$\bar{y} = \bar{a} + \text{sel} * \bar{b} + \overline{\text{sel}} \quad (4)$$

5.2 Dimensionnement relatif des transistors

Le multiplexeur 2 bits vers 1 bit est composé de deux portes NAND, d'une porte NOR et de quatre inverseurs. Un inverseur nécessite seulement un transistor

PMOS (PUN) et un transistor NMOS (PDN). S'ils sont déjà équilibrés (balancés) l'un par rapport à l'autre, il n'est pas nécessaire d'ajuster leur dimension.

En revanche, les portes NAND et NOR nécessitent un ajustement, car elles comportent deux transistors en série d'un seul côté de la sortie. Dans le cas de la porte NAND, les deux transistors NMOS sont en série. Pour conserver un bon équilibre entre les temps de transition TTLH (Low-to-High) et TTHL (High-to-Low), il faut doubler leur largeur.

Pour la porte NOR, c'est l'inverse : ce sont les deux transistors PMOS qui sont en série. Il faut donc doubler leur largeur pour maintenir un équilibre similaire entre le TTLH et le TTHL.

5.3 Dimensionnement absolue des transistors

L'utilisation des transistors PMOS (PUN) et NMOS (PDN) permet de construire des portes logiques plus complexes. Une règle importante à respecter est d'assurer que les temps de transition de la porte soient équilibrés (égaux ou proches).

Cependant, les transistors PMOS sont naturellement plus lents que les NMOS. Il est donc nécessaire d'appliquer un facteur de correction à leur largeur afin de compenser cette différence de vitesse.

En mesurant les temps de transition d'un inverseur, qui ne comporte qu'un PMOS et un NMOS, un facteur de 2,5 appliqué à la largeur du PMOS a été identifié comme celui offrant la meilleure courbe de transfert.

6 Tampon de sortie

6.1 Schématique

Le tampon de sortie a six étages d'inverseur pour respecter les spécifications de délai de propagation minimum, une capacité d'entrée de 1 fF et une capacité de sortie de 1,5 pF. La figure suivante est la schématique obtenu.

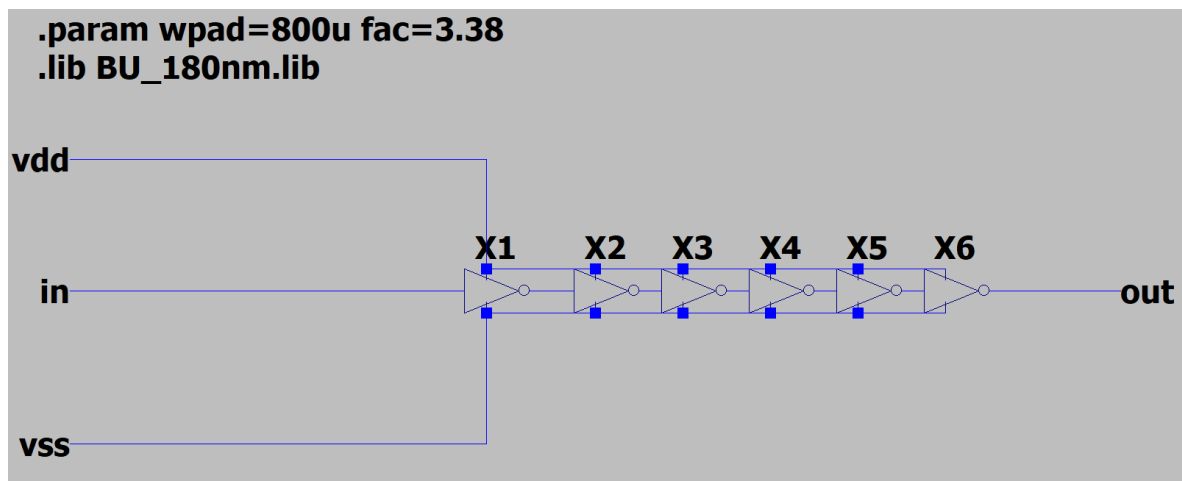


Fig. 5. – Schématique tampon de sortie

6.2 Dimensionnement des étages du tampon

Pour déterminer le nombre d'étage et le facteur un calcul de grande charge de capacitance à été fait.

$$C_L = 1.5e - 12 \quad (5)$$

$$C = 1e - 15 \quad (6)$$

$$X^n = \frac{1.5e - 12}{1e - 15} \quad (7)$$

$$X^n = 1500 \quad (8)$$

$$n = 7.31 \quad (9)$$

Avec un n de 7,31 et un tampon qui doit garder la valeur a l'entrée sans l'inverser. Les valeurs possible doivent être un chiffre pair. Ce qui veut dire une valeur de 6 ou de 8 inverseur.

$$n_1 = 6 \quad n_2 = 8 \quad (10)$$

$$X_1 = 1500^{\frac{1}{6}} \quad X_2 = 1500^{\frac{1}{8}} \quad (11)$$

$$X_1 = 3.38 \quad X_2 = 2.49 \quad (12)$$

Une fois trouvé les valeurs de facteur pour les inverseurs. Il est possible de les mettre dans la simulation pour comparer les temps de propagation et voir celui qui a temps minimal. La sélection de six étages est plus rapide avec un temps de propagation de 365,69 ps.

7 Mesure sur les portes AND, ADD et UAL

Porte	TTLH
AND	82 ps
ADD	189 ps
UAL	95 ps

Tableau 4. – Temps de transition bas vers haut

Porte	TPLH	TPHL
AND	96 ps	73 ps
ADD	325 ps	299 ps

Tableau 5. – Temps de propagation