***2021***

****

**计算机组成原理 ·实验报告·**

|  |  |
| --- | --- |
| 学 院： | 计算机与信息学院 |
| 班 级： | 计算机19-1班 |
| 学 号： | 2019210000 |
| 姓 名： | 范XX |
| 电 话： | 138XXXXXXXX |
| 邮 件： | [134567890@qq.com](mailto:134567890@qq.com) |
| 完成日期： | 2021-06-05 |
| 指导教师： | 阙 夏 |

目 录

[1 Verilog与vivado基础 3](#_Toc69573810)

[1.1 设计要求 3](#_Toc69573811)

[1.2 方案设计 3](#_Toc69573812)

[1.3 实验步骤 5](#_Toc69573813)

[1.4 故障与调试 6](#_Toc69573814)

[1.5 仿真及分析 6](#_Toc69573815)

[2 XXX实验 8](#_Toc69573816)

[2.1 设计要求 8](#_Toc69573817)

[2.2 方案设计 8](#_Toc69573818)

[2.3 实验步骤 8](#_Toc69573819)

[2.4 故障与调试 8](#_Toc69573820)

[2.5 仿真及分析 9](#_Toc69573821)

[3 XXX实验 10](#_Toc69573822)

[3.1 设计要求 10](#_Toc69573823)

[3.2 方案设计 10](#_Toc69573824)

[3.3 实验步骤 10](#_Toc69573825)

[3.4 故障与调试 10](#_Toc69573826)

[3.5 仿真与分析 11](#_Toc69573827)

[4 XXX实验 12](#_Toc69573828)

[4.1 设计要求 12](#_Toc69573829)

[4.2 方案设计 12](#_Toc69573830)

[4.3 实验步骤 12](#_Toc69573831)

[4.4 故障与调试 12](#_Toc69573832)

[4.5 仿真与分析 13](#_Toc69573833)

[5 总结与心得 14](#_Toc69573834)

[5.1 实验总结 14](#_Toc69573835)

[5.2 实验心得 14](#_Toc69573836)

[参考文献 15](#_Toc69573837)

# Verilog与vivado基础

**实验报告选择两次实验撰写，其中“实验4单周期CPU的设计与实现-单指令CPU设计与实现”必选。**

**请仔细阅读所有的批注，阅读理解后删除所有批注和红色说明文字。**

**模板各个标题下面的内容仅是举例，作者应依照自己思想重写该部分内容**

## 设计要求

熟悉并掌握 Verilog HDL 与 vivado 的使用。

请使用 Verilog 完成4选1 多路选择器（MUX） 、4 位全加器、8 位比较器、74138 译码器等模块设计，然后编写测试文件进行仿真验证。

## 方案设计

所有方案应将设计思路和设计原理、过程写清楚，为什么这样设计，各部件之间的关系，仅仅粘贴一张电路图是不合格的报告。

多路选择器（MUX）是一种在多路数据传送过程中，能够根据需要将其中任意一路选出来的电路，其原理图和真值表如图 1.1所示。

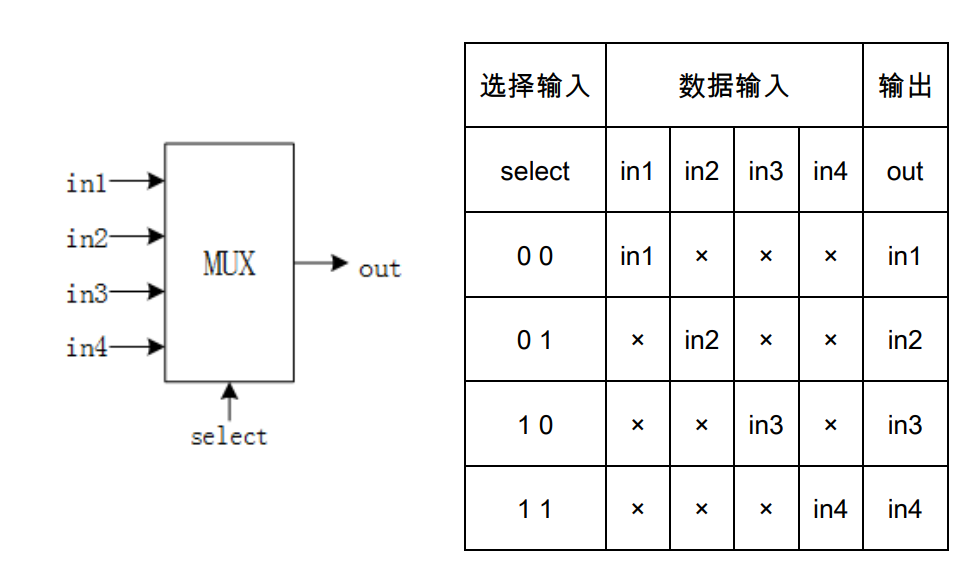
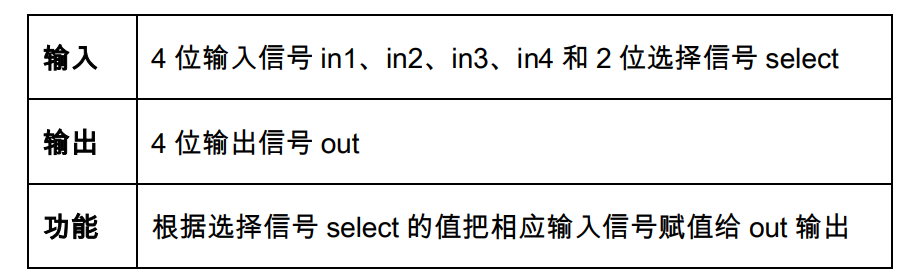


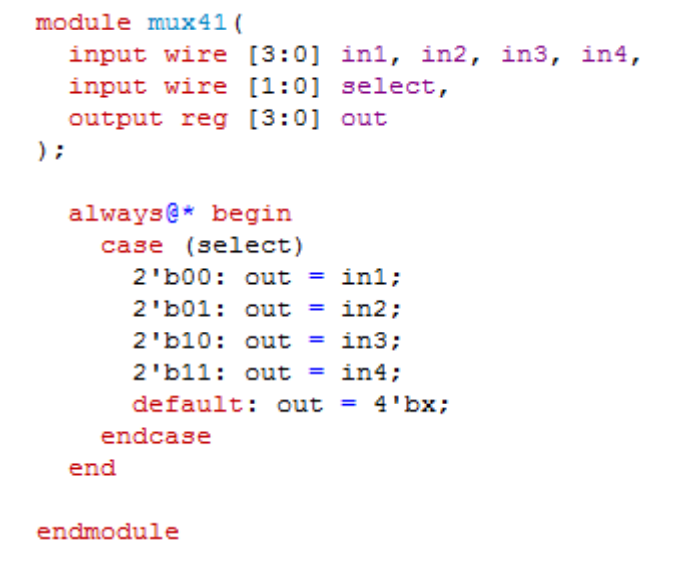
图 1.1 4 选 1 多路选择器及其真值表

### Verilog 关键代码实现

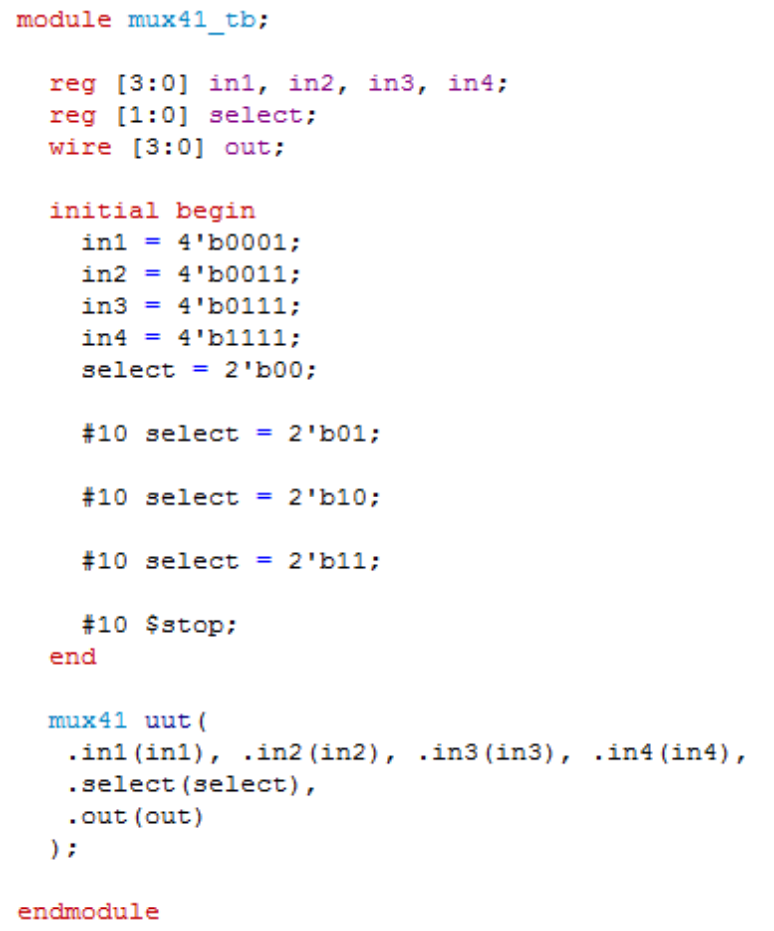
表 1.1 MUX模块功能描述



MUX 模块的功能描述如表 1.1所示，模块的verilog 代码如下：



### 测试文件(TestBench)关键代码描述



### XXX

## 实验步骤

1. XXX
2. XXX
3. XXX

## 故障与调试

### XXX故障1

**故障现象：**

**原因分析：**

**解决方案：**

### XXX故障2

### XXX

### XXX故障3

### XXX

## 仿真及分析

仿真测试用例见表 1.2。

表 1.2 仿真测试用例

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| # | in1 | in2 | in3 | in4 | select | out |
| 10 | 0001 | 0011 | 0111 | 1111 | 01 |  |
| 20 | 0001 | 0011 | 0111 | 1111 | 10 |  |
| 30 | 0001 | 0011 | 0111 | 1111 | 11 |  |
| 40 | 0001 | 0011 | 0111 | 1111 |  |  |

# 实验二、CPU 部件实现之 ALU 和寄存器堆

**请仔细阅读所有的批注，阅读理解后删除批注和红色说明文字。**

**模板各个标题下面的内容仅是举例，作者应依照自己思想重写该部分内容。**

## 设计要求

1. 使用 Verilog 完成 ALU 的设计,并编写测试仿真文件验证其正确性。要求： λ ALU 支持 16 位的加、减、与、或以及移位运算。

2. 使用 Verilog 完成通用寄存器堆的设计，并编写测试仿真文件验证其正确性。要求 λ 寄存器堆包含 8 个 16 位的寄存器； λ 寄存器堆有两个读端口和一个写端口。

## 方案设计

### ALU设计

1. 我们要ALU能够分别进行非、与、或、左移、右移、加、减这七种运算，可以利用一个3位选择信号表示8选1选择器，表示选择这7种情况，同时确定输入操作数位数和输出结果位数，其中输入操作数的位数应该和输出结果的位数相同。
2. 确定输入和输出端，输入端需要一个使能端，3位选择端，两组16位输入操作数，一组16位的输出结果端。
3. 我们在时钟周期里首先判断使能端是否为1，当它为1时，我们判断选择端信号，3位选择端信号的不同我们来把他分别表示我们不同的运算，最后得到结果。

### 寄存器堆设计

1. 寄存器分别表示读和写，写是把数据写到寄存器，需要输入数据，把输入数据写到哪个寄存器中需要选择；读是读出寄存器里的数据，需要输出数据，输出哪个寄存器里的数据也要进行选择。
2. 输入需要2个读端口和1个写端口，16位的输入数据端口用来写到寄存器中，16位的输出数据端口表示寄存器里的数据写到该输出端口，2位的选择端口进行选择输入输出寄存器，其中用AX，BX，CX，DX，SP，BP，SI，DI表示8个通用寄存器.
3. 在时钟周期里，当使能引脚为1时，判断读和写，当写信号为1时，利用2位的选择端口进行选择输入数据存到哪个寄存器，其中当一个读信号为1时，用2位选择端口选择前4个寄存器，当另一个读信号为1时，用2为的选择端口选择后4个寄存器。

## 实验步骤

1. Verilog 关键代码描述
2. 测试文件描述
3. Vivado仿真及分析

## 故障与调试

### 故障1

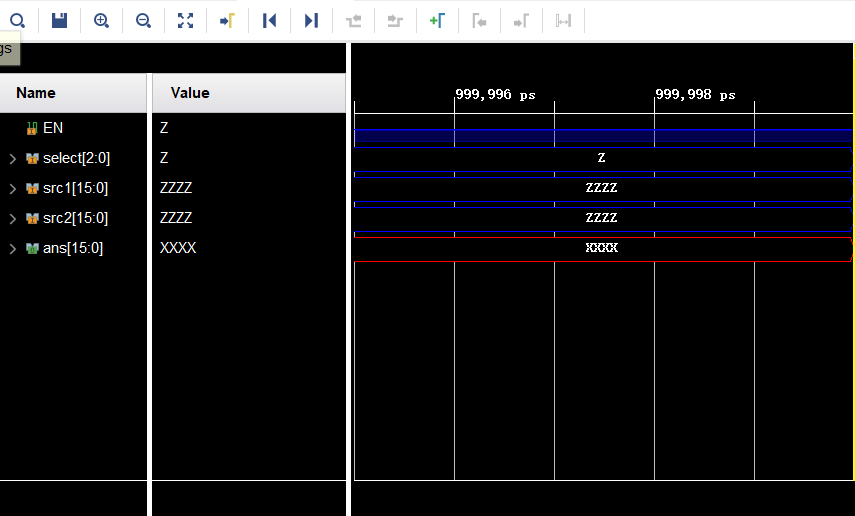
**故障现象：** vivado报错，

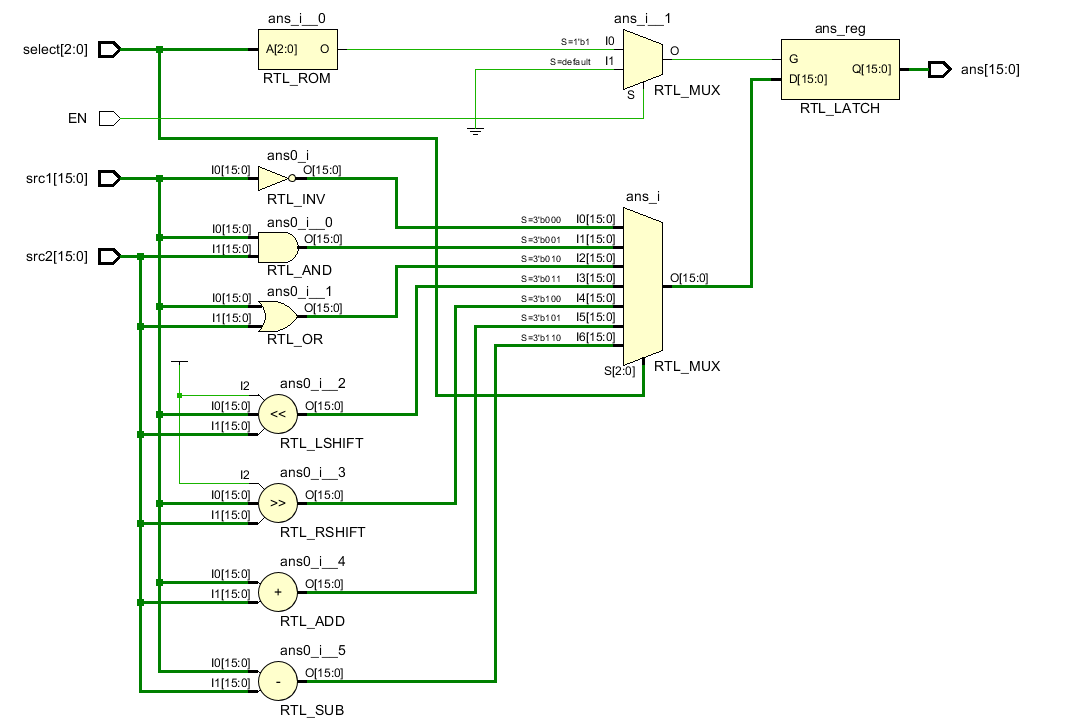
**原因分析：** begin后面没有加上end

**解决方案：** 在相应的begin后面加上end

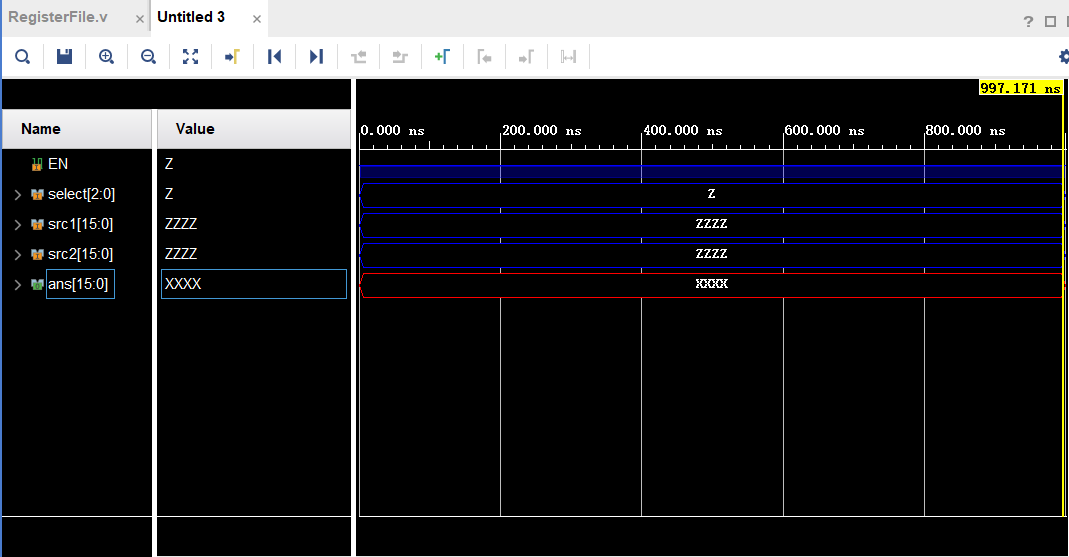
## 仿真及分析

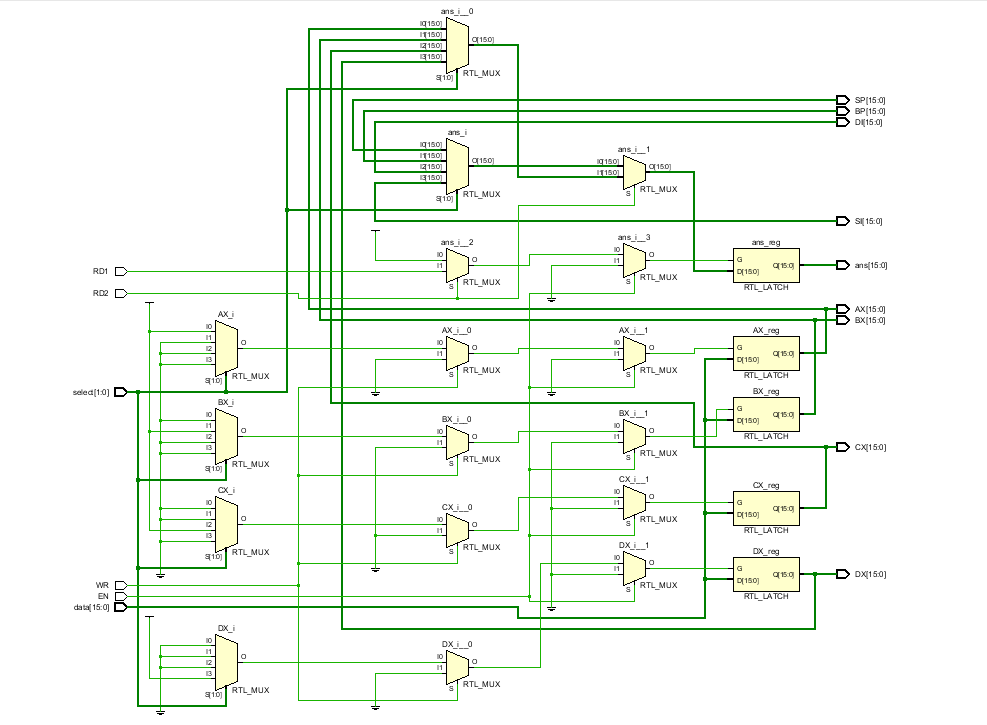
### ALU





### 寄存器堆





# 实验四、单周期 CPU 设计与实现——单指令 CPU

**请仔细阅读所有的批注，阅读理解后删除批注和红色说明文字。**

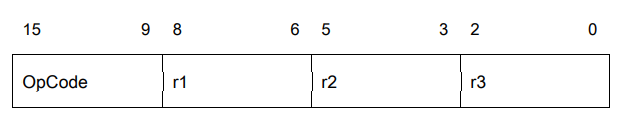
**模板各个标题下面的内容仅是举例，作者应依照自己思想重写该部分内容。**

## 设计要求

设计和实现一个支持加法指令的单周期 CPU。要求该加法指令（表示为 add r1，r2， r3）格式约定如下：

采用寄存器寻址，r1，r2，r3 为寄存器编号，r1 和 r2 存放两个源操作数，r3 为目标寄存器，其功能为[r1] + [r2] -> r3；

指令字长 16 位，操作码和地址码字段分配如下所示：



## 方案设计

### XXX

所有方案应将设计思路和设计原理、过程写清楚，为什么这样设计，各部件之间的关系，仅仅粘贴一张电路图是不合格的报告。

### XXX

### XXX

## 实验步骤

1. XXX
2. XXX
3. XXX

## 故障与调试

### XXX故障1

**故障现象：**

**原因分析：**

**解决方案：**

### XXX故障2

### XXX

### XXX故障3

### XXX

## 仿真与分析

# XXX实验

**请仔细阅读所有的批注，阅读理解后删除批注和红色说明文字。**

**模板各个标题下面的内容仅是举例，作者应依照自己思想重写该部分内容。**

## 设计要求

## 方案设计

### XXX

所有方案应将设计思路和设计原理、过程写清楚，为什么这样设计，各部件之间的关系，仅仅粘贴一张电路图是不合格的报告。

### XXX

### XXX

## 实验步骤

1. XXX
2. XXX
3. XXX

## 故障与调试

### XXX故障1

**故障现象：**。

图 4.2 XXX图

**原因分析：**

**解决方案：**

### XXX故障2

### XXX

### XXX故障2

### XXX

## 仿真与分析

# 总结与心得

## 实验总结

条目式给出3次实验的主要工作，采用动宾结构，本次实验主要完成了如下几点工作：

1. 完成方案总结（自行修订扩充）（自行修订扩充）（自行修订扩充）（自行修订扩充）（自行修订扩充）。
2. 功能总结（自行修订扩充）（自行修订扩充）（自行修订扩充）（自行修订扩充）（自行修订扩充）。
3. 其他需要总结的内容，（自行修订扩充）。

## 实验心得

1. 谈谈实验收获，实验心得，对课程实验的建议等等，自行修订扩充，自行修订扩充自行修订扩充自行修订扩充自行修订扩充自行修订扩充自行修订扩充自行修订并进行处理。
2. 自行修订扩充自行修订扩充自行修订扩充自行修订扩充自行修订扩充。

# 参考文献

1. DAVID A.PATTERSON(美).计算机组成与设计硬件/软件接口(原书第5版).北京:机械工业出版社.
2. David Money Harris(美).数字设计和计算机体系结构（第二版）. 机械工业出版社
3. 谭志虎,秦磊华,胡迪青.计算机组成原理实践教程.北京:清华大学出版社，2018年.
4. 秦磊华，吴非，莫正坤.计算机组成原理. 北京:清华大学出版社，2011年.
5. 袁春风编著. 计算机组成与系统结构. 北京:清华大学出版社，2011年.
6. 张晨曦，王志英. 计算机系统结构. 高等教育出版社，2008年.

|  |
| --- |
| 一、原创性声明 |
| 本人郑重声明本报告内容，是由作者本人独立完成的。有关观点、方法、数据和文献等的引用已在文中指出。除文中已注明引用的内容外，本报告不包含任何其他个人或集体已经公开发表的作品成果，不存在剽窃、抄袭行为。  特此声明！  **作者签字: 嵌入签名图片** |
| 二、对课程实验的学术评语（教师填写） |
|  |
| 三、对课程实验的评分（教师填写） |
| |  |  |  |  | | --- | --- | --- | --- | | 评分项目  （分值） | 报告撰写  （30分） | 课设过程  （70分） | 最终评定  （100分） | | 得分 |  |  |  | |
| **指导教师签字:** |