

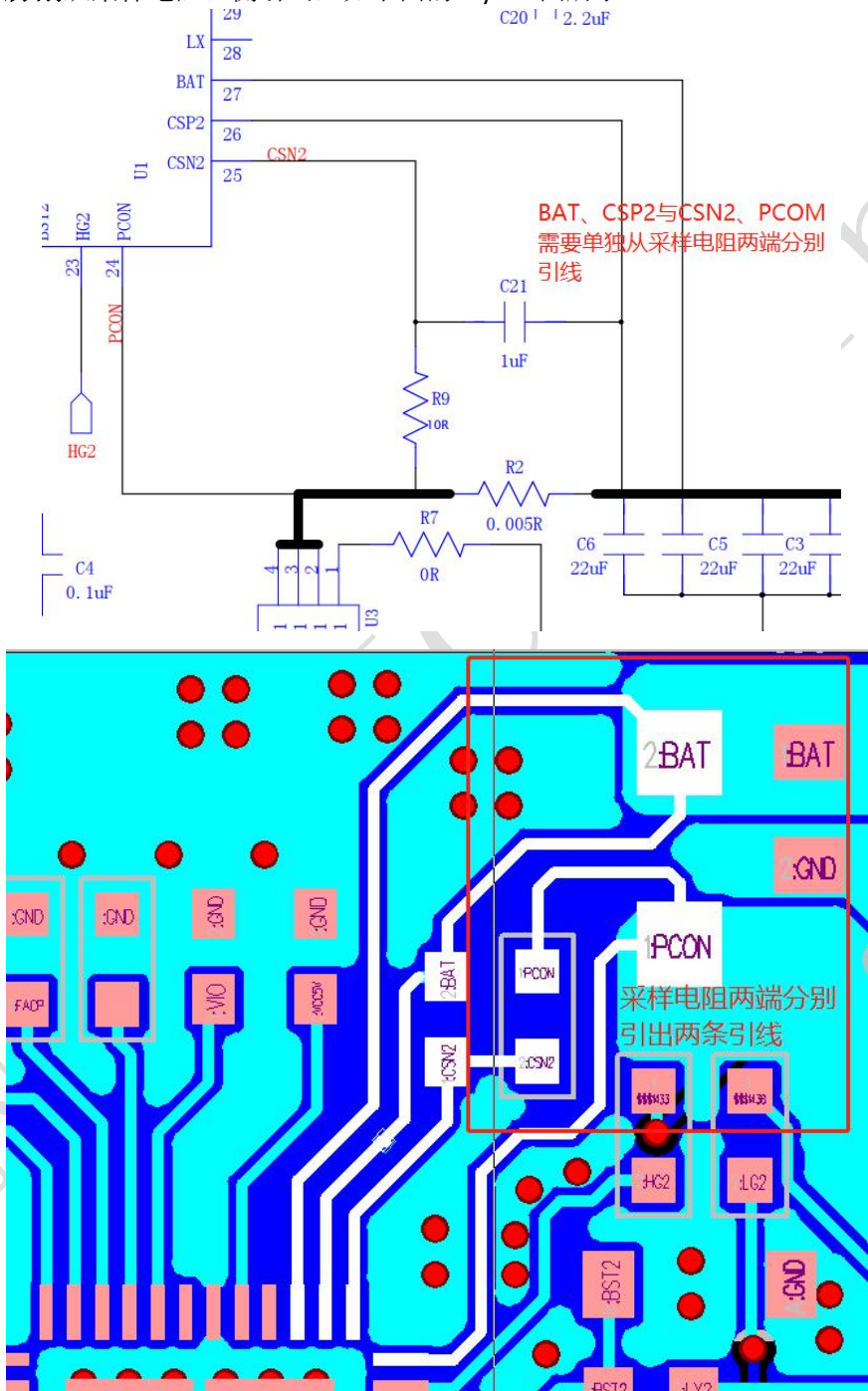
IP2368 PCB 布局注意事项

版本/修订历史

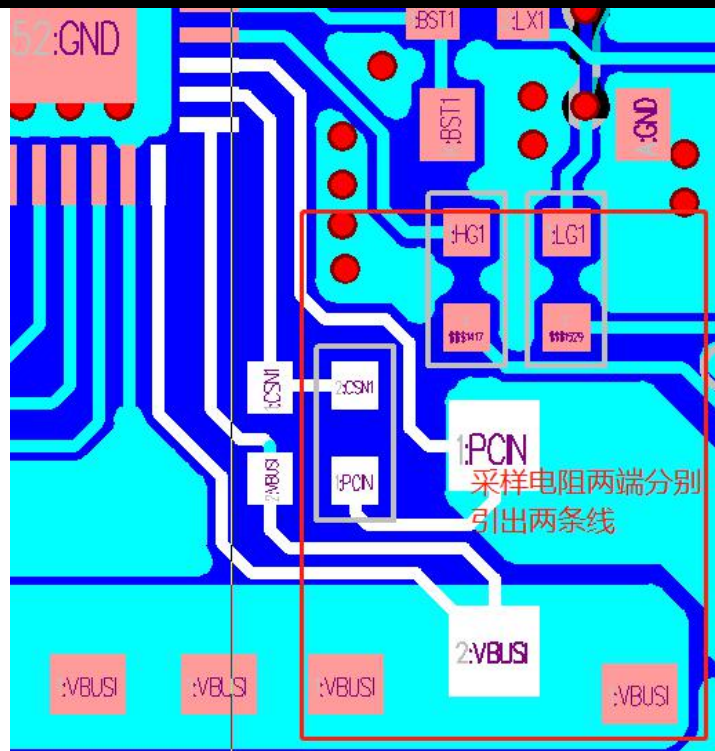
| 版本 | 日期 | 修订内容 | 拟制/修订人 |
|------|------------|------|--------|
| V1.0 | 2021-10-13 | 初版释放 | |
| | | | |
| | | | |
| | | | |
| | | | |

1.VIO 端和 BAT 端采样线需要单独从采样电阻两端引出，且越短越好

在原理图中，引脚 BAT、CSP2 属于同一网络，但是走线时必须单独分别从采样电阻右侧引出；CSN2 和 PCON 也需要单独分别从采样电阻左侧引出，如下面的 layout 图所示：

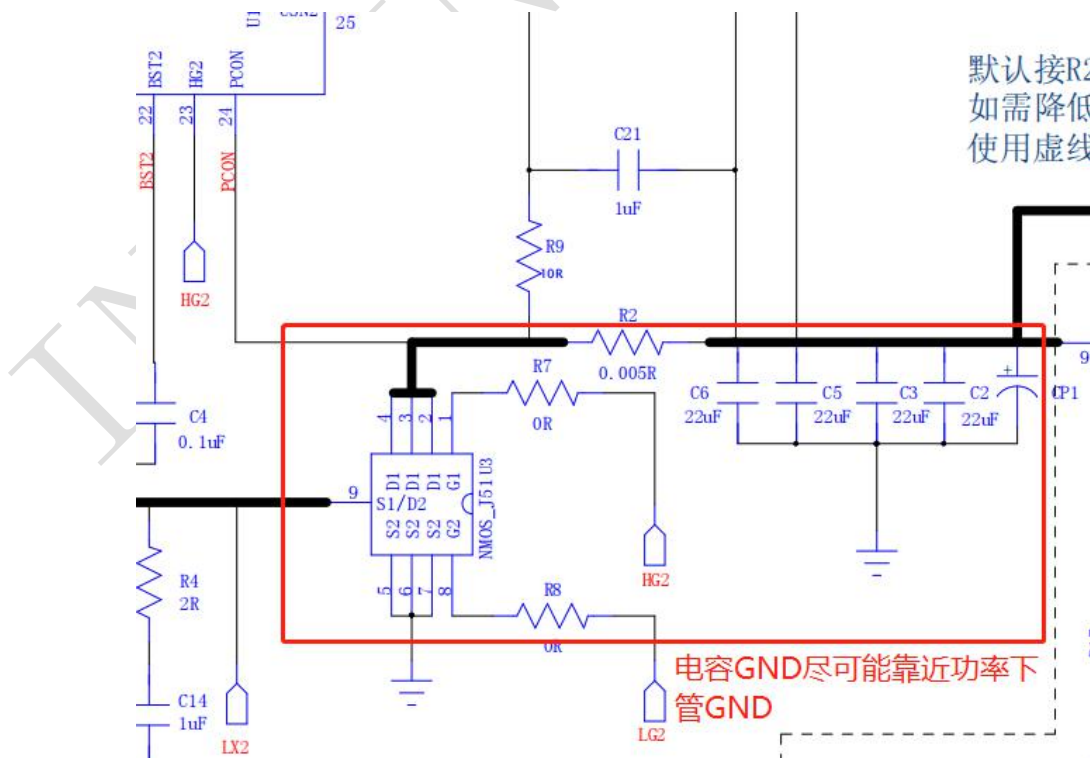


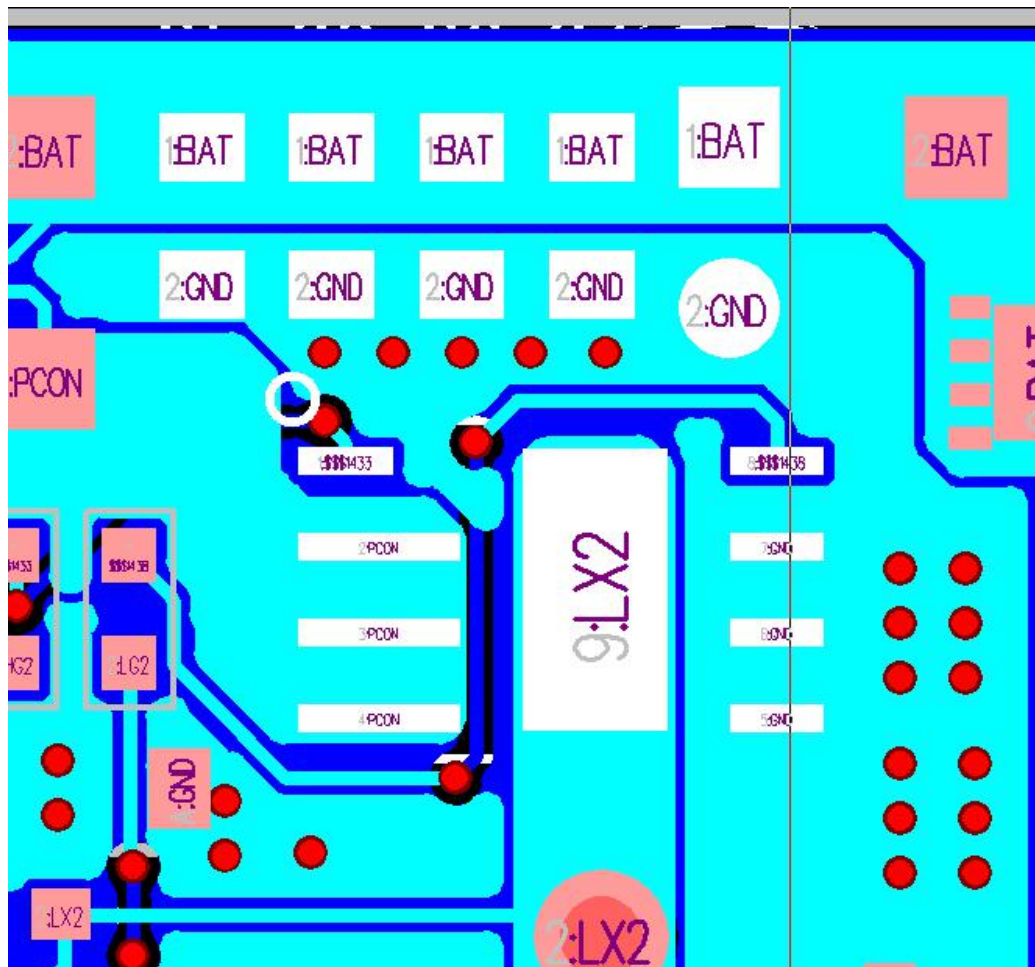
VIO 端的采样电阻走线同理：



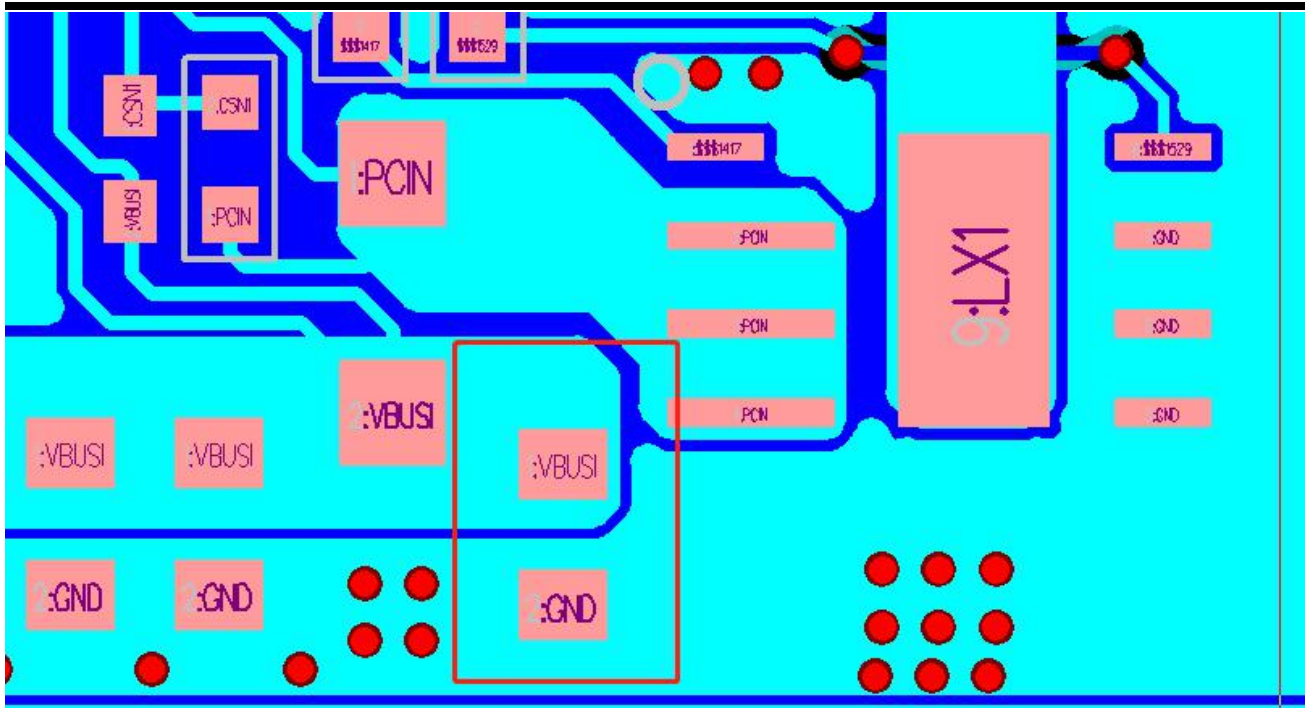
2.VIO 和 BAT 端电容需要靠近采样电阻

以 BAT 端为例，该端的采样电阻旁边必须至少放置一个 22uF 电容。在这个前提下尽可能使电容的 GND 靠近 BAT 功率回路下管的 GND，另外地孔越多越好。否者可能会对电流 ADC 的采样的精确与稳定造成影响。





VIO 端布局同理，但需要注意的是，各个输入输出处于 PCB 布局的上方时，BAT 端处于 PCB 布局的下方时，不可避免的，VIO 端功率走线需要从下往上，那么很可能就会在布局的时候将 22uF 电容和固态电容放到远离 VIO 端开关 MOS 的地方，就比如左下图，这种布局，电容离开开关 MOS 太远，会对 ADC 的采样有较大影响。如果不可避免这种布局，那么请至少放置一颗 22uF 电容位于 MOS 的 GND 附近，例如下图。



另外，也尽可能避免功率 MOS 在采样电阻和 IC 中间的布局，这样是为了避免采样线经过功率 MOS 附近，以免对采样信号造成干扰。如下图：

