

```

entity cell3 is
port( i0, i1, i2 : in std_logic ;
      out0 : out std_logic );
end entity;

architecture circuit1 of cell3 is
begin
process (i1, i0)
begin
  if (i0 = '1') then
    out0 <= '0';
  elsif rising'edge(i1) then
    out0 <= i2;
  end if;
end process;
end architecture;

```

Temps restant 0:27:53

Navigati

1	2
8	9
15	16
22	

Terminer l

Veuillez choisir au moins une réponse.

- a. Bascule D Latch
- b. Circuit combinatoire
- c. Circuit asynchrone
- d. Bascule D Flip-Flop avec un reset synchrone
- e. Registre à décalage
- f. Circuit séquentiel
- g. Bascule D Flip-Flop avec un reset asynchrone
- h. Multiplexeur 2 vers 1
- i. Circuit synchrone



Question 3

Pas encore
répondu

Noté sur 2,00

Marquer la
question

Quelles conditions doit-on respecter pour qu'un process en VHDL mène à la synthèse d'un circuit combinatoire?

Veuillez choisir au moins une réponse.

- a. La liste de sensibilité doit être complète : tous les signaux lus dans le process doivent apparaître dans la liste de sensibilité.
- b. Respectez la structure if reset = '1' then elsif rising_edge(clk) then
- c. Liste de sensibilité doit inclure le clock et le reset (si il existe) et rien d'autre.
- d. Les signaux doivent prendre leurs nouvelles valeurs qu'à la fin du process.
- e. Les sorties doivent être assignés dans tout les cas afin d'éviter les bascules D Latch (verrou) et les boucles de retour.

Question 5
Pas encore
répondu
Noté sur 1,00
[Marquer la question](#)

Donnez des précisions sur le style d'écriture du process suivant :

ClockGenerator: process

```
begin
    while not Stop loop
        Clock <= '0';
        wait for 5 NS;
        Clock <= '1';
        wait for 5 NS;
    end loop;
    wait;
end process;
```

Veuillez choisir au moins une réponse.

- a. Process synchrone
- b. Process combinatoire
- c. Process synthétisable
- d. Process utilisable dans un banc de test
- e. Process non synthétisable

Question 10
Pas encore
répondu
Noté sur 1,00
[Marquer la question](#)

Donnez des précisions sur le style d'écriture du process suivant :

```
process(All_Inputs)
begin
    -- Sorties assignés dans tous les cas
end process;
```

Veuillez choisir au moins une réponse.

- a. Process combinatoire
- b. Bon style de process
- c. Process synchrone
- d. Mauvais style de process

Question 11
Pas encore
répondu
Noté sur 2,00
[Marquer la question](#)

Choisissez les spécifications qui caractérisent le circuit suivant :

```
entity cell2 is
    port( i0, i1 : in std_logic ;
          out0 : out std_logic );
end entity;

architecture circuit2 of cell2 is
begin
    process (i0, i1)
    begin
        if (i0= '1') then
            out0 <= i1;
        end if;
    end process;
end architecture;
```

Veuillez choisir au moins une réponse.

- a. Multiplexeur 2 vers 1
- b. Registre à décalage
- c. Bascule D Latch
- d. Circuit combinatoire
- e. Bascule D Flip-Flop avec un reset synchrone
- f. Circuit asynchrone
- g. Circuit séquentiel
- h. Circuit synchrone

Question 7
Pas encore
répondu
Noté sur 2,00
[Marquer la question](#)

Quelles conditions doit-on respecter pour qu'un process en VHDL mène à la synthèse d'un circuit synchrone ?

Veuillez choisir au moins une réponse.

- a. La liste de sensibilité doit être complète : tous les signaux lus dans le process doivent apparaître dans la liste de sensibilité.
- b. Respectez la structure if reset = '1' then elsif rising_edge(clk) then
- c. Liste de sensibilité doit inclure le clock et le reset (si il existe) et rien d'autre.
- d. Les signaux doivent prendre leurs nouvelles valeurs qu'à la fin du process.
- e. Les sorties doivent être assignés dans tout les cas afin d'éviter les bascule D Latch (verrou) et les boucles de retour.

Question 14

Pas encore
répondu

Noté sur 1,00

[Marquer la question](#)

Donnez des précisions sur le style d'écriture du process suivant :

```
process(Clock,Reset,Ena)
begin
    if Reset = '1' then
        -- Actions asynchrone
    elsif Rising_edge(Clock) and Ena = '1' then
        -- Actions synchrones
    end if;
end process;
```

Veuillez choisir au moins une réponse.

- a. Bon style de process
- b. Mauvais style de process

Question 15

Pas encore
répondu

Noté sur 2,00

[Marquer la question](#)

Dans un FPGA, que peut on trouver dans un élément logique (Logic Element ou Logic Cell) ?

Veuillez choisir au moins une réponse.

- a. DCM (Digital Clock Management)
- b. Multiplieur cablé
- c. Multiplexeur
- d. Carry Logic
- e. PLL (Phase Lock Loop)
- f. LUT : Look Up Table
- g. Blocs mémoire (RAM ou ROM)
- h. Bascule D Flip Flop

```

entity cell3 is
port( i0, i1, i2 : in std_logic ;
      out0 : out std_logic );
end entity;
architecture circuit3 of cell3 is
begin
process (i0,i1,i2)
begin
  if (i0 = '1') then
    out0 <= i1;
  else
    out0 <= i2;
  end if;
end process;
end architecture;

```

Temps restant 0:09:44

Navigat

1	2
8	9
15	16
22	

Terminer I

Veuillez choisir au moins une réponse.

- a. Circuit combinatoire
- b. Registre à décalage
- c. Bascule D Flip-Flop avec un reset synchrone
- d. Circuit séquentiel
- e. Circuit synchrone
- f. Circuit asynchrone
- g. Bascule D Latch
- h. Multiplexeur 2 vers 1



Question 19

Pas encore
répondu

Noté sur 2,00

Marquer la
question

Quelles sont les règles de fonctionnement d'un process ?

Veuillez choisir au moins une réponse.

Temps restant 0:07:13

- a. Les instructions du process s'exécutent séquentiellement.
- b. Les instructions du process s'exécutent en même temps (instructions concurrentes)
- c. Les changements d'état des signaux par les instructions du process sont pris en compte à la fin du process
- d. L'exécution d'un process a lieu à chaque changement d'état d'un signal de la liste de sensibilité
- e. Un process avec liste de sensibilité s'exécute en boucle
- f. Les changements d'état des signaux par les instructions du process sont pris en compte immédiatement
- g. Un process sans liste de sensibilité s'exécute en boucle

```

entity cell3 is
port( i0, i1, i2 : in std_logic ;
      out0 : out std_logic );
end entity;

architecture circuit4 of cell3 is
begin
  process(i1)
  begin
    if Rising_edge(i1) then
      reg(7) <= i2;
      reg(6 downto 0) <= reg(7 downto 1);
      out0 <= reg(0);
    end if;
  end process;
end architecture;

```

Veuillez choisir au moins une réponse.

- a. Bascule D Flip-Flop avec un reset synchrone
- b. Bascule D Latch
- c. Registre à décalage
- d. Circuit séquentiel
- e. Circuit asynchrone
- f. Circuit combinatoire
- g. Multiplexeur 2 vers 1
- h. Circuit synchrone

Quelles sont les caractéristiques des ASIC ?

Veuillez choisir au moins une réponse.

- a. Reprogrammable
- b. Time to market faible
- c. Couts faibles pour de gros volumes de production (> 1 million de pièce)
- d. Possibilité de faire du prototypage
- e. Meilleure sécurité industrielle
- f. Fabrication réservé aux spécialistes (fondeur)
- g. les plus hautes performances (vitesse, low power)
- h. Flexible
- i. Time to market élevé

Donnez des précisions sur le style d'écriture du process suivant :

```

process(Clock)
Begin
  if Rising_edge(Clock) then
    if (Reset = '1') then
      ....
    else
      ...
    end if;
  end if;
end process;

```

Veuillez choisir au moins une réponse.

- a. Mauvais style de process
- b. Process synchrone
- c. Bon style d'écriture d'un process
- d. Process combinatoire

Donnez des précisions sur le style d'écriture du process suivant :

```

ClockGenerator: process
begin
  while not Stop loop
    Clock <= '0';
    wait for 5 NS;
    Clock <= '1';
    wait for 5 NS;
  end loop;
  wait;
end process;

```

Veuillez choisir au moins une réponse.

- a. Process utilisable dans un banc de test
- b. Process combinatoire
- c. Process synthétisable
- d. Process synchrone
- e. Process non synthétisable

Choisissez les spécifications qui caractérisent le circuit suivant :

```
entity cell4 is
port( i0, i1, i2, i3 : in std_logic ;
      out0, out1: out std_logic );
end entity;
architecture circuit1 of cell4 is
begin
process (i0, i1, i2, i3)
begin
out0 <= '0';
out1 <= '0';
if (i0 = '1') then
  out0 <= i2;
end if;
if (i1 = '1') then
  out1 <= i3;
end if;
end process;
end architecture circuit1;
```

Veuillez choisir au moins une réponse.

- a. Circuit séquentiel
- b. Circuit synchrone
- c. Circuit combinatoire
- d. Circuit asynchrone

Quels sont les langages qui permettent de décrire et synthétiser un circuit logique (langages de description matérielle) ?

Veuillez choisir au moins une réponse.

- a. JAVA
- b. HTML
- c. VHDL
- d. Verilog
- e. System Verilog
- f. Langage C

Quelles conditions doit-on respecter pour qu'un process en VHDL mène à la synthèse d'un circuit combinatoire?

Veuillez choisir au moins une réponse.

- a. Respectez la structure if resest = '1' then elsif rising_edge(clk) then
- b. Liste de sensibilité doit inclure le clock et le reset (si il existe) et rien d'autre.
- c. Les signaux doivent prendre leurs nouvelles valeurs qu'à la fin du process.
- d. La liste de sensibilité doit être complète : tous les signaux lus dans le process doivent apparaître dans la liste de sensibilité.
- e. Les sorties doivent être assignés dans tout les cas afin d'éviter les bascule D Latch (verrou) et les boucles de retour.