

UNIVERSIDAD DE COSTA RICA

TAREA # 07

## IE0523 CIRCUITOS DIGITALES II

*Freddy Zúñiga Cerdas*  
*A45967*

Profesor  
JORGE SOTO

June 23, 2021

## 1 Distribución de Tiempo de la Tarea

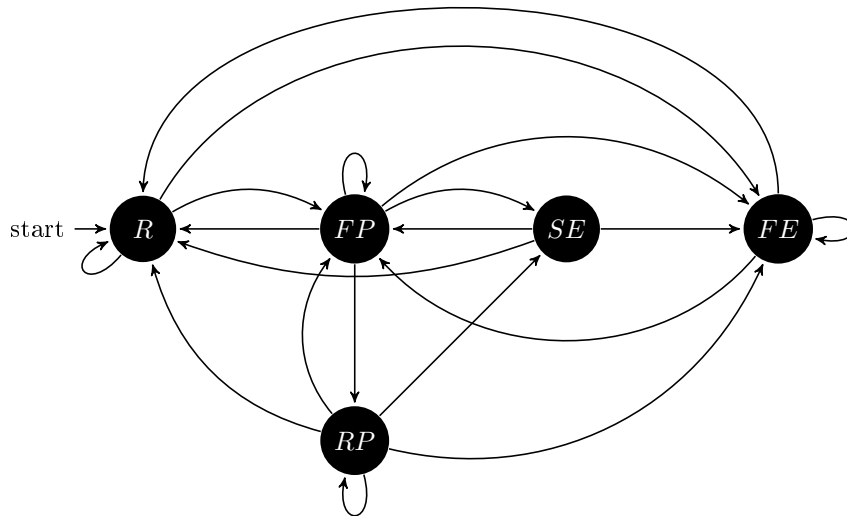
En la Tabla 1 se muestra el tiempo invertido para la realización de esta tarea. Donde destaca la gran cantidad de tiempo gastada en la creación del código, surgieron problemas interesantes y bastante extraños a la hora de programar el estado REG\_PKT, la síntesis acababa normalmente pero el vcd entraba en bucle, luego de resolver esto variando el código la síntesis no funcionaba como el conductual, el msb de los contadores utilizados para hacer funcionar el estado REG\_PKT, se mantenía en estado indefinido siempre por lo que los estados se indefinían. Se resolvió asignando un valor diferente de 0 al contador cuando se estaba en el estado RESET. Al día de hoy sigue siendo un misterio este funcionamiento, believe it or not.

**Tabla 1:** Contabilidad de Tiempo

Tarea	Busqueda [min]	Estudio [min]	Ejecución [min]	Total [min]
código verilog	100	98	355	553
makefile	0	0	25	25
Pruebas	0	0	63	63
Reporte	0	0	115	115
Total	100	98	558	756

## 2 Descripción de la Máquina de Estados Finita

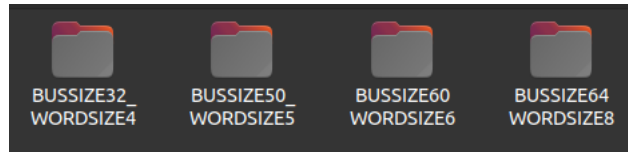
En la siguiente Figura se muestra la máquina de estados propuesta para la resolución del presente trabajo, se asumieron ciertos comportamientos de dicha máquina dado que no se suministró suficiente información en el enunciado para varios casos que se debían tomar en cuenta, como que sucedía si la entrada  $0xF*0$  se repetía varias veces seguidas o como se debía comportar el estado SEQ\_ERR al recibir una entrada con  $0xF*$ . El esquema define estos comportamientos no especificados. Para detalles de cuando cambian los estados ver el código verilog adjunto para esta tarea.



**Figura 1:** Diagrama de la Máquina de estados finita

### 3 Plan de Pruebas

Para el plan de pruebas se decidió emular el comportamiento de la simulación dada para la tarea y para dicha estructura se procedió a variar los parámetros `BUS_SIZE` y `WORD_SIZE`, los resultados de este plan de pruebas se pueden ver en el directorio **SIMULACIONES** adjunto en esta tarea, en la Figura 2 se muestran los directorios de las 4 pruebas realizadas



**Figura 2:** Directorios de las simulaciones hechas para la prueba

Como se puede ver se hicieron pruebas para los parámetros `BUS_SIZE = 32, 50, 60 y 64` emparejadas con `WORD_SIZE = 4, 5, 6 y 8`. Más adelante se verán los resultados para la primera prueba.

### 4 Instrucciones de Utilización de la Simulación

Para la utilización de esta simulación, si el usuario lo desea, puede editar los parámetros cambiando los valores enteros en el makefile como se muestran en la Figura 3

```
##### CAMBIAR PARAMETROS BUS_SIZE, WORD_SIZE
##### VALORES POR DEFECTO: BUS_SIZE = 32, WORD_SIZE = 4
BUS_SIZE = 60
WORD_SIZE = 6
all: copiar yosys compilar
compilar:
    iverilog testbench.v
    vvp ./a.out
    rm ./a.out
```

**Figura 3:** Variación de los paraámetros

Sea que se haya cambiado o no los parámetros, el paso siguiente es ejecutar el makefile, para lo cual se abre una terminal en el directorio donde se encuentra el makefile y se escribe:

```
1    make
```

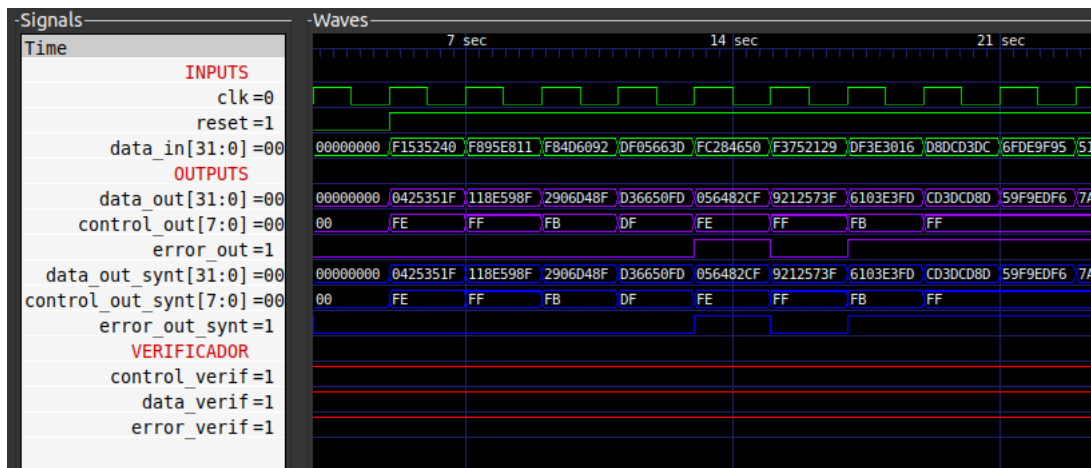
Esto sintetizará el verilog conductual y compilará el testbench para obtener el diagrama de tiempos de las señales. No se requiere ningún paso extra.

### 5 Ejemplos de la Simulación

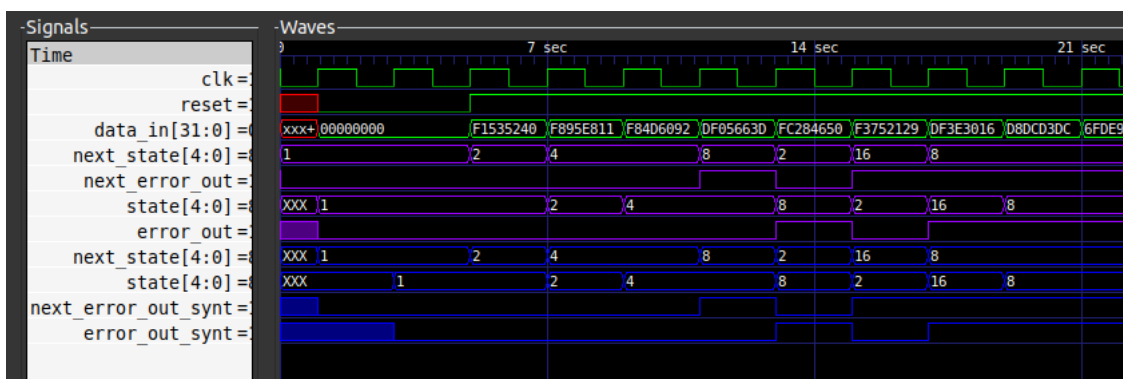
Como se indicó anteriormente aquí se mostrará el resultado de la simulación para `BUS_SIZE = 32` y `WORD_SIZE = 4`, para tener más simulaciones se pueden revisar los archivos de simulación adjuntos o crear sus propias simulaciones cambiando los parámetros como ya se indicó en la sección pasada.

En la Figura 4 se muestran los resultados obtenidos para las salidas tanto sintetizadas como conductuales, además de en rojo las señales agregadas para verificar que las salidas de ambos modelos son iguales cuando llega el flanco alto de reloj.

Finalmente en la Figura 5 se muestran los valores para los estados y siguientes estados de la máquina de estados conductual y sintetizada.



**Figura 4:** Simulación mostrando las entradas y las salidas



**Figura 5:** Simulación mostrando los estados

Donde tenemos los siguientes valores decimales para cada uno de los estados: RESET = 1, FIRST PKT = 2, REG PKT = 4, F ERR = 8, SEQ ERR = 16.

## 6 Análisis y Conclusiones

De las pruebas realizadas variando los parámetros queda claro que se obtuvieron los valores esperados según lo solicitado por la tarea, por lo que se concluye que se realizó de manera correcta.