

## IC Unidad 2: Superescalares - Problemas de emisión fuera de orden

Dado del siguiente código ejemplo:

```
lw r1,0(r2)
add r2,r1,r3
mult r3,r1,r2
sub r4,r1,r2
add r4,r1,r2
div r4,r5,r6
```

Estimar los momentos de emisión e intervalos de ejecución para cada una de las instrucciones sobre arquitecturas que cuenten con una combinación de los siguientes casos:

- Ventana centralizada y Estaciones de reserva
- Emisión ordenada y desordenada
- Unidades funcionales
  - A. 1 lw/sw, 1 add/sub, 1 mult/div
  - B. 1 lw/sw, 2 add/sub, 2 mult/div

Con latencias: lw/sw (5 ciclos), add/sub (2 ciclos), mult/div (5 ciclos)

### I. Set A de UF - Ventana centralizada - Emisión ordenada.

Nº Instr	CodOP	ISS	EXE	Comentarios
1	lw	1	2 – 6	
2	add	7	8 – 9	
3	mult	10	11 – 15	
4	sub	10	11 – 12	
5	add	13	14 – 15	Se emitirá cuando se libere la UF de add/sub tras [4]
6	div	16	17 – 21	Se emitirá cuando se libere la UF de mult/div tras [3]

### II. Set A de UF - Ventana centralizada - Emisión desordenada.

Nº Instr	CodOP	ISS	EXE	Comentarios
1	lw	1	2 – 6	
2	add	7	8 – 9	
3	mult	10	11 – 15	
4	sub	10	11 – 12	
5	add	13	14 – 15	Se emitirá cuando se libere la UF de add/sub tras [4]
6	div	1	2 – 6	Al ser emisión desordenada, puede emitirse en el ciclo 1

### III. Set A de UF - Ventana centralizada - Emisión ordenada.

Nº Instr	CodOP	ISS	EXE	Comentarios
1	lw	1	2 – 6	
2	add	7	8 – 9	
3	mult	10	11 – 15	
4	sub	10	11 – 12	

5	add	10	11 – 12	Hay UF suficientes por los que se puede emitir junto a [4]
6	div	10	11 – 15	Hay UF suficientes por los que se puede emitir junto a [3]

**IV. Set B de UF - Ventana centralizada - Emisión desordenada.**

Nº Instr	CodOP	ISS	EXE	Comentarios
1	lw	1	2 – 6	
2	add	7	8 – 9	
3	mult	10	11 – 15	
4	sub	10	11 – 12	
5	add	10	11 – 12	
6	div	1	2 – 6	Al ser emisión desordenada, puede emitirse en el ciclo 1

**V. Set A de UF – Estaciones de reserva - Emisión ordenada.**

**VI. Set A de UF - Estaciones de reserva - Emisión desordenada.**

**VII. Set B de UF - Estaciones de reserva - Emisión ordenada.**

**VIII. Set B de UF - Estaciones de reserva - Emisión desordenada.**

Para todos los casos en los que usamos estaciones de reserva los resultados son iguales que en los casos equivalentes utilizando ventanas de instrucciones (centralizadas). Esto es por que la lógica de *dispatch*, o envío de las instrucciones a las UF de ejecución una vez cumplen los requisitos, es idéntica en ambos casos.

Podemos encontrar diferencias en algunos casos por la composición del código a ejecutar, por ejemplo, por las limitaciones de tamaño (nº de líneas) en las estaciones de reserva. Esto se puede ver en los ejemplos de las diapositivas de teoría donde se utilizan ventanas de instrucciones de 4 líneas, por lo que podemos emitir todas las instrucciones del ejemplo y así, en cada ciclo, evaluar si pueden ser enviadas a ejecución o no. Sin embargo, en el ejemplo siguiente, utilizando estaciones de reserva, cada una de estas tiene 2 líneas. En total tenemos 4, como antes, sin embargo, al tener 3 instrucciones que necesitan la UF de add/sub, sólo podemos insertar 2 en la estación de reserva asociada quedando una en la cola de instrucciones a la espera de que se libere alguna posición en la estación de reserva de add/sub. Esto limita el número máximo de instrucciones de un mismo tipo que podemos enviar a ejecución en un ciclo.