

TUGAS PENDAHULUAN 1

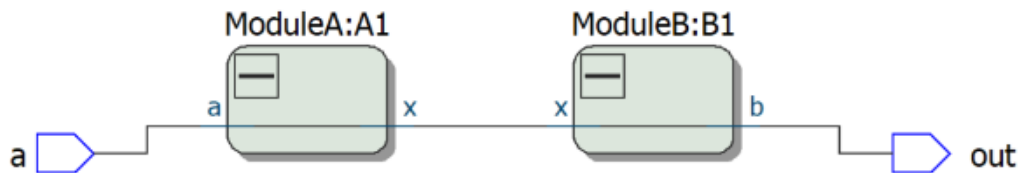
PRAKTIKUM ORGANISASI DAN ARSITEKTUR KOMPUTER II

Berikut adalah program yang diperlukan untuk menyelesaikan tugas ini :

1. Quartus II 13.1
2. ModelSim

Silahkan kerjakan tugas pendahuluan sesuai dengan instruksi dibawah :

1. Buatlah sebuah program Verilog yang menghubungkan Module A dan Module B pada program menggunakan sebuah wire sehingga ketika dilihat menggunakan RTL Viewer menghasilkan :



Source code modul:

```
module ModuleA (
    input wire a,
    output wire x
);
    assign x = a;

endmodule

module ModuleB (
    input wire x,
    output wire b
);
    assign b = x;

endmodule
```

2. Buatlah laporan penjelasan dari program yang telah dibuat