

计算机体系结构

Lab 2. 支持中断的流水线CPU

实验2-实验目标

- 理解 CPU 异常和中断的原理及其处理程序，包括何时发生中断和异常，以及如何在硬件层面处理它们。
- 掌握支持异常和中断的流水线 CPU 的设计方法，以及跳转到异常处理程序的过程。
- 掌握支持异常和中断的流水线 CPU 的程序验证方法，包括使用仿真测试中断引发的信号和 CSR 寄存器的值。

实验2-实验得分点

能正确执行指令或处理这些情况

CSR instruction: 10/10

ecall: 30/30

illegal instruction: 10/10

load access fault: 10/10

store access fault: 10/10

mret: 10/10

external interrupt: 20/20

实验2-实验指南

创建新工程

参照实验一

实验2-实验指南

导入源码框架

参照实验一

实验2-实验指南

RISCV转机器码

参照实验一

实验2-实验指南-RISCV转机器码

- 在实验2中，我们不要求大家能够自己编写测试代码，但是要大家学会怎么将写好的RISCV转为机器码。
- 我们在riscv_source文件夹中为大家提供了RISCV的源代码，可以按照Lab1的实验指导中的步骤将RISCV源代码转换成机器码。
- 我们也为大家提供了一个机器码模板来验证大家转换的机器码是否正确，模板中对某几条机器码进行了挖空（TO_BE_FILLED），大家只需要补全这些缺失的内容即可。

实验2-实验指南

CPU设计

实验2-实验指南-CPU设计

- 和上次一样，完成TO_BE_FILLED即可。由于这次需要大家补全源代码，所以TO_BE_FILLED的空也相对减少了一些，只有课程内容相关的关键部分。
- 需要完成CSRReg, CtrlUnit和ExceptionUnit部分

实验1-实验指南

在线测试

实验2-实验指南-在线测试

版本更新:

- (1) 增加Lab2测试
- (2) 增加转换进制功能
- (3) 修正register的名称 (reg0-reg30 => x1-x31)
- (4) 支持更多压缩文件格式
- (5) 支持更多目录结构
- (6) 可以返回编译报错信息 (显示不全时按F12可查看详细信息)