



VHDL

UP/DW SYNC COUNTER - EXE



Testo

Creare un contatore di tipo Up/Down sincrono con larghezza contatore generica (No process). Utilizzare il ff_d.vhd come FlipFlop. Simulare con il file top_sim.vhd fornito

```
entity UpDownSyncCounter is
  Generic(
    COUNT_WIDTH : integer := 4
  );
  Port (
    reset      : in std_logic;
    clk        : in std_logic;

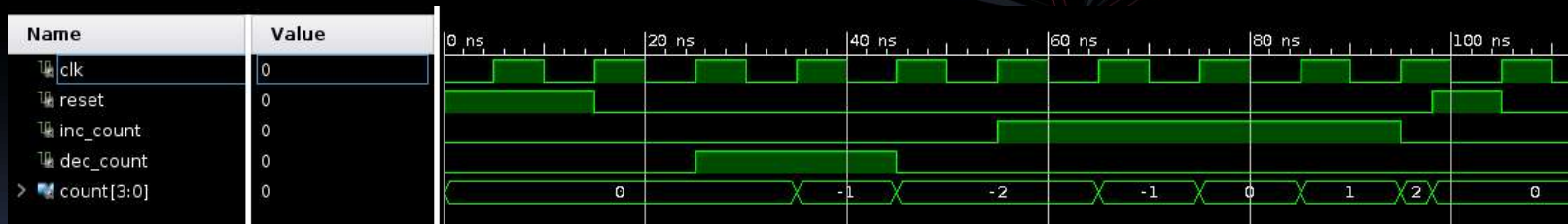
    inc_count  : in std_logic;
    dec_count  : in std_logic;

    count      : out std_logic_vector(COUNT_WIDTH-1 DOWNTO 0) -- Signed
  );
end UpDownSyncCounter;
```

Testo

Il sistema deve avere il seguente comportamento:

- Se `inc_count = '1'` and `dec_count = '1'` -> `count <= count` al fronte di `clk`
- Se `inc_count = '0'` and `dec_count = '0'` -> `count <= count` al fronte di `clk`
- Se `inc_count = '1'` and `dec_count = '0'` -> `count <= count+1` al fronte di `clk`
- Se `inc_count = '0'` and `dec_count = '1'` -> `count <= count-1` al fronte di `clk`





Note

Note:

- Allegato file ff_d.vhd (Flip Flop D)
- File simulazione top_sim.vhd



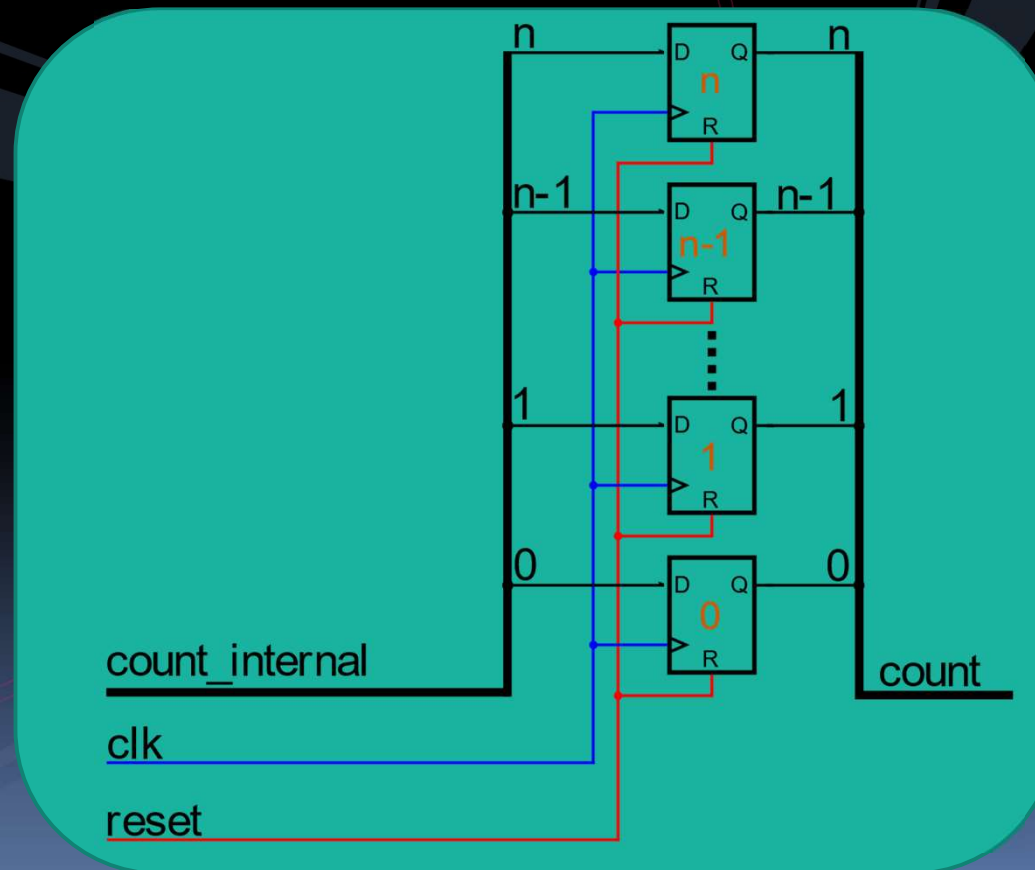
Consigli

Attenzione: di seguito alcune linee guida per arrivare ad una soluzione dell'esercizio.

Consiglio di non leggerli prima di aver pensato autonomamente ad una soluzione.

Consigli

Nel modulo deve essere presente un elemento di memoria che permette di conoscere il valore del contatore attuale. Visto che il contatore è più di un bit si deve istanziare tramite un «for generate» il giusto numero di ff_d



Consigli

L'operazione di somma e sottrazione deve essere pronta prima di entrare nell'ingresso dei Flip Flop. Il risultato da caricare nei registri sarà selezionata da un Mux pilotato da una apposita logica. Usare il costrutto **«when»** oppure **«select»** per la costruzione.

