

Sistemas secuenciales

Introducción

Sistemas Secuenciales

Sistemas secuenciales vs. Sistemas combinacionales

Sistemas Combinacionales:

- ❑ Su salida o salidas dependen exclusivamente de la combinación de las señales de entrada existentes.
- ❑ Para las mismas entradas siempre se produce la misma salida o salidas.
- ❑ Pueden ser representados por una tabla de verdad entre las entradas y salidas.

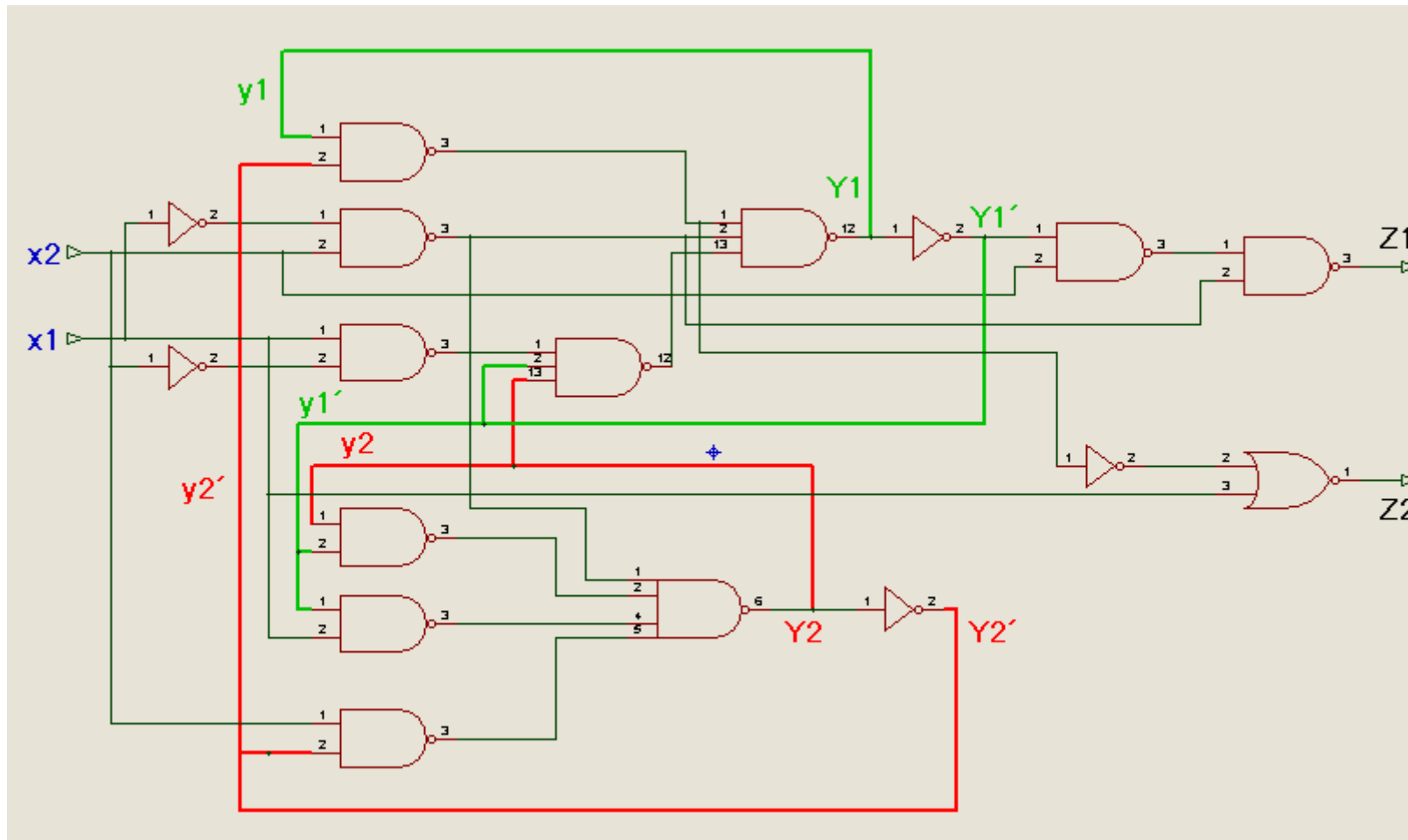
Sistemas Secuenciales:

- ❑ Su salida o salidas no dependen exclusivamente de las entradas presentes, sino también de la secuencia de entradas que se hayan dado.
- ❑ Para las mismas entradas, la salida puede ser diferente, indicando que la secuencia de entradas que se haya presentado en la entrada es diferente.
- ❑ No pueden ser representados por una tabla de verdad entre entradas y salidas exclusivamente.

Sistemas Secuenciales

Sistemas Secuenciales: Base de su generación

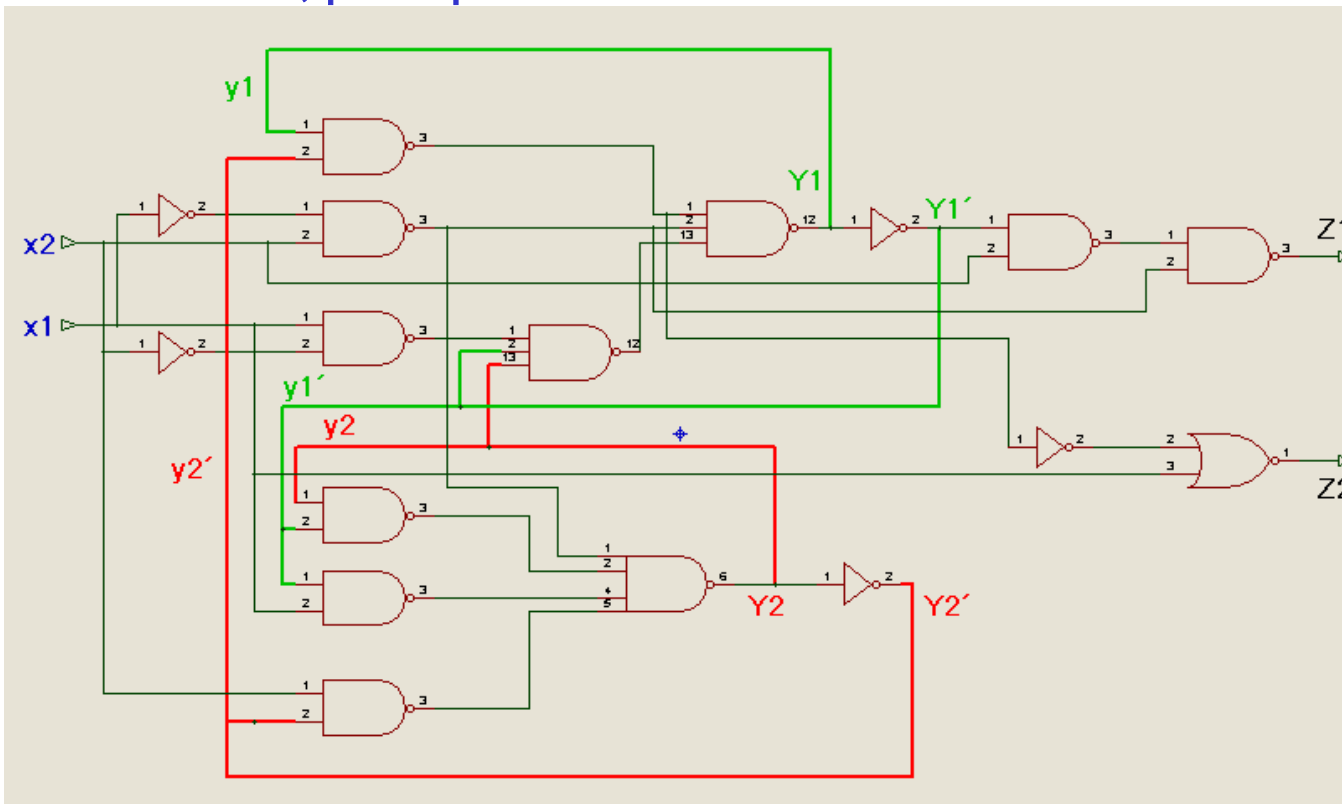
¿Qué ocurre si realimentamos algún punto intermedio o de salida del circuito combinacional, para que actúe como entrada?



Sistemas Secuenciales

Sistemas Secuenciales: Base de su generación. Análisis

¿Qué ocurre si realimentamos algún punto intermedio o de salida del circuito combinacional, para que actúe como entrada?



Las combinaciones de x_1, x_2, y_1 , e y_2 dan una salida (después de Δt) en los puntos de realimentación Y_1, Y_2 y unas salidas Z_1, Z_2

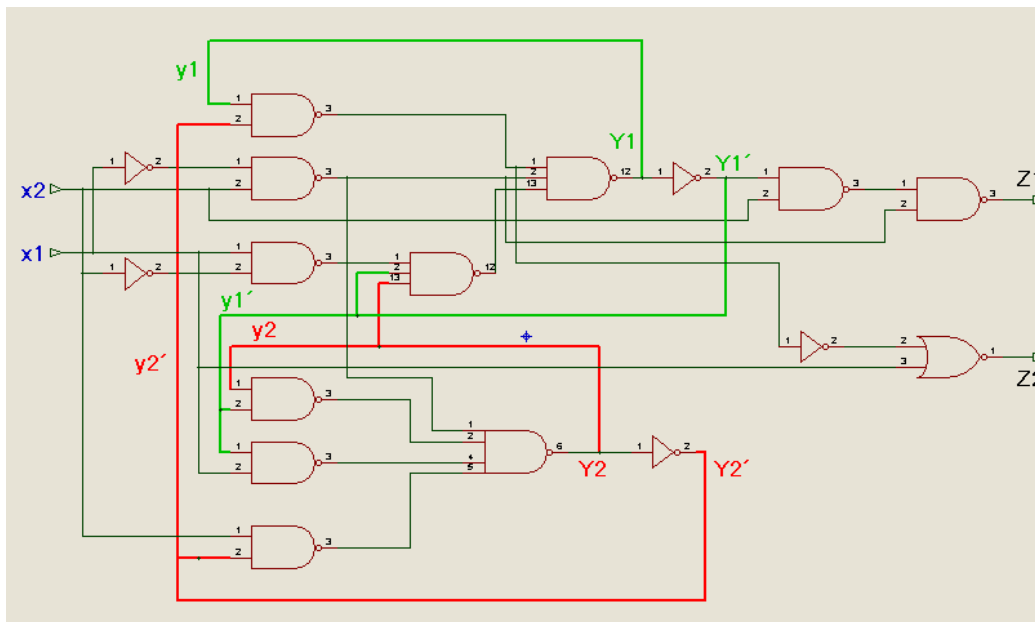
El sistema evolucionará hasta que el circuito con entradas realimentadas de un determinado valor, proporcione una salida en los puntos de realimentación, de ese mismo valor.

Sistemas Secuenciales

Sistemas Secuenciales: Base de su generación. Análisis

Las combinaciones de x_1 , x_2 , y_1 , e y_2 dan una salida (después de Δt) en los puntos de realimentación Y_1 , Y_2 y unas salidas z_1 , z_2

El sistema evolucionará hasta que el circuito con entradas realimentadas de un determinado valor, proporcione una salida en los puntos de realimentación, de ese mismo valor.



Las ecuaciones de Y_1 , Y_2 , z_1 y z_2 serán:

$$Y_1 = \overline{y_1} \overline{y_2} \cdot \overline{x_1} \overline{x_2} \cdot \overline{y_1} \overline{y_2} \cdot \overline{x_1} \overline{x_2}$$

$$Y_2 = \overline{x_1} \overline{x_2} \cdot \overline{y_1} \overline{y_2} \cdot \overline{x_1} \overline{y_1} \cdot \overline{x_2} \overline{y_2}$$

$$z_1 = \overline{y_1} \overline{x_2} \cdot \overline{x_1} \overline{x_2}$$

$$z_2 = \overline{y_1} \overline{y_2} + \overline{x_1}$$

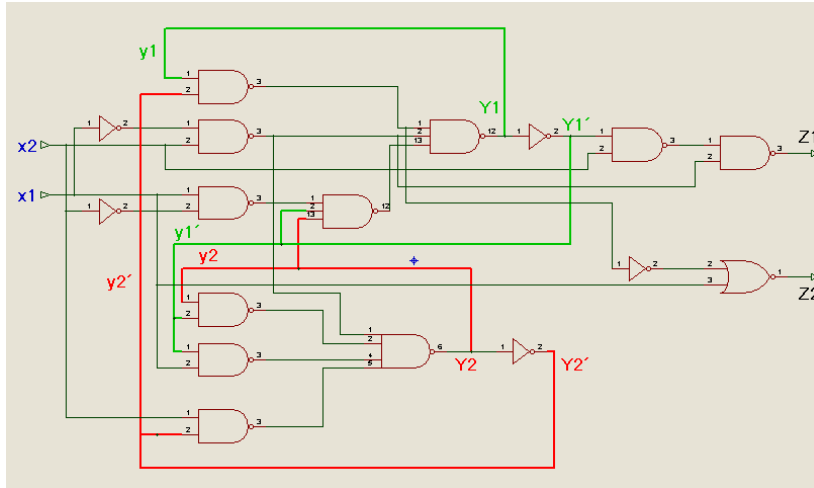
Ecuaciones:

Variables de estado interno (siendo y_i = estado actual, Y_i = estado siguiente): $Y_i = f(y_i, x_i)$

Salida: $z_i = f(y_i, x_i)$ \longrightarrow La salida depende de las entradas y de las variables de estado interno

Sistemas Secuenciales

Sistemas Secuenciales: Base de su generación. Análisis



$$Y_1 = \overline{y_1 y_2} \cdot \overline{x_1 x_2} \cdot \overline{y_1 y_2} \cdot \overline{x_1 x_2}$$

$$Y_2 = \overline{x_1 x_2} \cdot \overline{y_1 y_2} \cdot \overline{x_1 y_1} \cdot \overline{x_2 y_2}$$

$$Z_1 = \overline{y_1 x_2} \cdot \overline{x_1 x_2}$$

$$Z_2 = \overline{y_1 y_2} + x_1$$



$$Y_1 = y_1 \overline{y_2} + \overline{x_1} x_2 + \overline{y_1} y_2 (\overline{x_1} + x_2)$$

$$Z_1 = \overline{y_1} x_2 + \overline{x_1} x_2$$

$$Y_2 = \overline{x_1} x_2 + \overline{y_1} y_2 + x_1 \overline{y_1} + x_2 \overline{y_2}$$

$$Z_2 = \overline{x_1} (\overline{y_1} + y_2) = \overline{x_1} \overline{y_1} + \overline{x_1} y_2$$

Tabla de
evolución de
estado

x1x2 y1y2		00	01	11	10
		00	01	11	10
00	00	11	01	01	
01	11	11	11	01	
11	00	11	00	00	
10	10	11	11	10	

$Y_1 Y_2$

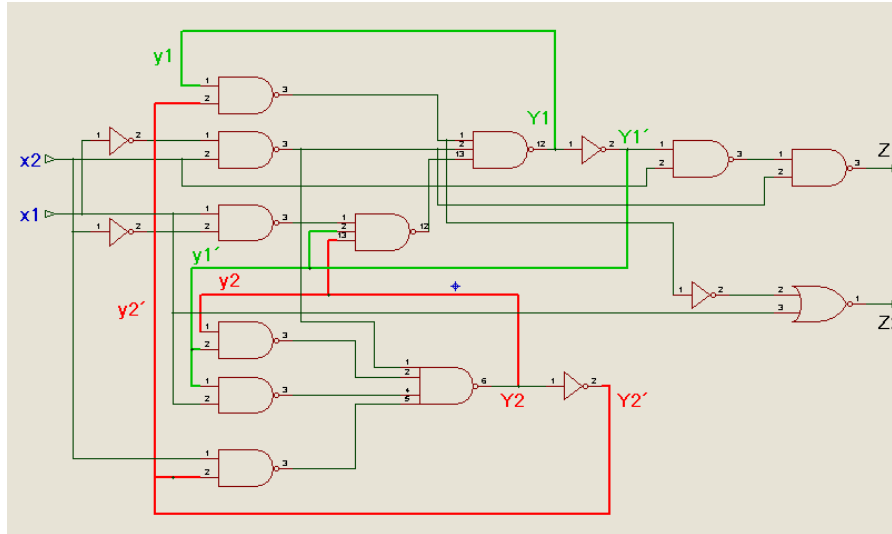
Tabla de
salida

x1x2 y1y2		00	01	11	10
de a	00	01	11	10	00
	01	01	11	10	00
	11	01	11	00	00
	10	00	10	00	00

z_1z_2

Sistemas Secuenciales

Sistemas Secuenciales: Base de su generación. Análisis



$$Y_1 = y_1\bar{y}_2 + \bar{x}_1x_2 + \bar{y}_1y_2(\bar{x}_1 + x_2)$$

$$Y_2 = \bar{x}_1x_2 + \bar{y}_1y_2 + x_1\bar{y}_1 + x_2\bar{y}_2$$

$$Z_1 = \bar{y}_1x_2 + \bar{x}_1x_2$$

$$Z_2 = \bar{x}_1(\bar{y}_1 + y_2) = \bar{x}_1\bar{y}_1 + \bar{x}_1y_2$$

El sistema evolucionará hasta que el estado siguiente (Y_1, Y_2) sea igual al estado actual (y_1, y_2).

Cuando esto ocurre, se ha llegado a un **ESTADO ESTABLE**

x1x2 \ y1y2		00	01	11	10
		00	01	11	10
00	00	11	01	01	
01	11	11	11	01	
11	00	11	00	00	
10	10	11	11	10	

Y_1Y_2

Tabla de evolución de estado

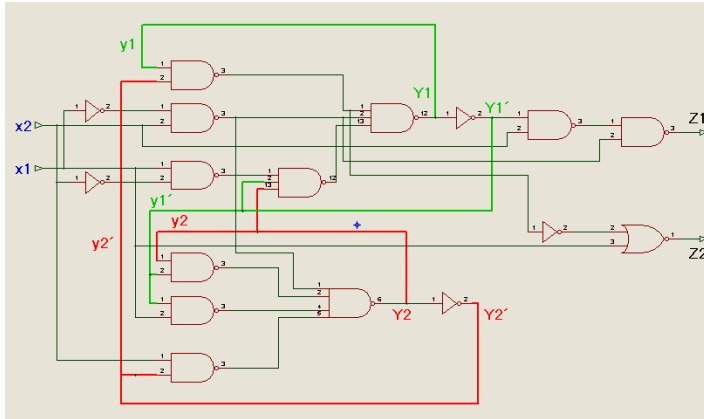
<div>x1x2 y1y2</div>		00	01	11	10
00		01	11	10	00
01		01	11	10	00
11		01	11	00	00
10		00	10	00	00

z_1z_2

Tabla de salida

Sistemas Secuenciales

Sistemas Secuenciales: Base de su generación. Análisis



$$Y_1 = y_1 \bar{y}_2 + \bar{x}_1 x_2 + \bar{y}_1 y_2 (\bar{x}_1 + x_2)$$

$$Y_2 = \bar{x}_1 x_2 + \bar{y}_1 y_2 + x_1 \bar{y}_1 + x_2 \bar{y}_2$$

$$Z_1 = \bar{y}_1 x_2 + \bar{x}_1 x_2$$

$$Z_2 = \bar{x}_1 (\bar{y}_1 + y_2) = \bar{x}_1 \bar{y}_1 + \bar{x}_1 y_2$$

El sistema evolucionará hasta que el estado siguiente (Y_1, Y_2) sea igual al estado actual (y_1, y_2).

Cuando esto ocurre, se ha llegado a un ESTADO ESTABLE

Para una misma entrada el sistema puede evolucionar a distintos estados internos estables y por tanto a distintas salidas.

x1x2 \ y1y2		00	01	11	10
		00	11	01	01
00	00	11	01	01	
01	11	11	11	01	
11	00	11	00	00	
10	10	11	11	10	

$Y_1 Y_2$

Tabla de evolución de estado

x1x2 \ y1y2		00	01	11	10
		01	11	10	00
00	01	11	10	00	
01	01	11	10	00	
11	01	11	00	00	
10	00	10	00	00	

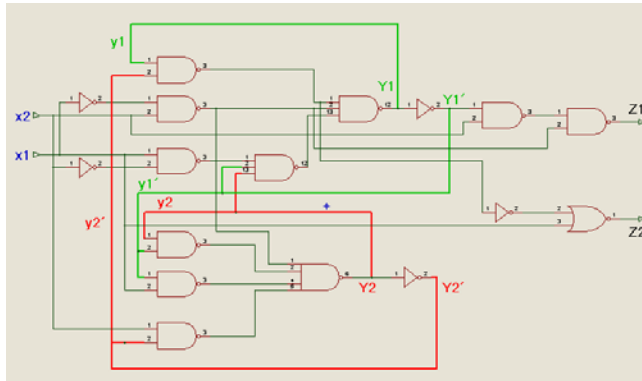
$Z_1 Z_2$

Tabla de salida

La salida depende de las entradas y de los estados internos actuales, los cuales dependen de la evolución del sistema, que depende de la secuencia con que se hayan cambiado las entradas

Sistemas Secuenciales

Sistemas Secuenciales: Base de su generación. Análisis



$$Y_1 = y_1\bar{y}_2 + \bar{x}_1x_2 + \bar{y}_1y_2(\bar{x}_1 + x_2)$$

$$Y_2 = \bar{x}_1x_2 + \bar{y}_1y_2 + x_1\bar{y}_1 + x_2\bar{y}_2$$

$$Z_1 = \bar{y}_1x_2 + \bar{x}_1x_2$$

$$Z_2 = \bar{x}_1(\bar{y}_1 + y_2) = \bar{x}_1\bar{y}_1 + \bar{x}_1y_2$$

El sistema evolucionará hasta que el estado siguiente (Y_1, Y_2) sea igual al estado actual (y_1, y_2).

Cuando esto ocurre, se ha llegado a un **ESTADO ESTABLE**

<div>x1x2 y1y2</div>		00	01	11	10
		00	11	01	01
00	00	11	11	11	01
01	11	11	11	00	00
11	00	11	00	11	10
10	10	11	11	11	10

Y₁Y₂

Tabla de evolución de estado

Problemas:

- Para alguna combinación de entrada, **puede no existir estado estable** (ej.: para $x_1, x_2 = 1, 1$). Estará recorriendo un ciclo continuamente.
Si en ese ciclo se cambia las entradas es **imposible predecir el estado final** al que irá el sistema (no podemos predecir en que estado interno hemos cambiado las entradas)
- Es **imposible cambiar de forma real e instantánea**, tanto los estados internos como las entradas, **entre estados no adyacentes** (ej.: no se puede cambiar de $x_1, x_2 = 0, 0$ a $x_1, x_2 = 1, 1$ sin pasar por $0, 1$ o por $1, 0$.) Esto hace imprevisible la evolución del sistema.

Sistemas Secuenciales

Sistemas Secuenciales: Base de su generación. Análisis

x1x2 \ y1y2		00	01	11	10
y1y2	00	00	11	01	01
	01	11	11	11	01
	11	00	11	00	00
	10	10	11	11	10

Y_1Y_2

Tabla de evolución de estado

Estado \ x1x2		00	01	11	10
Estado	1	1 / 01	3 / 11	2 / 10	2 / 00
	2	3 / 01	3 / 11	3 / 10	2 / 00
	3	1 / 01	3 / 11	1 / 00	1 / 00
	4	4 / 00	3 / 10	3 / 00	4 / 00

Tabla de flujo (estado siguiente / salida)

x1x2 \ y1y2		00	01	11	10
y1y2	00	E	I	I	I
	01	I	I	I	E
	11	I	E	I	I
	10	E	I	I	E

Y_1Y_2

Tabla de evolución de estado

+

x1x2 \ y1y2		00	01	11	10
y1y2	00	01	11	10	00
	01	01	11	10	00
	11	01	11	00	00
	10	00	10	00	00

Z_1Z_2

Tabla de salida

I = Inestable
E = Estable

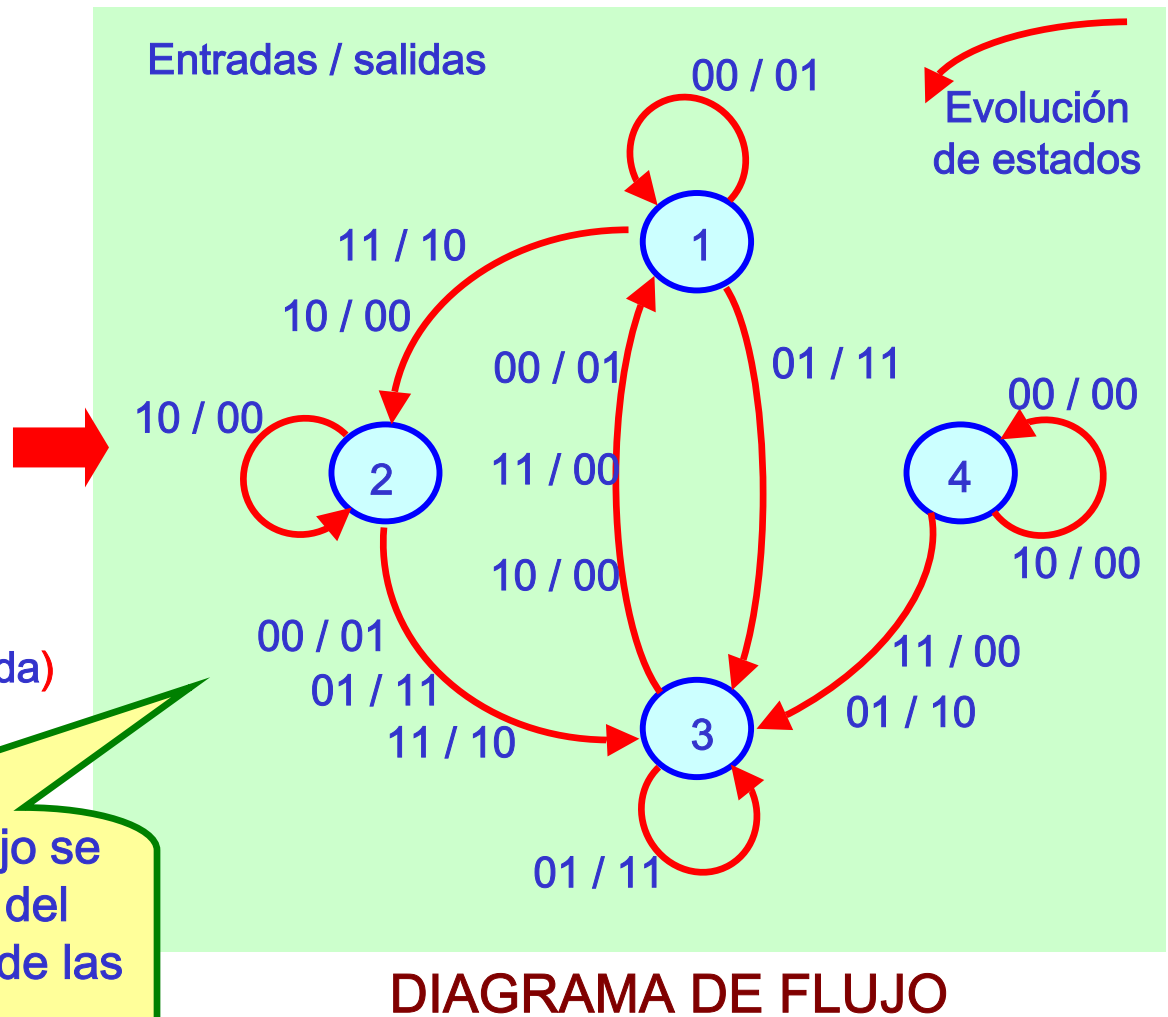
Sistemas Secuenciales

Sistemas Secuenciales: Base de su generación. Análisis

x1x2					
Estado		00	01	11	10
1		1 / 01	3 / 11	2 / 10	2 / 00
2		3 / 01	3 / 11	3 / 10	2 / 00
3		1 / 01	3 / 11	1 / 00	1 / 00
4		4 / 00	3 / 10	3 / 00	4 / 00

Tabla de flujo (estado siguiente / salida)

A partir del diagrama de flujo se podrá deducir las salidas del sistema según la evolución de las entradas



Sistemas Secuenciales

Sistemas Secuenciales: Base de su generación. Análisis

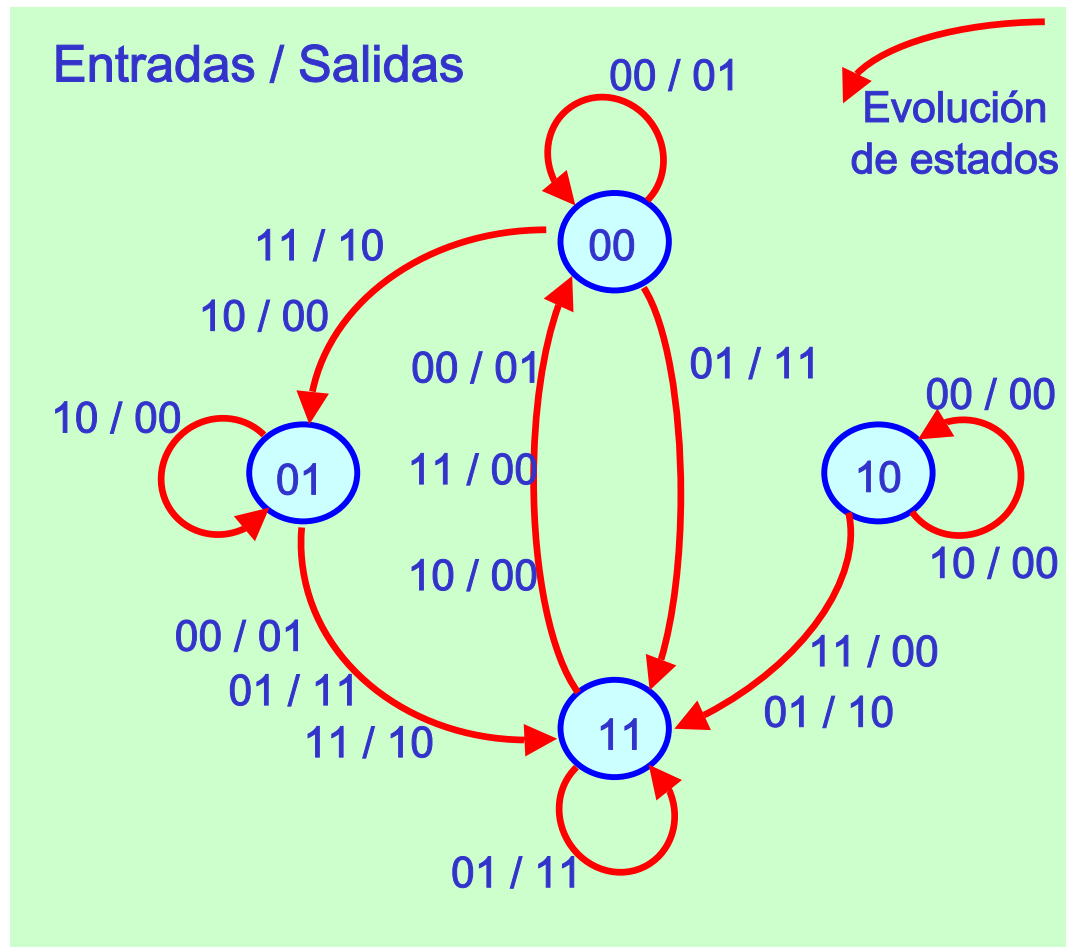


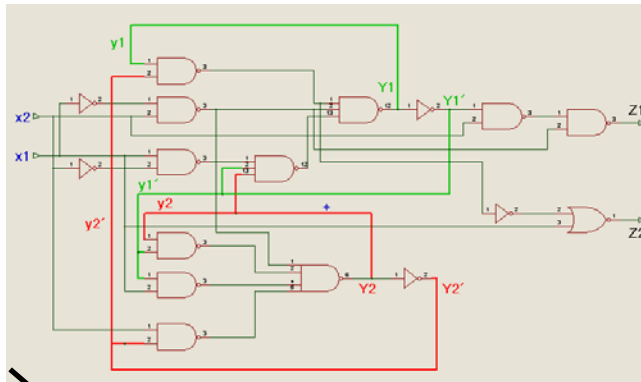
DIAGRAMA DE FLUJO

Recordando.....Problemas:

- Para alguna combinación de entrada, **puede no existir estado estable** (ej.: para $x_1, x_2 = 1, 1$). Estará recorriendo un ciclo continuamente.
Si en ese ciclo se cambia las entradas es **imposible predecir el estado final** al que irá el sistema (no podemos predecir en que estado interno hemos cambiado las entradas)
- Es **imposible cambiar de forma real e instantánea**, tanto los estados internos como las entradas, **entre estados no adyacentes** (ej.: no se puede cambiar de $x_1, x_2 = 0, 0$ a $x_1, x_2 = 1, 1$ sin pasar por $0, 1$ o por $1, 0$.) Esto hace imprevisible la evolución del sistema.

Sistemas Secuenciales

Sistemas Secuenciales: Conceptos y definiciones



$$Y_1 = y_1 \bar{y}_2 + \bar{x}_1 x_2 + \bar{y}_1 y_2 (\bar{x}_1 + x_2)$$

$$Y_2 = \bar{x}_1 x_2 + \bar{y}_1 y_2 + x_1 \bar{y}_1 + x_2 \bar{y}_2$$

$$Z_1 = \bar{y}_1 x_2 + \bar{x}_1 x_2$$

$$Z_2 = \bar{x}_1 (\bar{y}_1 + y_2) = \bar{x}_1 \bar{y}_1 + \bar{x}_1 y_2$$

x1x2					
y1y2		00	01	11	10
00		00	11	01	01
01		11	11	11	01
11		00	11	00	00
10		10	11	11	10

$Y_1 Y_2$
Tabla de evolución de estado

x1x2 \ y1y2		00	01	11	10
		00	01	11	10
00	01	11	10	00	
01	01	11	10	00	
11	01	11	00	00	
10	00	10	00	00	

$Z_1 Z_2$
Tabla de salida

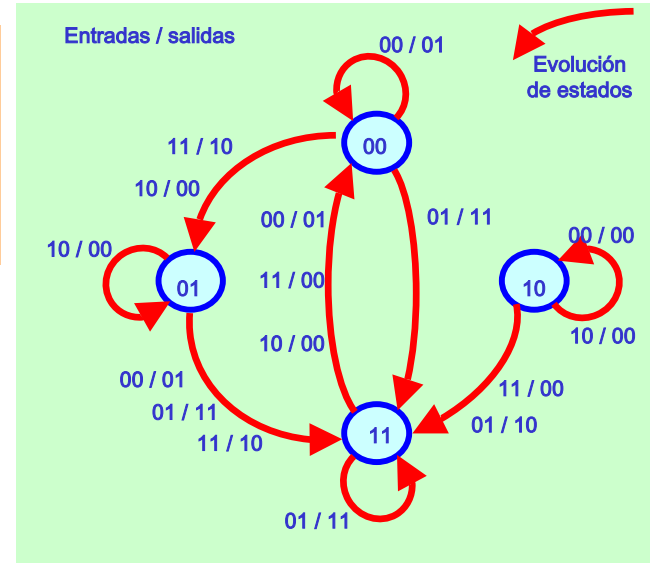


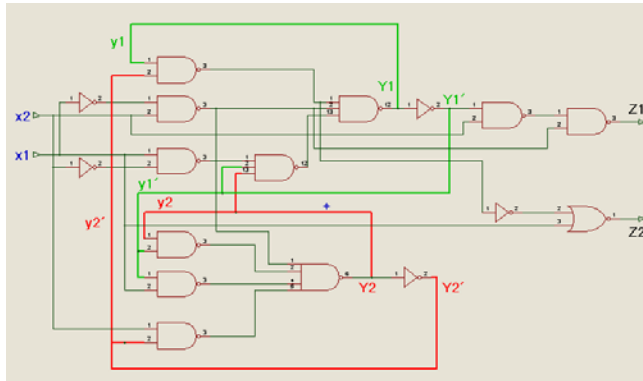
DIAGRAMA DE FLUJO

Sistema secuencial asíncrono:

El sistema evoluciona desde el momento de cambio de las entradas hasta buscar un estado estable, que a su vez hace estable las salidas. No presenta señal de sincronismo (de reloj).

Sistemas Secuenciales

Sistemas Secuenciales: Conceptos y definiciones



$$Y_1 = y_1 \bar{y}_2 + \bar{x}_1 x_2 + \bar{y}_1 y_2 (\bar{x}_1 + x_2)$$

$$Y_2 = \bar{x}_1 x_2 + \bar{y}_1 y_2 + x_1 \bar{y}_1 + x_2 \bar{y}_2$$

$$Z_1 = \bar{y}_1 x_2 + \bar{x}_1 x_2$$

$$Z_2 = \bar{x}_1 (\bar{y}_1 + y_2) = \bar{x}_1 \bar{y}_1 + \bar{x}_1 y_2$$

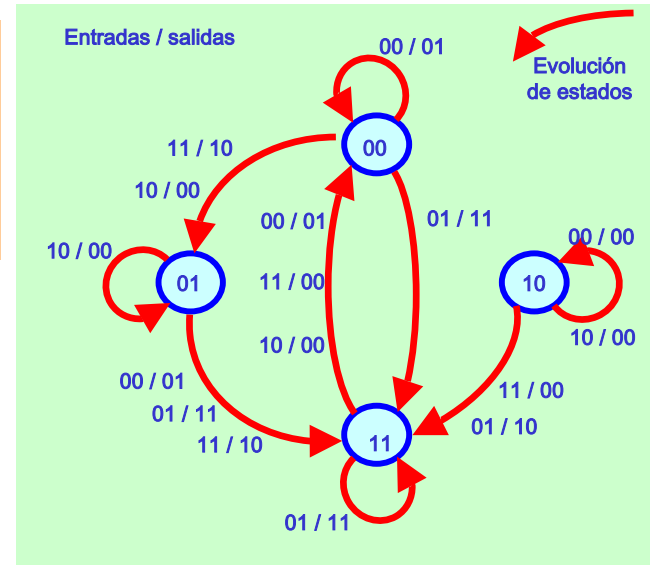


DIAGRAMA DE FLUJO

Sistema secuencial tipo Mealy:

La salida del sistema depende de los estados internos y de las entradas. $z_i = f(y_i, x_i)$

Sistema secuencial tipo Moore:

La salida del sistema depende solo de los estados internos. $z_i = f(y_i)$

Sistemas Secuenciales

Sistemas Secuenciales Asíncronos

Recordando.....Problemas:

- ❑ Para alguna combinación de entrada, **puede no existir estado estable** (ej.: para $x_1, x_2 = 1, 1$). Estará recorriendo un ciclo continuamente.
Si en ese ciclo se cambia las entradas es **imposible predecir el estado final** al que irá el sistema (no podemos predecir en que estado interno hemos cambiado las entradas)
- ❑ Es **imposible cambiar de forma real e instantánea**, tanto los estados internos como las entradas, **entre estados no adyacentes** (ej.: no se puede cambiar de $x_1, x_2 = 0, 0$ a $x_1, x_2 = 1, 1$ sin pasar por $0, 1$ o por $1, 0$.) Esto hace imprevisible la evolución del sistema.

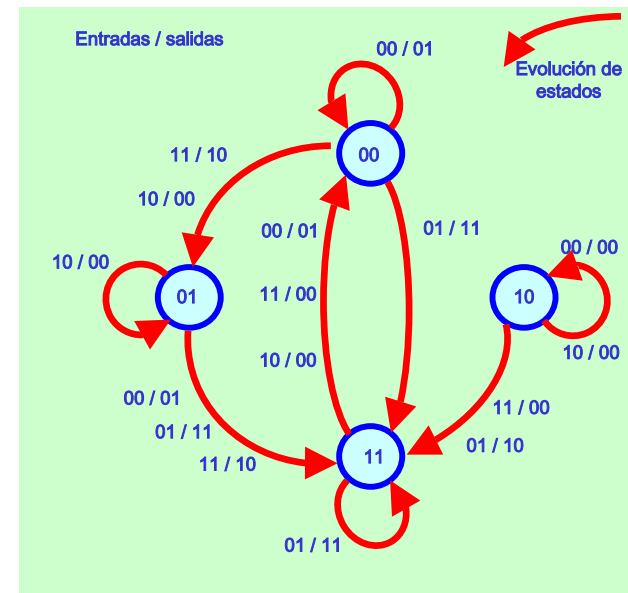


DIAGRAMA DE FLUJO

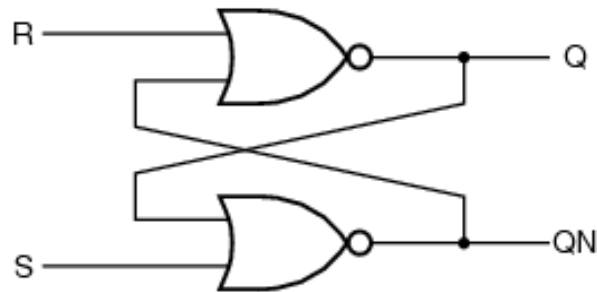
Dados los problemas de diseño que presentan los sistemas secuenciales asíncronos, solo se utilizan de forma general los sistemas secuenciales asíncronos más sencillos:

Concretamente los circuitos que dan lugar al
latch (o cerrojo) RS (reset-set)

Sistemas Secuenciales

Sistemas Secuenciales Asíncronos:

Latch o cerrojo R-S



(b)

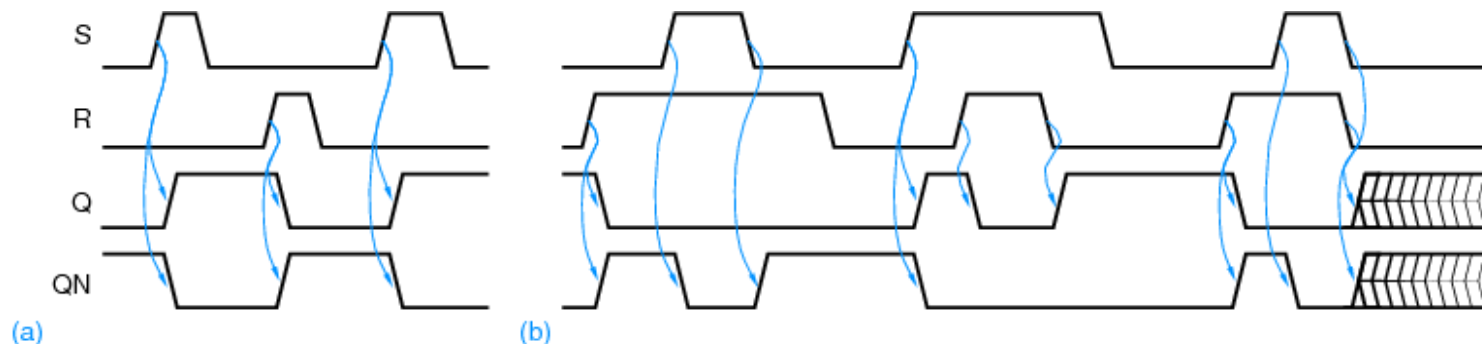
S	R	Q	QN
0	0	last Q	last QN
0	1	0	1
1	0	1	0

Q = variable de estado

QN = variable de estado
(normalmente Q negado)

Z = salida = Q

- ❑ Con $R = 0$, $S = 1$ la salida Q se pone a 1 y QN a 0 (se realiza un set, o puesta a 1).
- ❑ Con $R = 1$, $S = 0$ la salida Q se pone a 0 y QN a 1 (se realiza un reset, o puesta a 0).
- ❑ Con $R = 0$, $S = 0$ la salida Q anterior se mantiene y QN también (se mantiene o memoriza el estado anterior).
- ❑ Con $R = 1$, $S = 1$ las salidas Q y QN se ponen a 0 (no se utiliza, no funciona QN como inversa de Q y no se puede prever la situación al pasar de esta situación a $R = 0$, $S = 0$ por no ser combinaciones adyacentes).

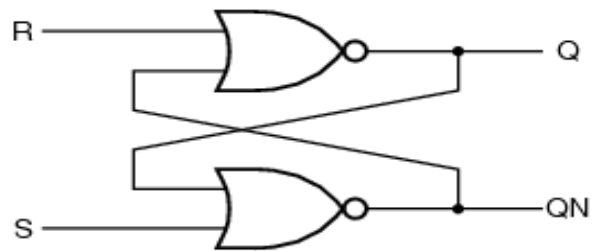


(b)

Sistemas Secuenciales

Sistemas Secuenciales Asíncronos:

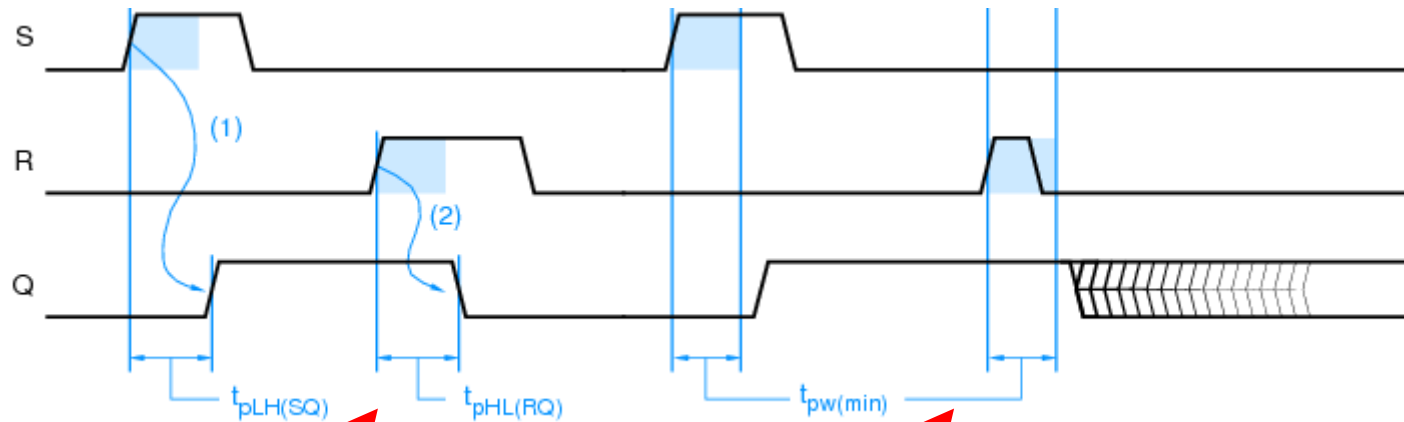
Latch o cerrojo R-S: Parámetros de temporización



S	R	Q	QN
0	0	last Q	last QN
0	1	0	1
1	0	1	0



Símbolos



Retardo de propagación

Tiempo entre la transición de las entradas y el cambio en la salida

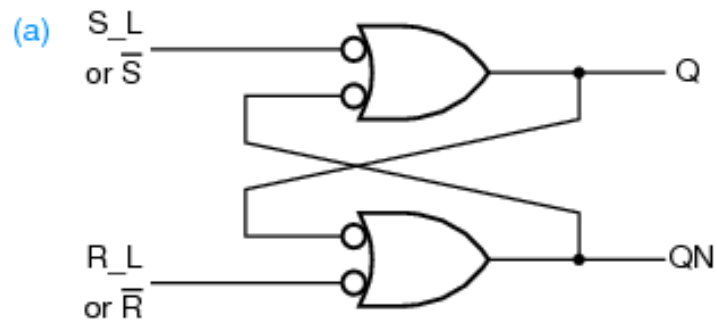
Anchura de pulso mínima

Tiempo mínimo que deben permanecer las entradas a nivel activo para que la salida sea segura.

Sistemas Secuenciales

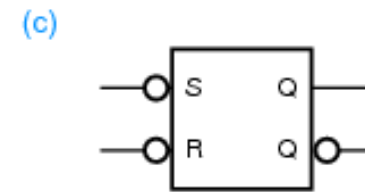
Sistemas Secuenciales Asíncronos:

Latch o cerrojo $\bar{R}\text{-}\bar{S}$: Realizado con puertas NAND

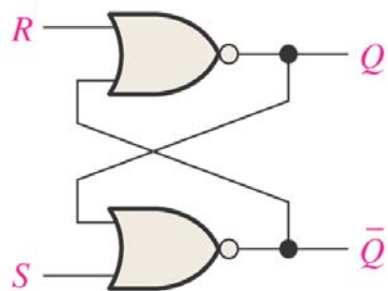


(b)

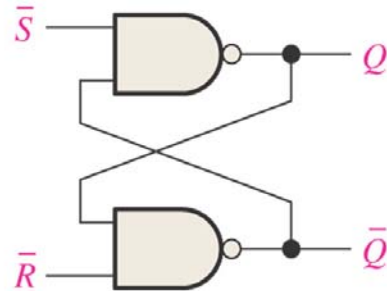
S_L	R_L	Q	Q_N
0	1	1	0
1	0	0	1
1	1	last Q	last Q_N



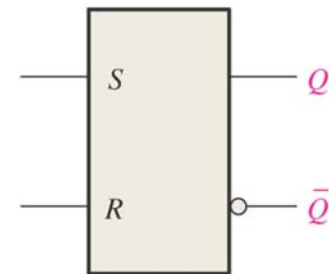
- ❑ Presenta las entradas negadas con respecto al Latch con puertas NOR.
- ❑ Es el que se utiliza más frecuentemente por ser más fácil su integración.



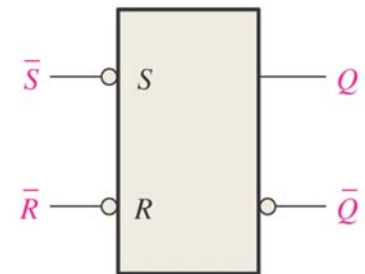
(a) Active-HIGH input S-R latch



(b) Active-LOW input $\bar{S}\text{-}\bar{R}$ latch



(a) Active-HIGH input S-R latch

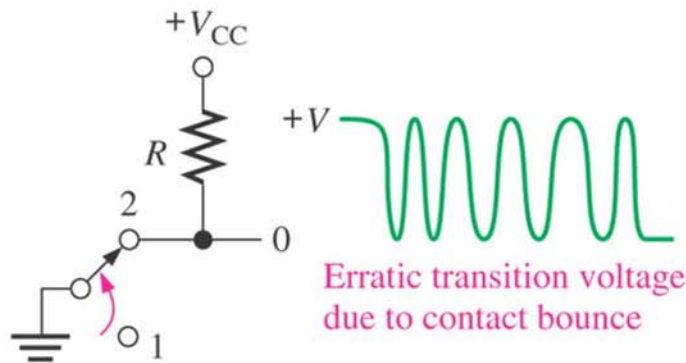


(b) Active-LOW input $\bar{S}\text{-}\bar{R}$ latch

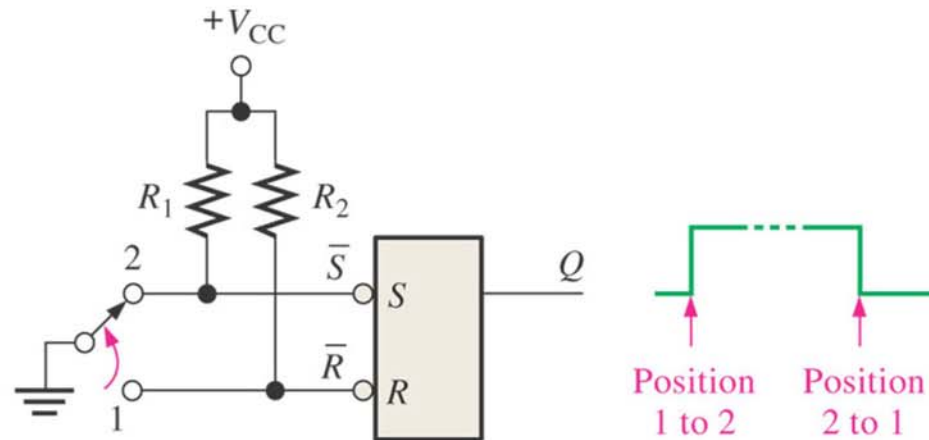
Sistemas Secuenciales

Sistemas Secuenciales Asíncronos:

Latch o cerrojo $\bar{R}\text{-}\bar{S}$: Aplicación antirebote



(a) Switch contact bounce



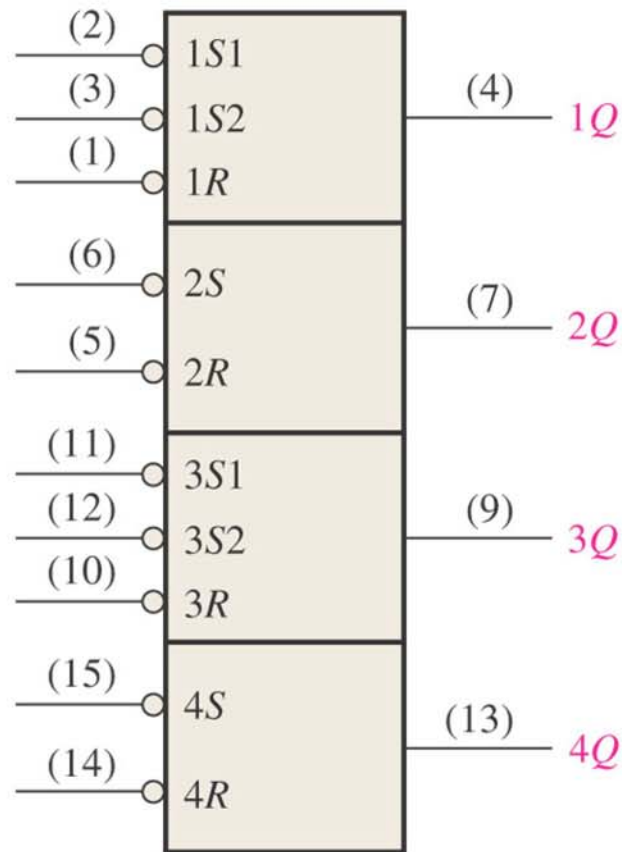
(b) Contact-bounce eliminator circuit

Elimina los cambios que se producen en la conmutación mecánica, debidos a los rebotes mecánicos de los contactos, puesto que conmuta entre la entrada deseada y la entrada de memorización. En este caso, con cerrojo R/\bar{S} al conmutar de 1 a 2 pasa de $R/\bar{S} = 0,1$ pasando por $R/\bar{S} = 1,1$ a $R/\bar{S} = 1,0$ realizando un SET y a pesar de que a continuación se den rebotes haciendo $R/\bar{S} = 1,1$ ésto solo hará mantener o memorizar el estado anterior que seguirá siendo de SET. Se han eliminado los rebotes.

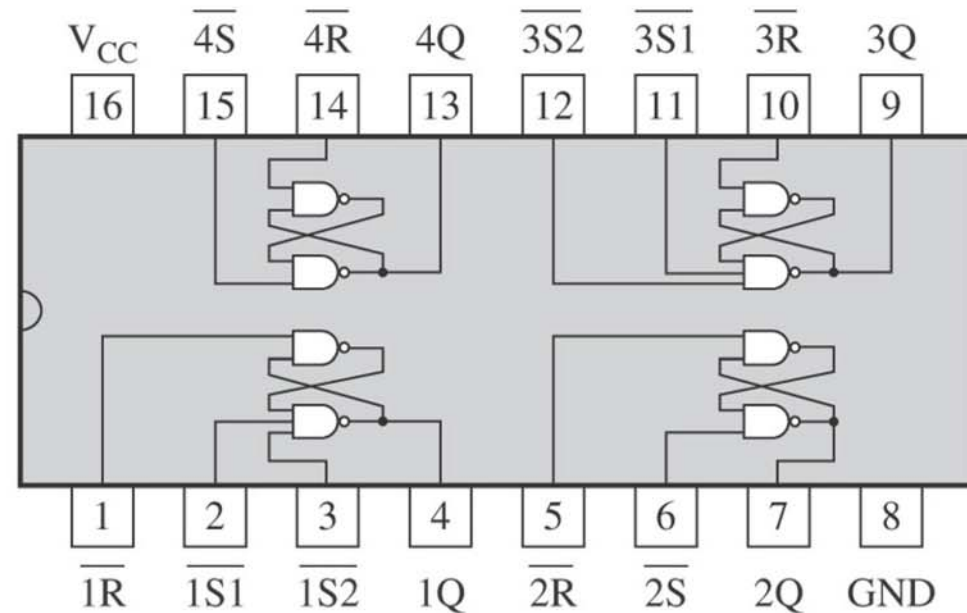
Sistemas Secuenciales

Sistemas Secuenciales Asíncronos:

Latch o cerrojo \overline{R} - \overline{S} : Circuito MSI 74LS279



(a) Logic diagram

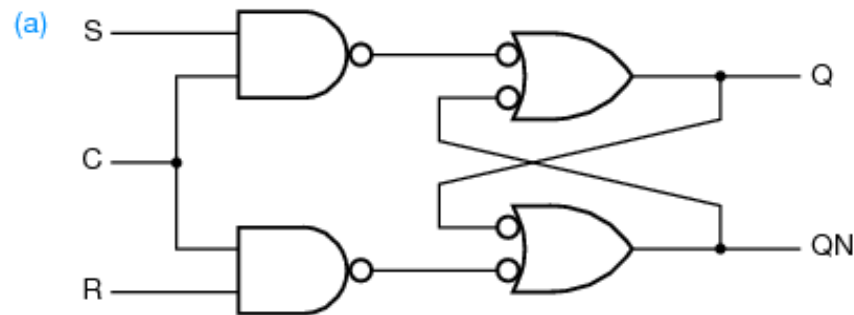


(b) Pin diagram

Sistemas Secuenciales

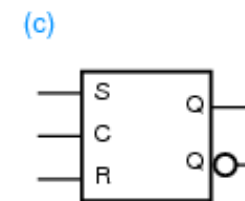
Sistemas Secuenciales Asíncronos:

Latch o cerrojo R-S con habilitación.

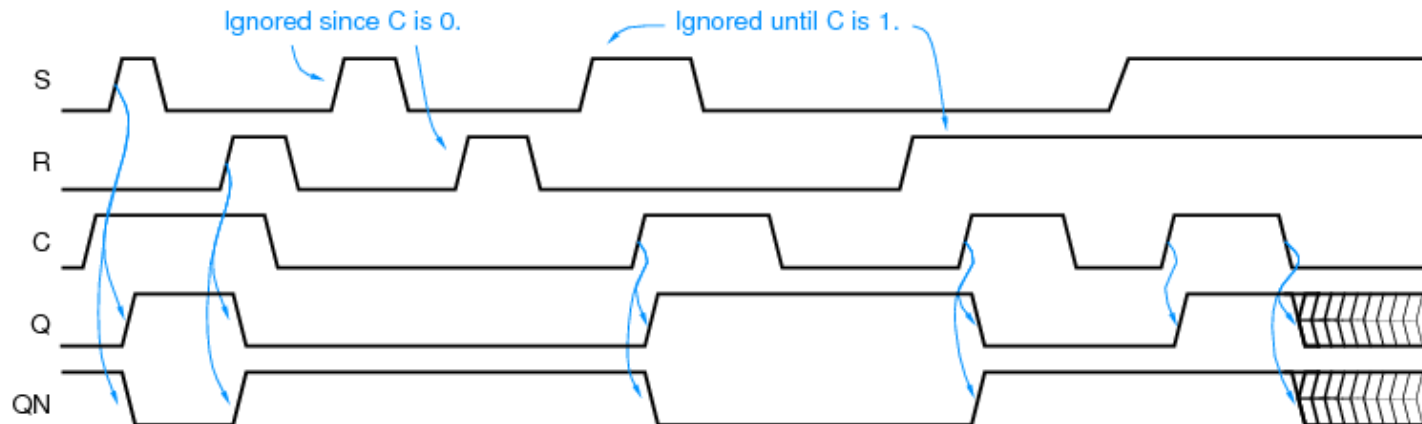


(b)

S	R	C	Q	QN
0	0	1	last Q	last QN
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1
x	x	0	last Q	last QN



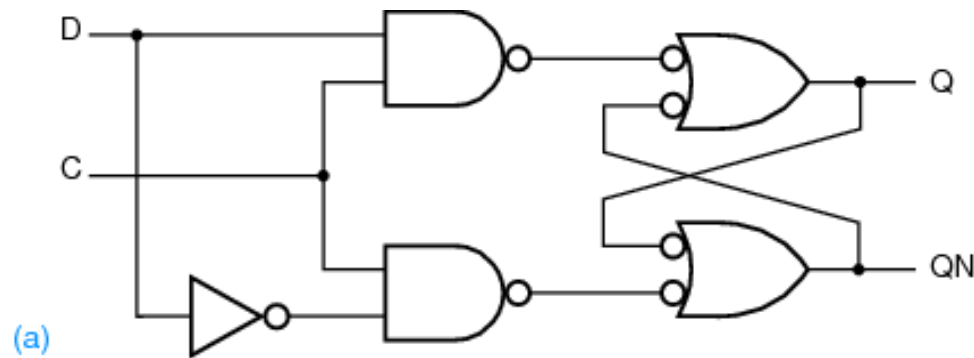
- ❑ Las entradas S – R solo son sensibles mientras la entrada C es activa (C = 1).
- ❑ Permite “cerrar” el sistema memorizando el estado actual, haciendo no activa la entrada C.



Sistemas Secuenciales

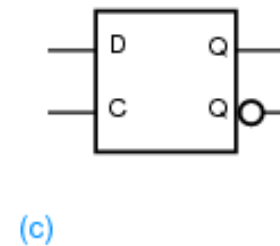
Sistemas Secuenciales Asíncronos:

Latch o cerrojo D

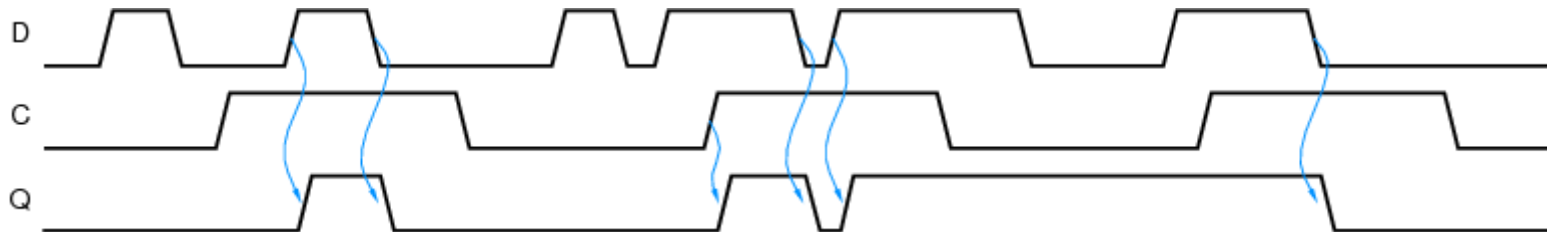


(b)

C	D	Q	QN
1	0	0	1
1	1	1	0
0	x	last Q	last QN



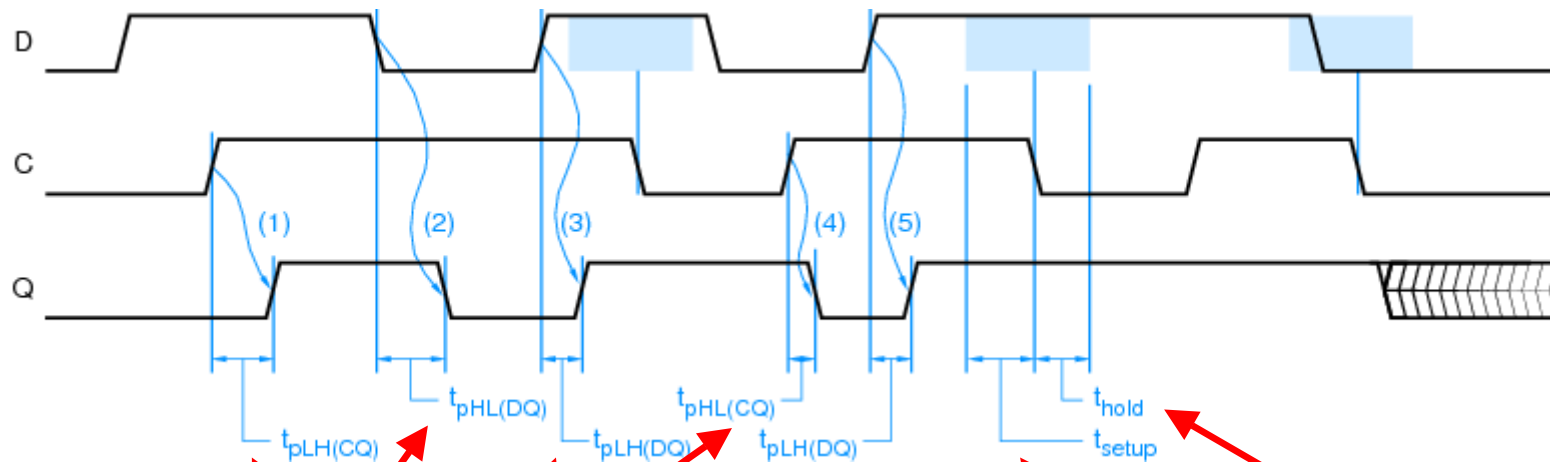
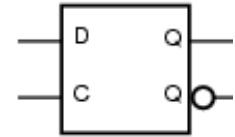
- ❑ Consiste en un latch R-S en el que solo se puede dar SET o un RESET como entrada de dato y se puede memorizar o “cerrar” la salida haciendo la entrada de habilitación inactiva.
- ❑ Elimina el problema de $R = S = 1$
- ❑ Con $C = 1$ se convierte en un cerrojo “transparente”.
- ❑ No presenta situaciones indeterminadas por cambio en las entradas.



Sistemas Secuenciales

Sistemas Secuenciales Asíncronos:

Latch o cerrojo D : Temporización



Retardo de propagación

Tiempo entre la transición de las entradas de datos o de habilitación y el cambio en la salida.

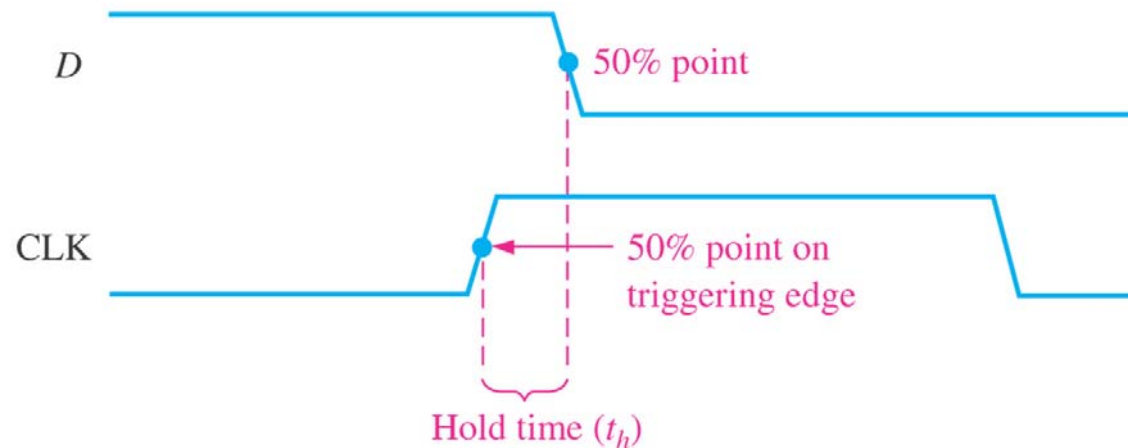
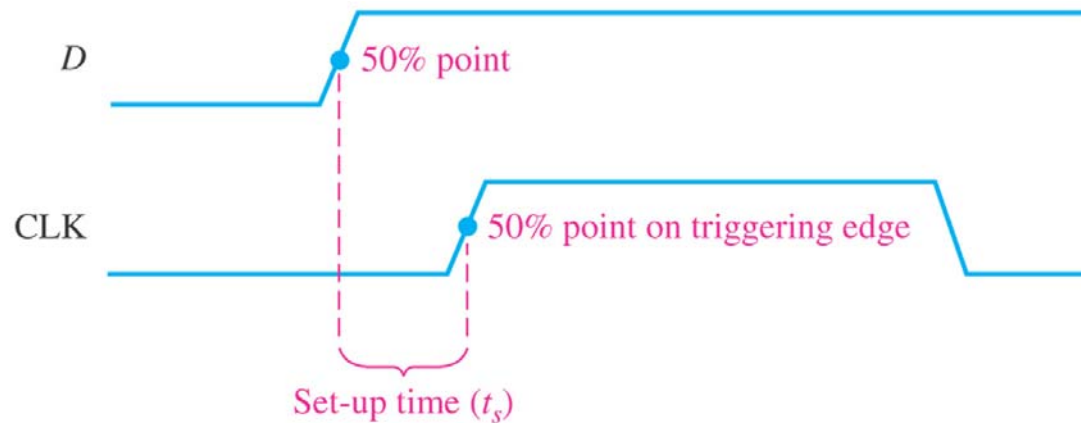
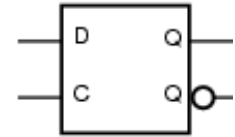
Tiempo de establecimiento (setup) y de mantenimiento (hold)

Tiempos mínimos necesarios que debe mantenerse el dato estable antes y después respectivamente de hacer no activa la entrada C.

Sistemas Secuenciales

Sistemas Secuenciales Asíncronos:

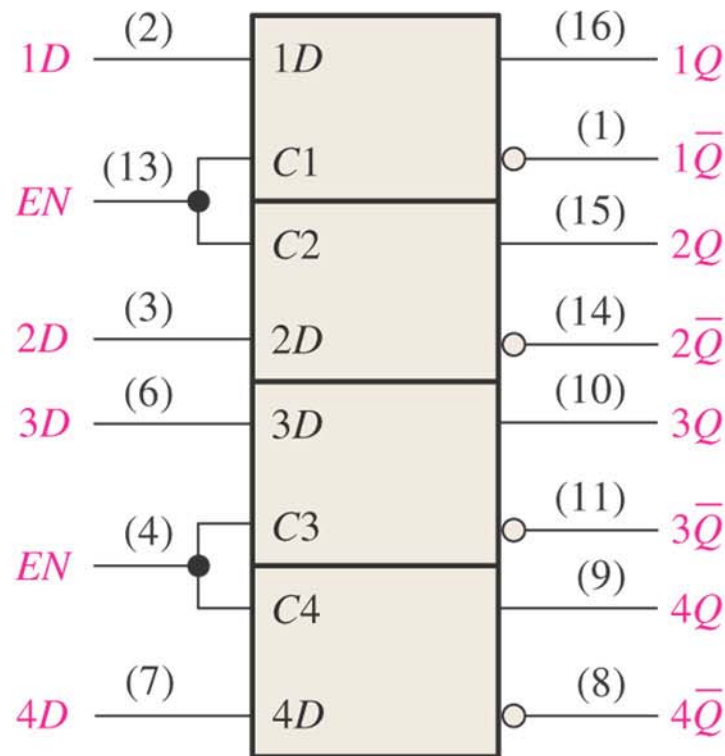
Latch o cerrojo D : Temporización



Sistemas Secuenciales

Sistemas Secuenciales Asíncronos:

Latch o cerrojo D : Circuito MSI 74LS75



(a) Logic symbol

Inputs		Outputs		Comments
D	EN	Q	\bar{Q}	
0	1	0	1	RESET
1	1	1	0	SET
X	0	Q_0	\bar{Q}_0	No change

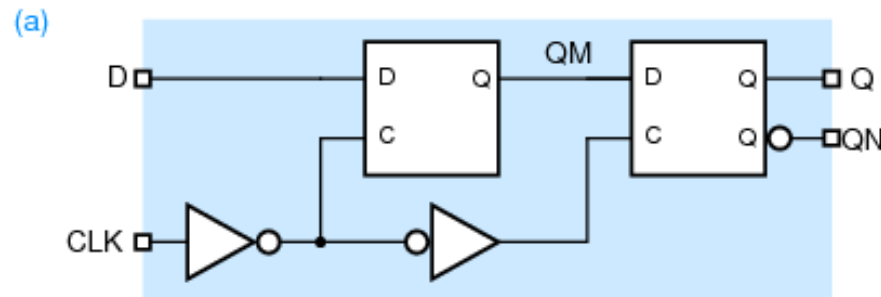
Note: Q_0 is the prior output level before the indicated input conditions were established.

(b) Truth table (each latch)

Sistemas Secuenciales

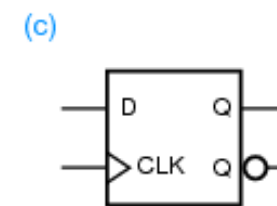
Sistemas Secuenciales Síncronos:

Flip-flop o biestable D disparado por flanco ↑

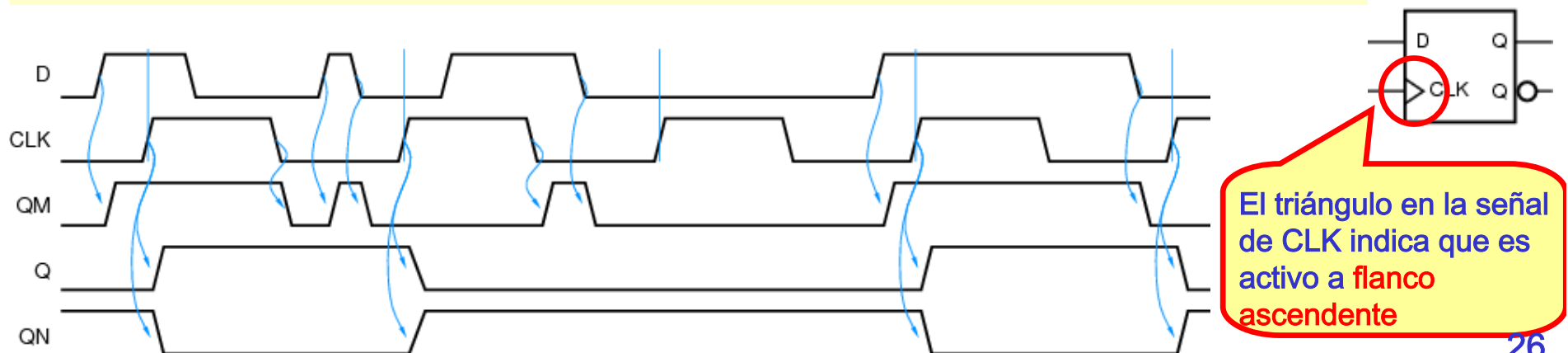


(b)

D	CLK	Q	QN
0	↑	0	1
1	↑	1	0
x	0	last Q	last QN
x	1	last Q	last QN



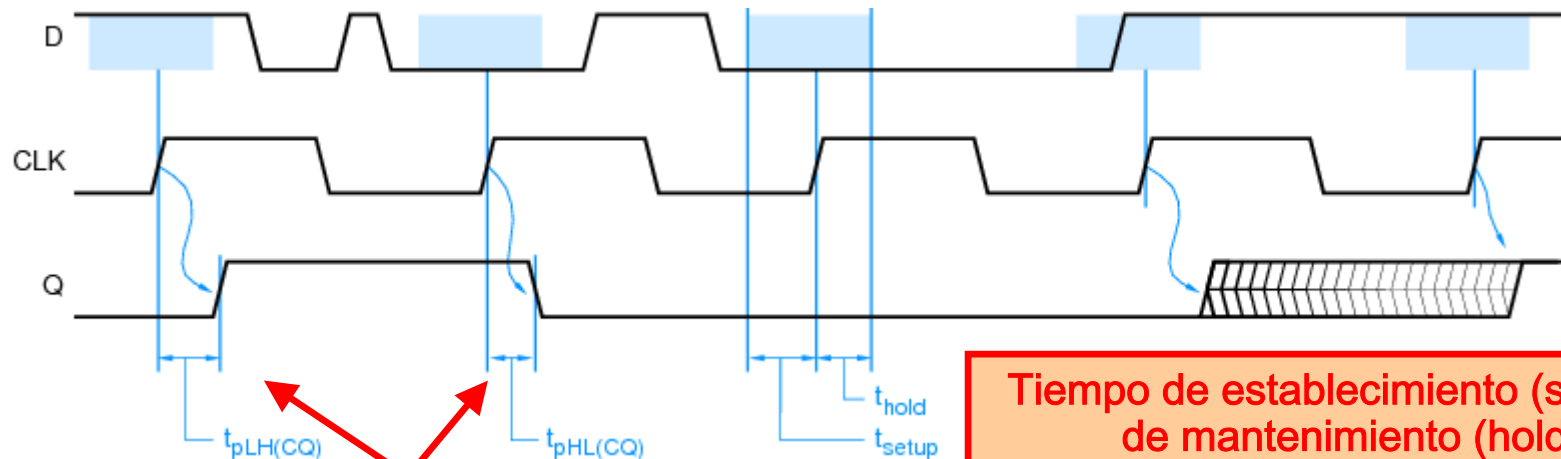
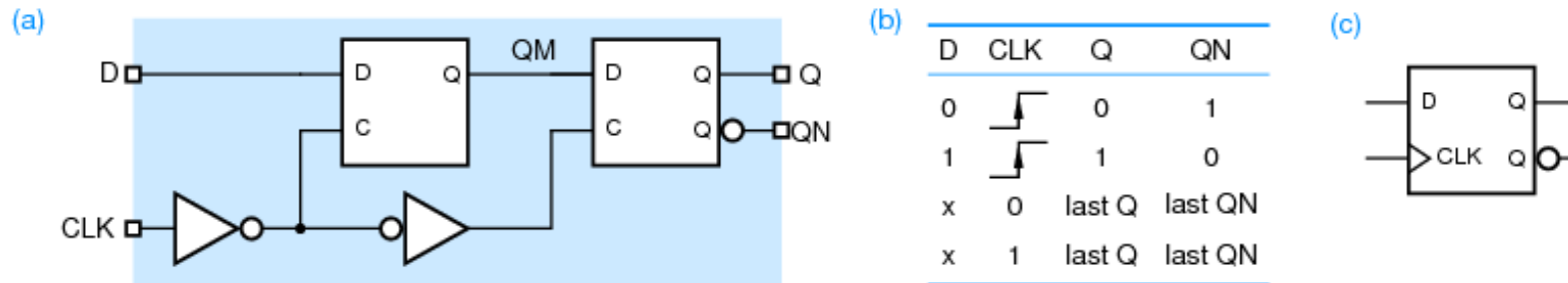
- ❑ Sus salidas Q y QN cambian únicamente según la entrada D existente en el instante de producirse el flanco (en este caso **ascendente**) de la entrada de reloj.
- ❑ Es un flip-flop o biestable **SÍNCRONO**.
- ❑ No existe posibilidad de imprecisión en el funcionamiento por cambio de entradas.



El triángulo en la señal de CLK indica que es activo a flanco ascendente

Sistemas Secuenciales Síncronos

Flip-flop o biestable D disparado por flanco ↑ Temporización



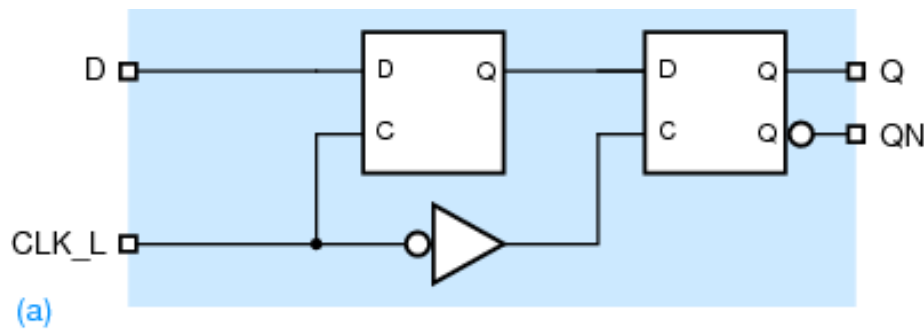
Retardo de propagación
Tiempo entre la transición de Reloj y el cambio en la salida.

Tiempo de establecimiento (setup) y de mantenimiento (hold)

Tiempos mínimos necesarios que debe mantenerse el dato estable antes y después respectivamente del flanco de reloj.

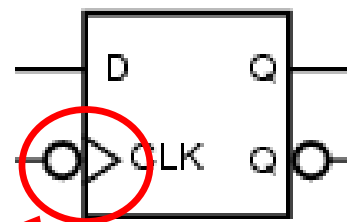
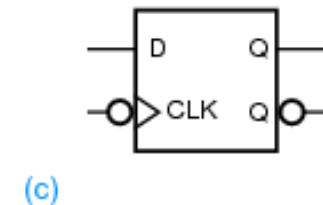
Sistemas Secuenciales Síncronos

Flip-flop o biestable D disparado por flanco ↓



(b)

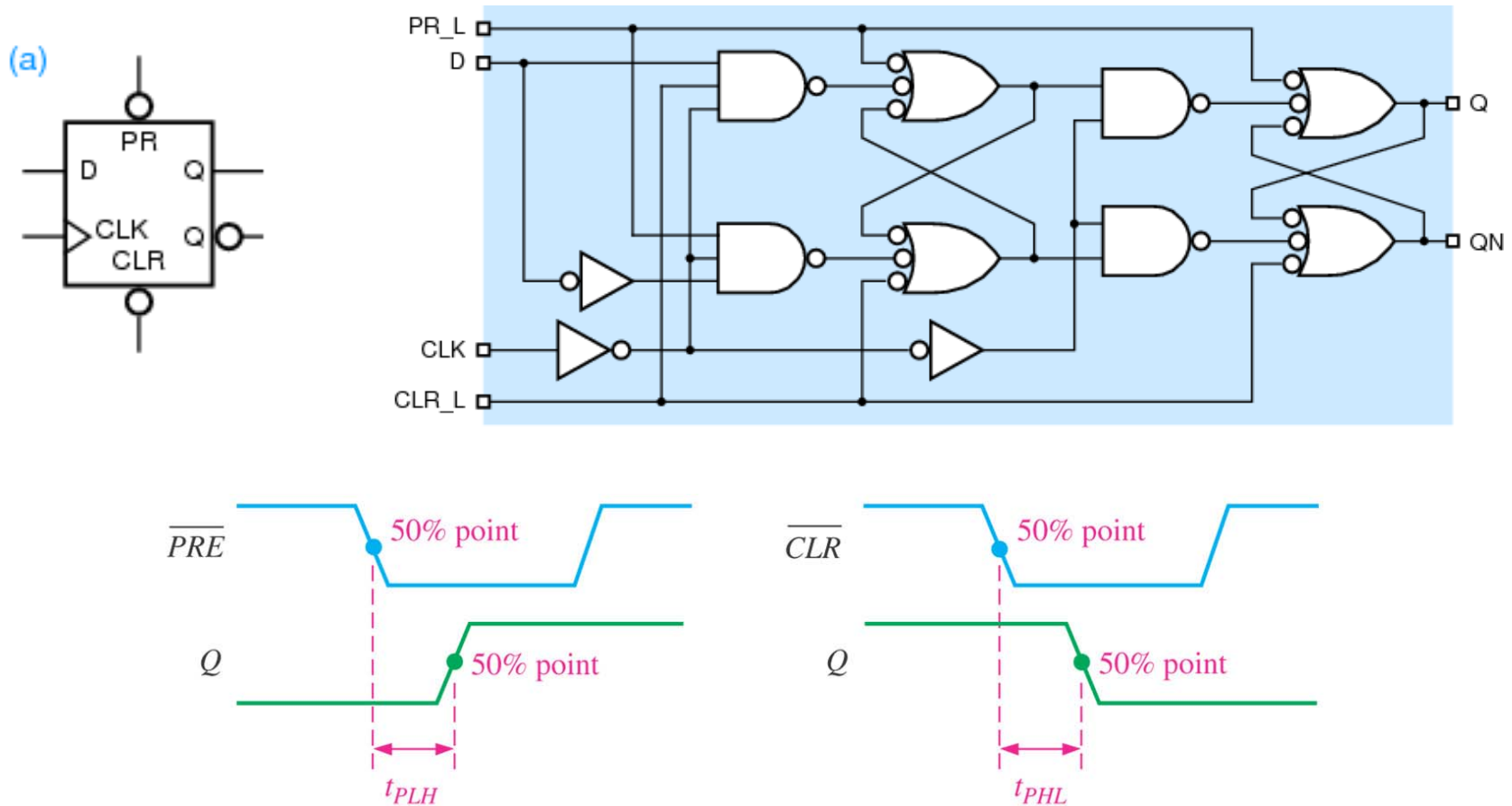
D	CLK_L	Q	QN
0	↓	0	1
1	↓	1	0
x	0	last Q	last QN
x	1	last Q	last QN



El triángulo y la negación en la señal de CLK indica que es activo a flanco descendente

Sistemas Secuenciales Síncronos

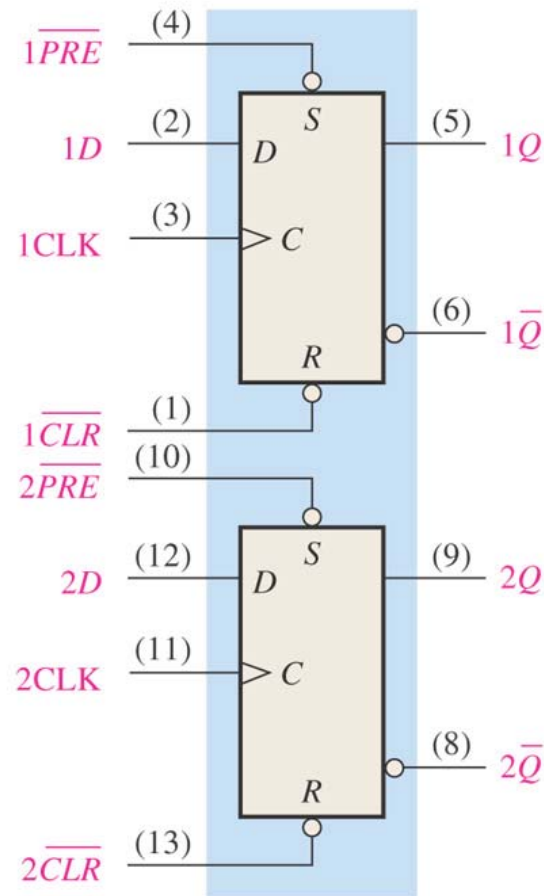
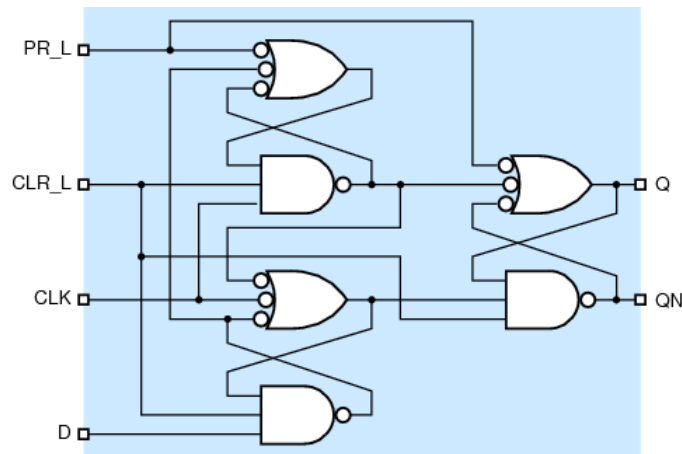
Flip-flop o biestable D disparado por flanco ↑
con entradas asíncronas de Preset y Clear



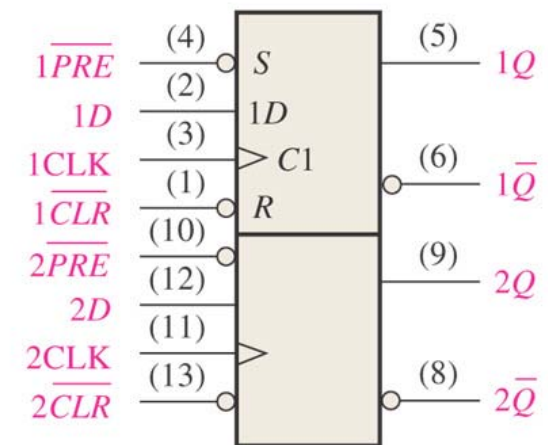
Las entradas asíncronas de Preset y Clear son entradas que prevalecen sobre el valor de la entrada D y no dependen de la señal de reloj para forzar a la salida.

Sistemas Secuenciales Síncronos

Flip-flop o biestable D disparado por flanco ↑ con entradas asíncronas de Preset y Clear. **Circuito MSI 74LS74**



(a) Individual logic symbols

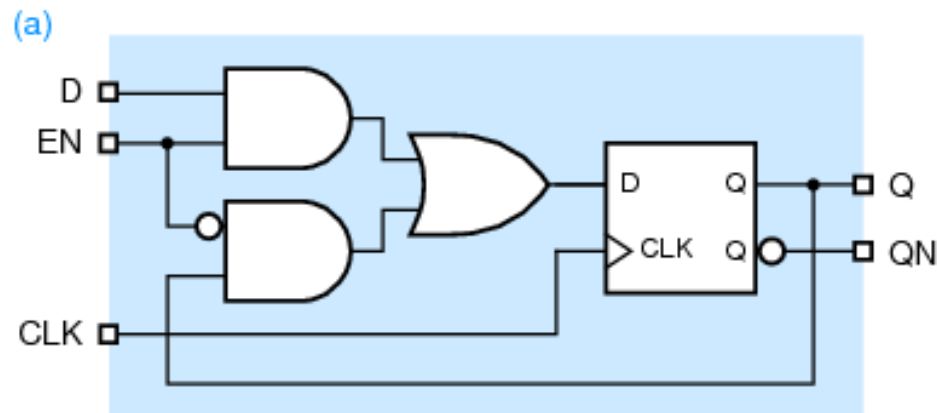


(b) Single block logic symbol

Note: The S and R inside the block indicate that \overline{PRE} SETS and \overline{CLR} RESETS.

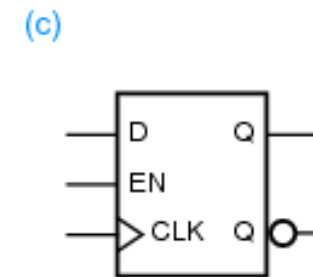
Sistemas Secuenciales Síncronos

Flip-flop o biestable D disparado por flanco ↑ con habilitación



(b)

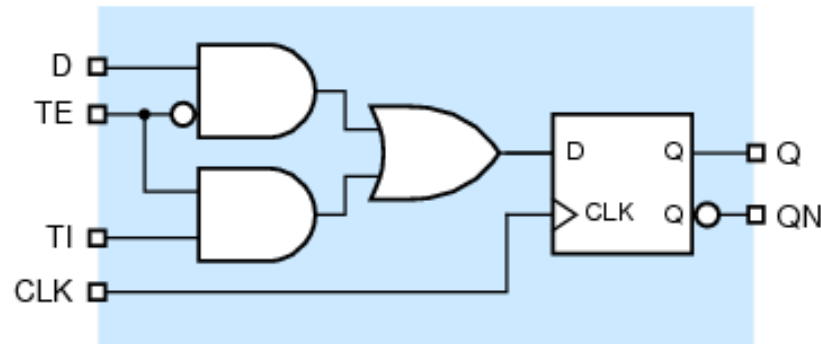
D	EN	CLK	Q	QN
0	1		0	1
1	1		1	0
x	0		last Q	last QN
x	x	0	last Q	last QN
x	x	1	last Q	last QN



- ❑ Cuando la entrada de habilitación EN está a 1 el Flip-Flop funciona como D activado por flanco ascendente.
- ❑ Cuando La entrada EN está a 0 el sistema mantiene las salidas, independientemente del cambio de la entrada D.

Sistemas Secuenciales Síncronos

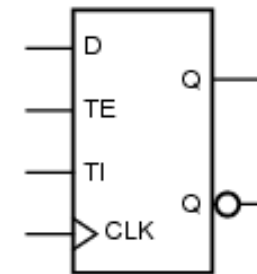
Flip-flop o biestable D disparado por flanco ↑ con entradas para testeo.



(a)

TE	TI	D	CLK	Q	QN
0	x	0	↑	0	1
0	x	1	↑	1	0
1	0	x	↑	0	1
1	1	x	↑	1	0
x	x	x	0	last Q	last QN
x	x	x	1	last Q	last QN

(b)

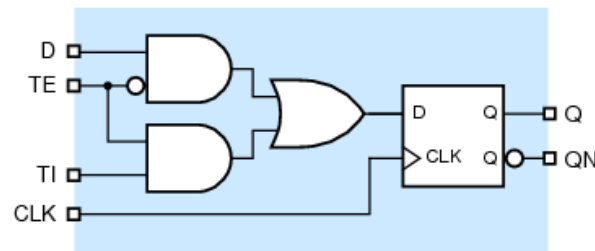


(c)

- ❑ Presenta dos entradas TE y TI añadidas al biestable D activado por flanco ascendente estandar
- ❑ La entrada TE actúa como entrada de un multiplexor que selecciona con 0 la entrada D y con 1 la entrada TI como entrada efectiva al biestable D
- ❑ La entrada D será la entrada normal de funcionamiento (con TE = 0)
- ❑ La entrada TI se utilizarían para testear el biestable (con TE = 1)

Sistemas Secuenciales Síncronos

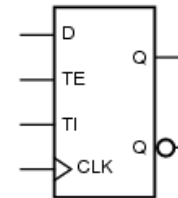
Flip-flop o biestable D disparado por flanco ↑ con entradas para testeo. Cadena de exploración de 4 FF.



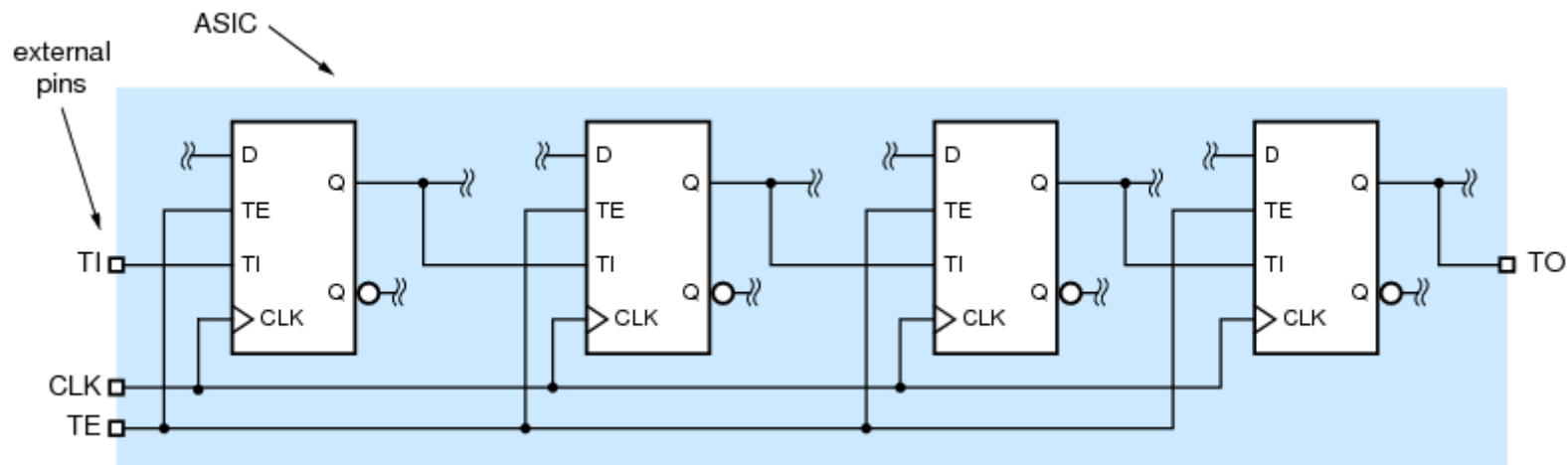
(a)

TE	TI	D	CLK	Q	QN
0	x	0	↓	0	1
0	x	1	↓	1	0
1	0	x	↓	0	1
1	1	x	↓	1	0
x	x	x	0	last Q	last QN
x	x	x	1	last Q	last QN

(b)



(c)

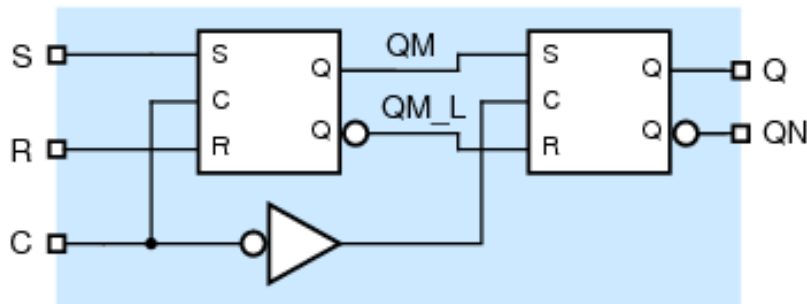


- ❑ Para testear los biestables:
- ❑ Se mantiene a 1 la entrada TE
- ❑ Se aplica una secuencia (vector de prueba) de n bits en la entrada TI (n = 4 en la figura) .
- ❑ Al cabo de n flancos de reloj (n ciclos de reloj) el vector aparecerá en la salida TO

Sistemas Secuenciales Síncronos

Flip-flop o biestable S-R maestro/esclavo

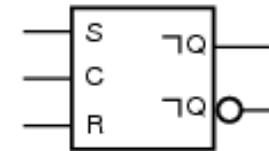
(a)



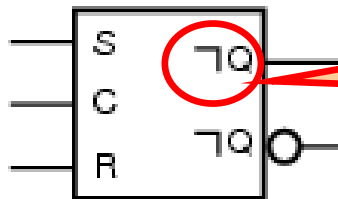
(b)

S	R	C	Q	QN
x	x	0	last Q	last QN
0	0		last Q	last QN
0	1		0	1
1	0		1	0
1	1		undef.	undef.

(c)



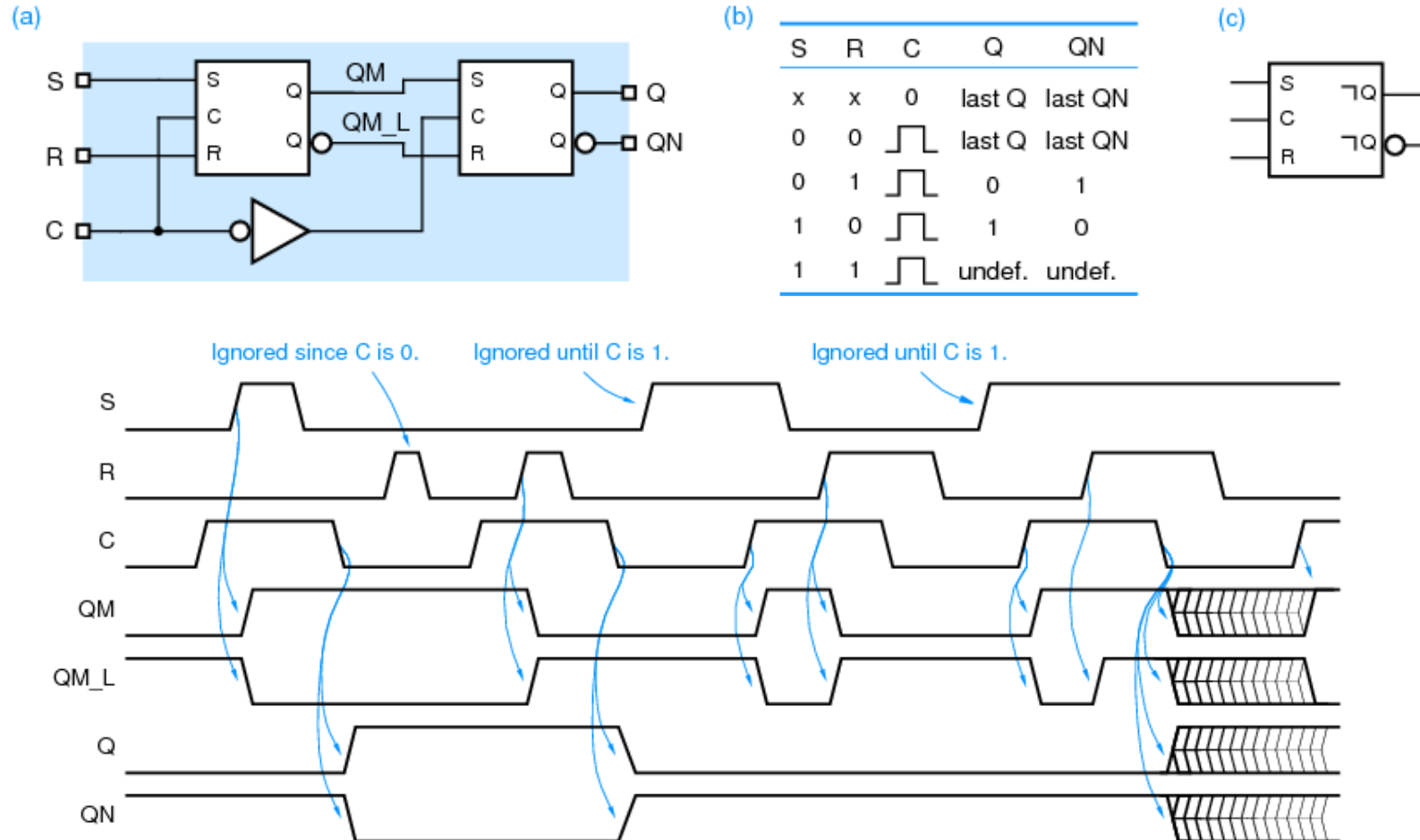
- ❑ Permite tener entradas independientes de SET y RESET a diferencia del FF D
- ❑ Además permite que la salida cambie solo con el flanco descendente de C.
- ❑ El valor que presentará en la salida, dependerá de los valores de las entradas, durante el intervalo en que C está a 1, antes del flanco descendente.



Se simboliza la característica de que la salida depende de la secuencia de entradas como en un latch RS estandar, y que esa salida se hace efectiva con el flanco descendente de C.

Sistemas Secuenciales Síncronos

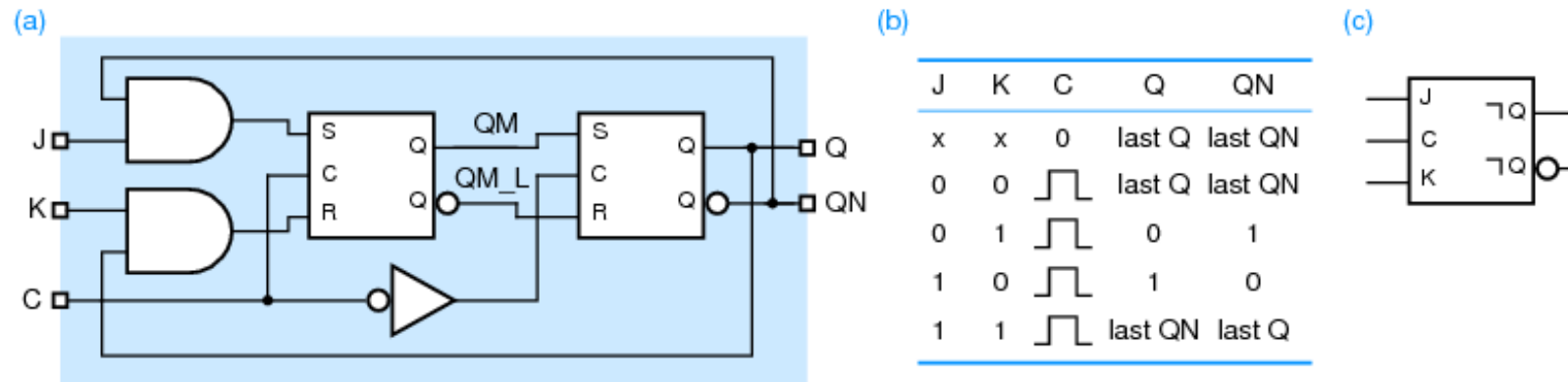
Flip-flop o biestable R-S maestro/esclavo



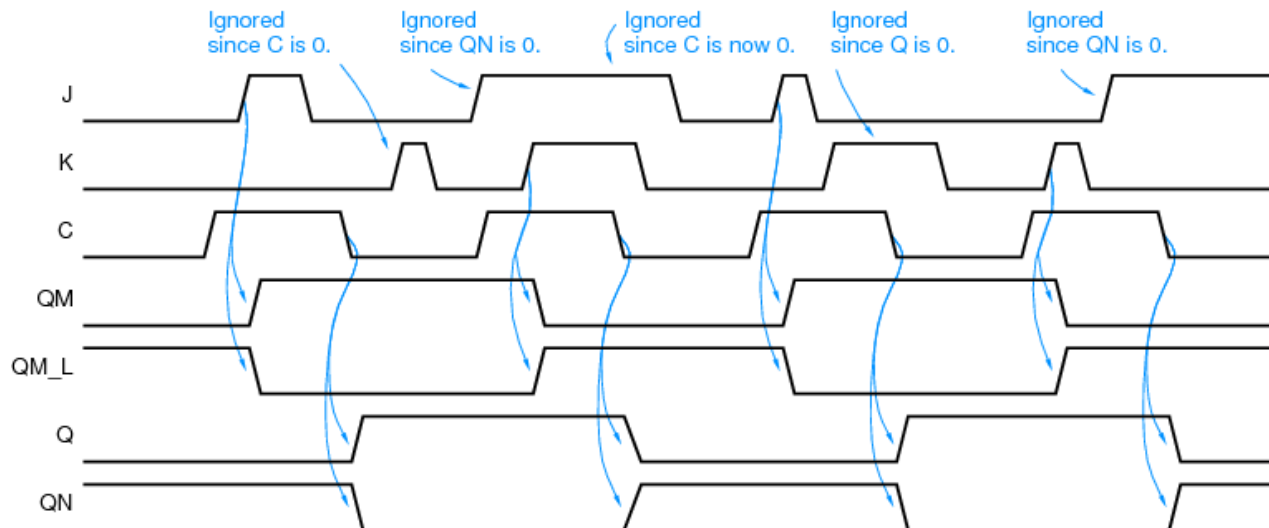
El funcionamiento del biestable R-S maestro/esclavo es imprevisible si en el flanco descendente de C, las entradas S y R son 1.

Sistemas Secuenciales Síncronos

Flip-flop o biestable **J-K maestro/esclavo**

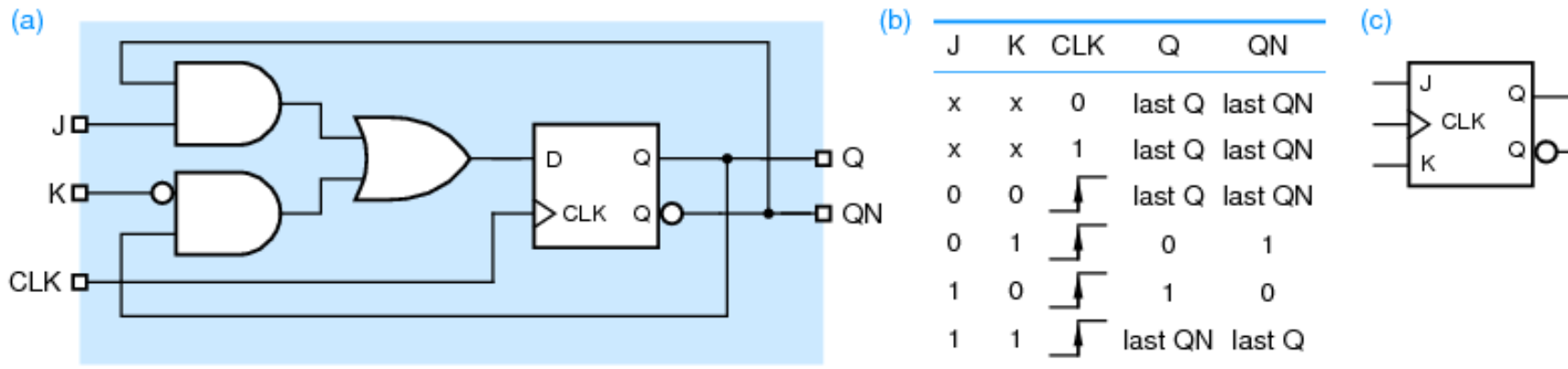


- ❑ El biestable J-K maestro/esclavo funciona como el biestable R-S maestro/esclavo pero **elimina la indefinición en el funcionamiento cuando ambas entradas J y K son 1.**
- ❑ Presenta captura de de datos durante todo el nivel 1 de la señal C.



Sistemas Secuenciales Síncronos

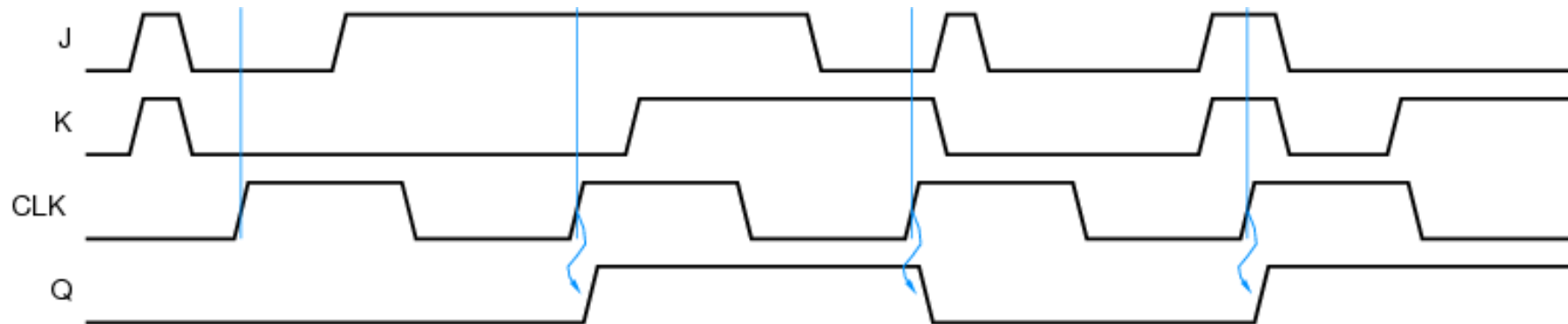
Flip-flop o biestable **J-K disparado por flanco** ↑



❑ Las entradas solo son efectivas en el momento del flanco activo (ascendente en este caso).

❑ Su salida (que coincide con su variable de estado) sigue la ecuación:

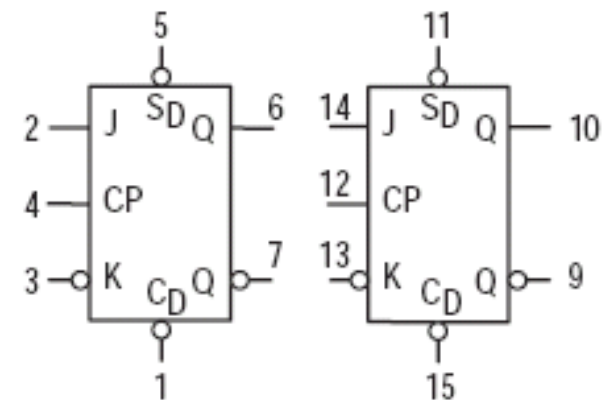
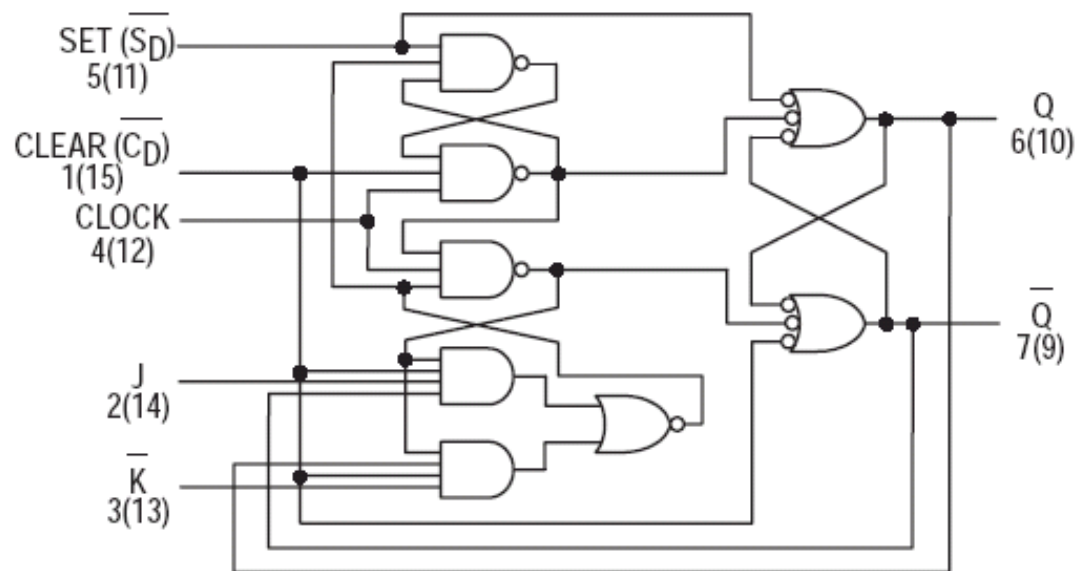
$$Q_{t+1} = J \cdot Q_t' + K' \cdot Q_t \quad \text{y se hace efectiva en el flanco activo de la señal de reloj}$$



Sistemas Secuenciales Síncronos

Flip-flop o biestable J-K disparado por flanco ↑

Circuito MSI 74LS109

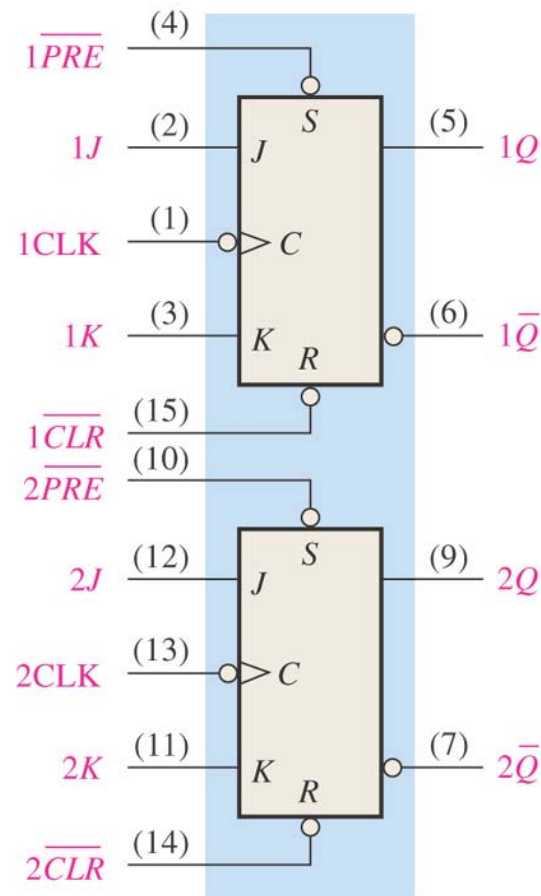


V_{CC} = PIN 16
GND = PIN 8

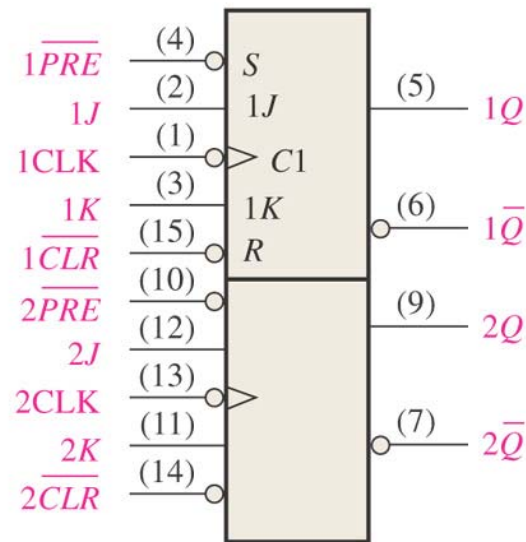
Sistemas Secuenciales Síncronos

Flip-flop o biestable **J-K disparado por flanco** ↓

Circuito MSI 74HC112



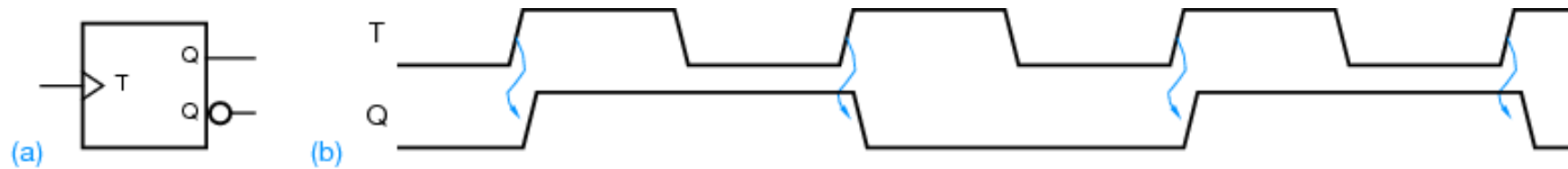
(a) Individual logic symbols



(b) Single block logic symbol

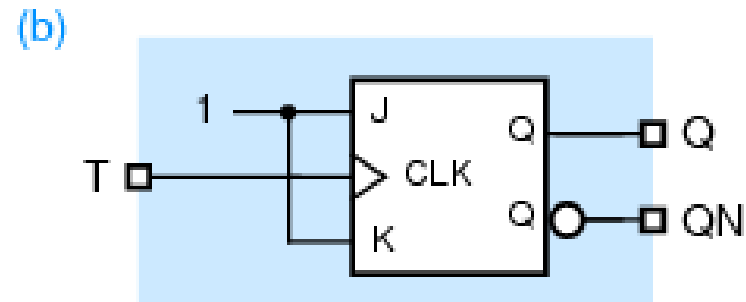
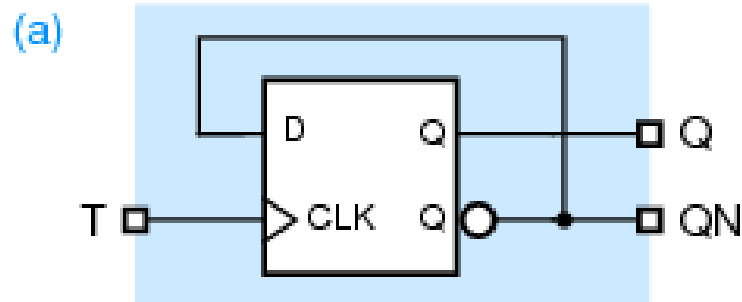
Sistemas Secuenciales Síncronos

Flip-flop o biestable **T** (toggle = conmutación)



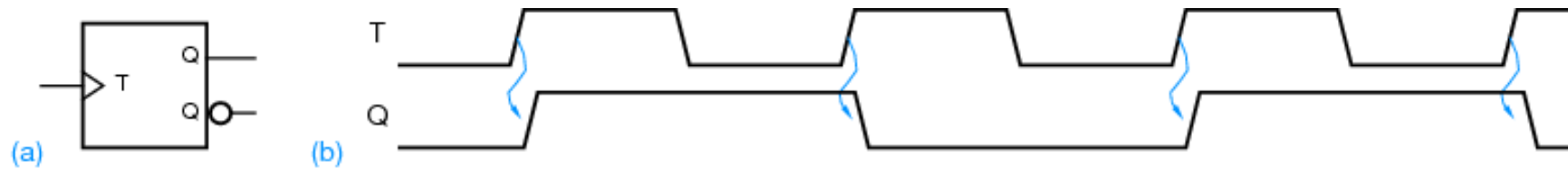
Cambia de estado en cada flanco de reloj activo (ascendente en este caso)

Se puede realizar a partir de biestables D o biestables J-K activos a flanco de reloj



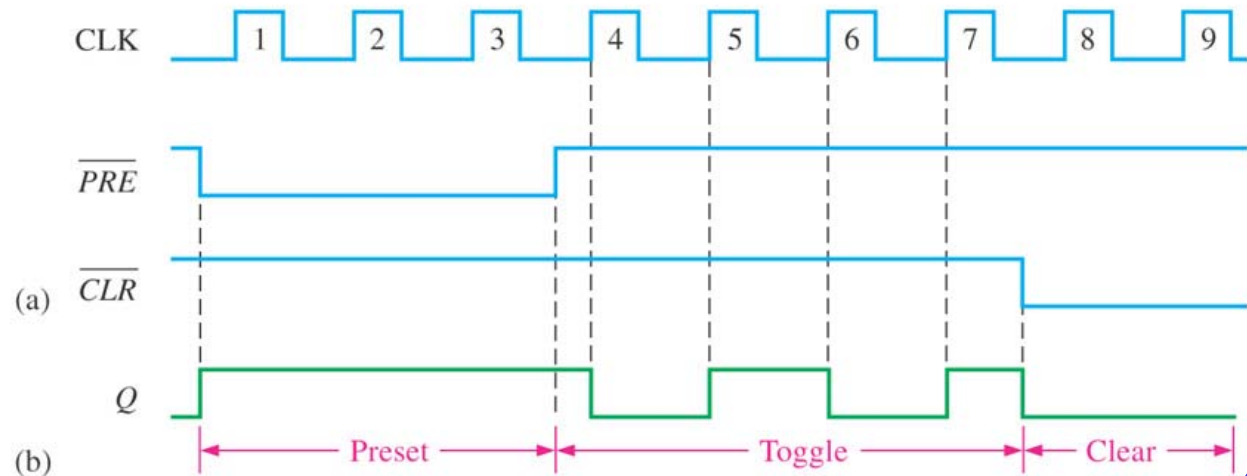
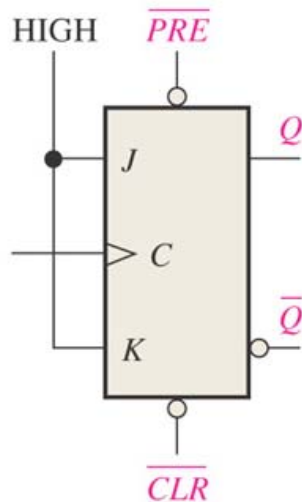
Sistemas Secuenciales Síncronos

Flip-flop o biestable **T** (toggle = conmutación)



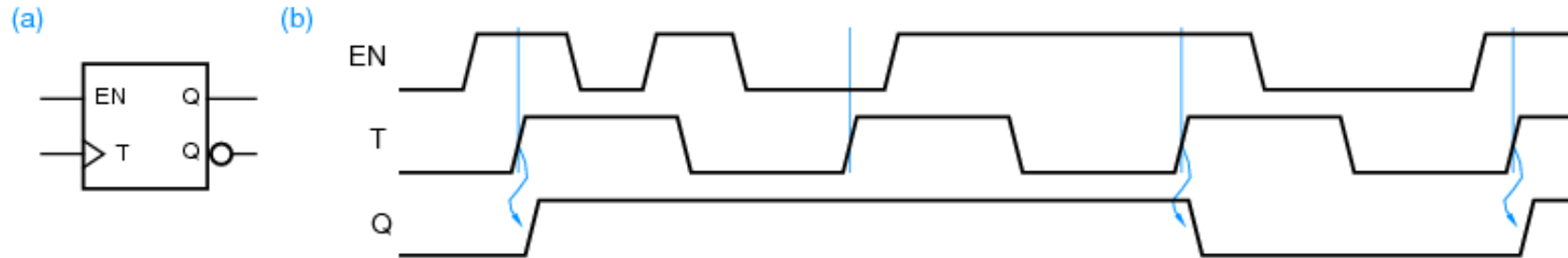
Cambia de estado en cada flanco de reloj activo (ascendente en este caso)

Obtención de un biestable T a partir de un biestable J-K y su funcionamiento

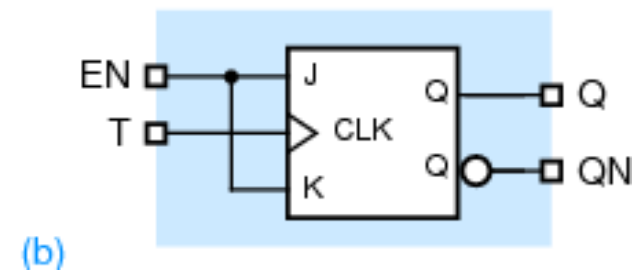
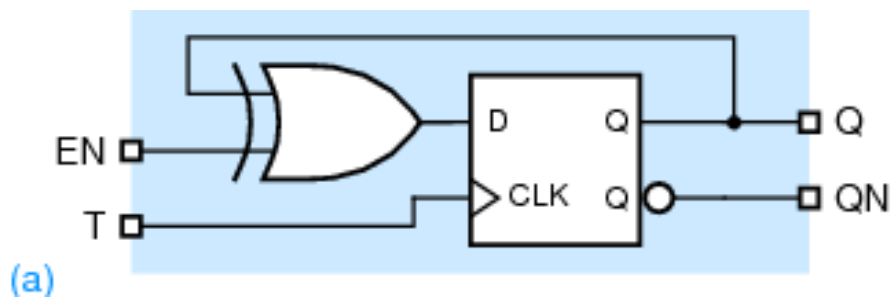


Sistemas Secuenciales Síncronos

Flip-flop o biestable **T** disparado por flanco  con habilitación



- ❑ Solo cambia (conmuta) la salida si la entrada EN está activa (EN = 1)
- ❑ Se puede realizar mediante biestable D o mediante biestable J-K en ambos casos disparados mediante flanco de reloj



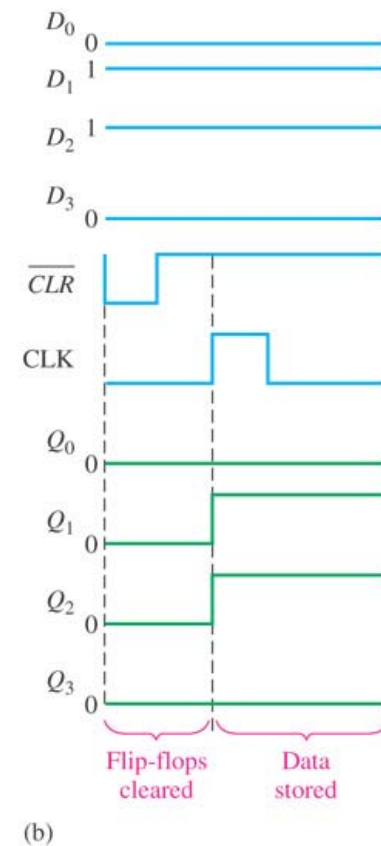
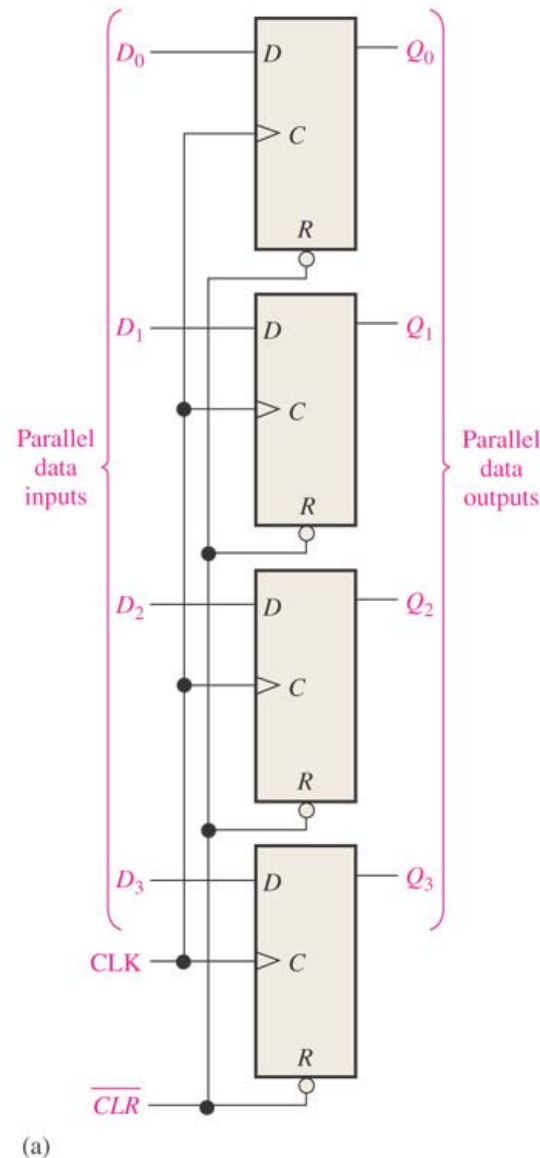
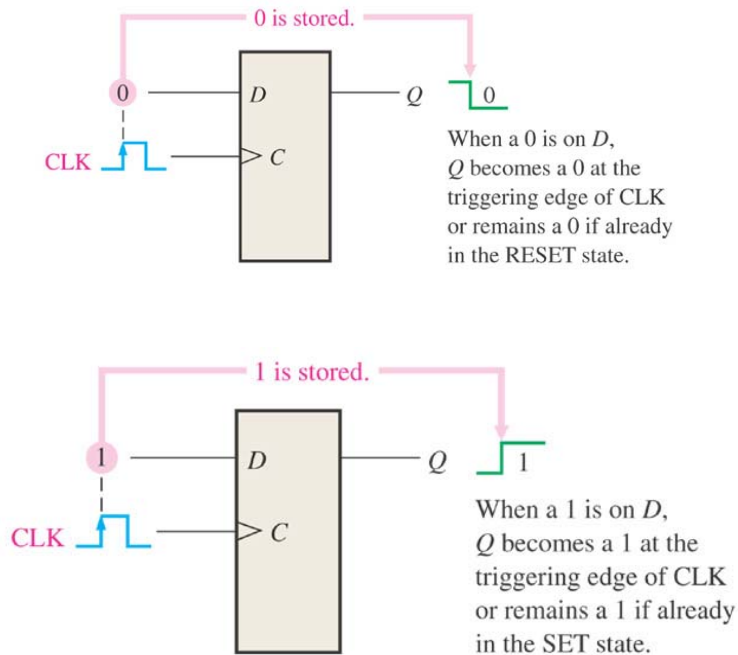
Sistemas Secuenciales Síncronos

Aplicaciones de los biestables síncronos. Introducción

REGISTROS

Memorización (captación)
de datos en paralelo.

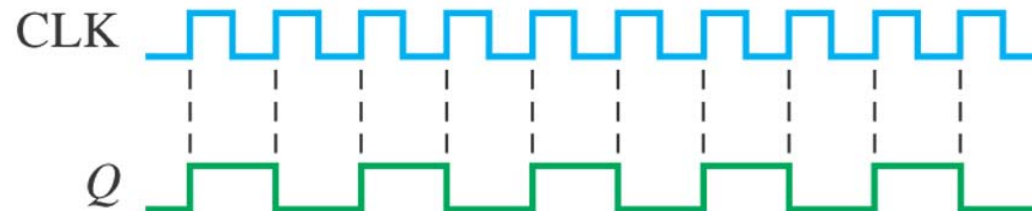
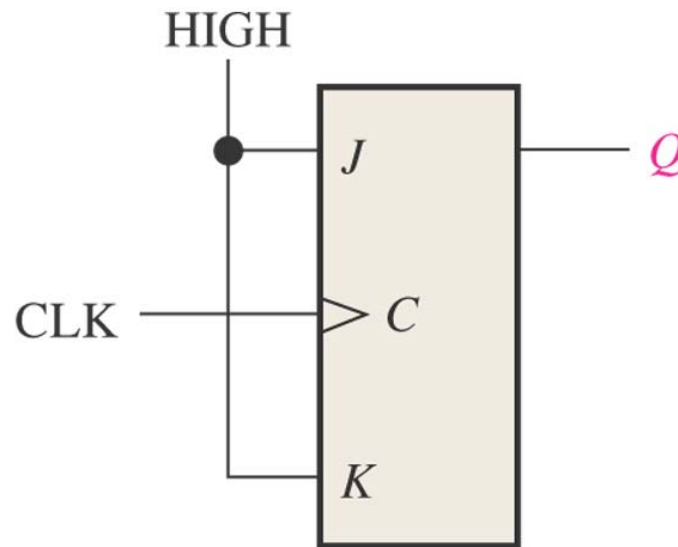
Los datos D_0 , D_1 , D_2 , Y D_3 son memorizados (enclavados) en los biestables D (registros) mediante un flanco de reloj ascendente.



Sistemas Secuenciales Síncronos

Aplicaciones de los biestables síncronos. Introducción

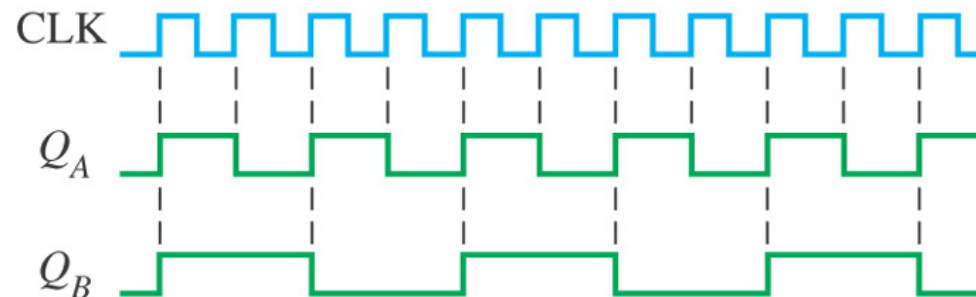
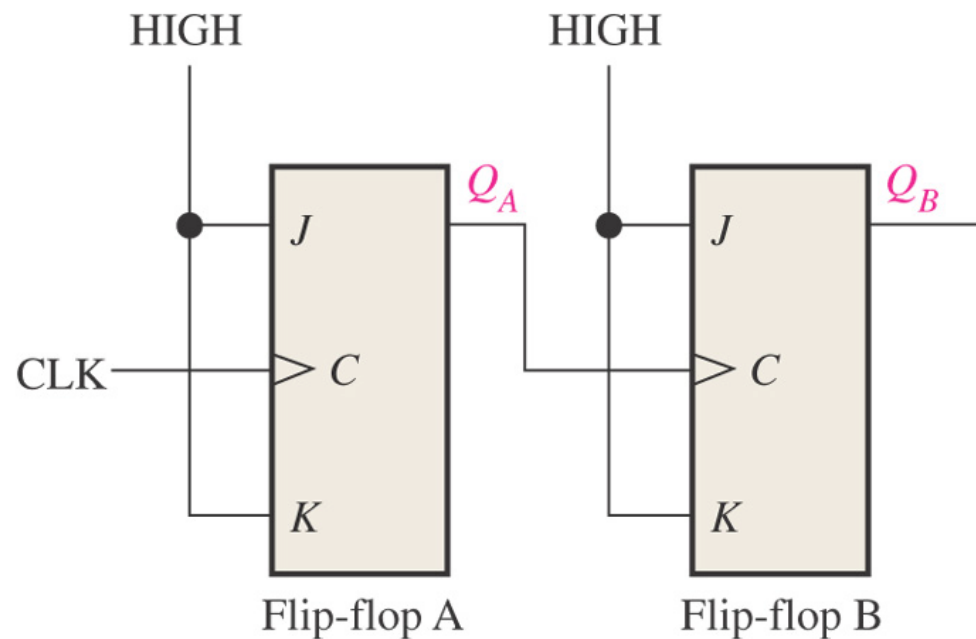
Divisor de frecuencia por 2



Sistemas Secuenciales Síncronos

Aplicaciones de los biestables síncronos. Introducción

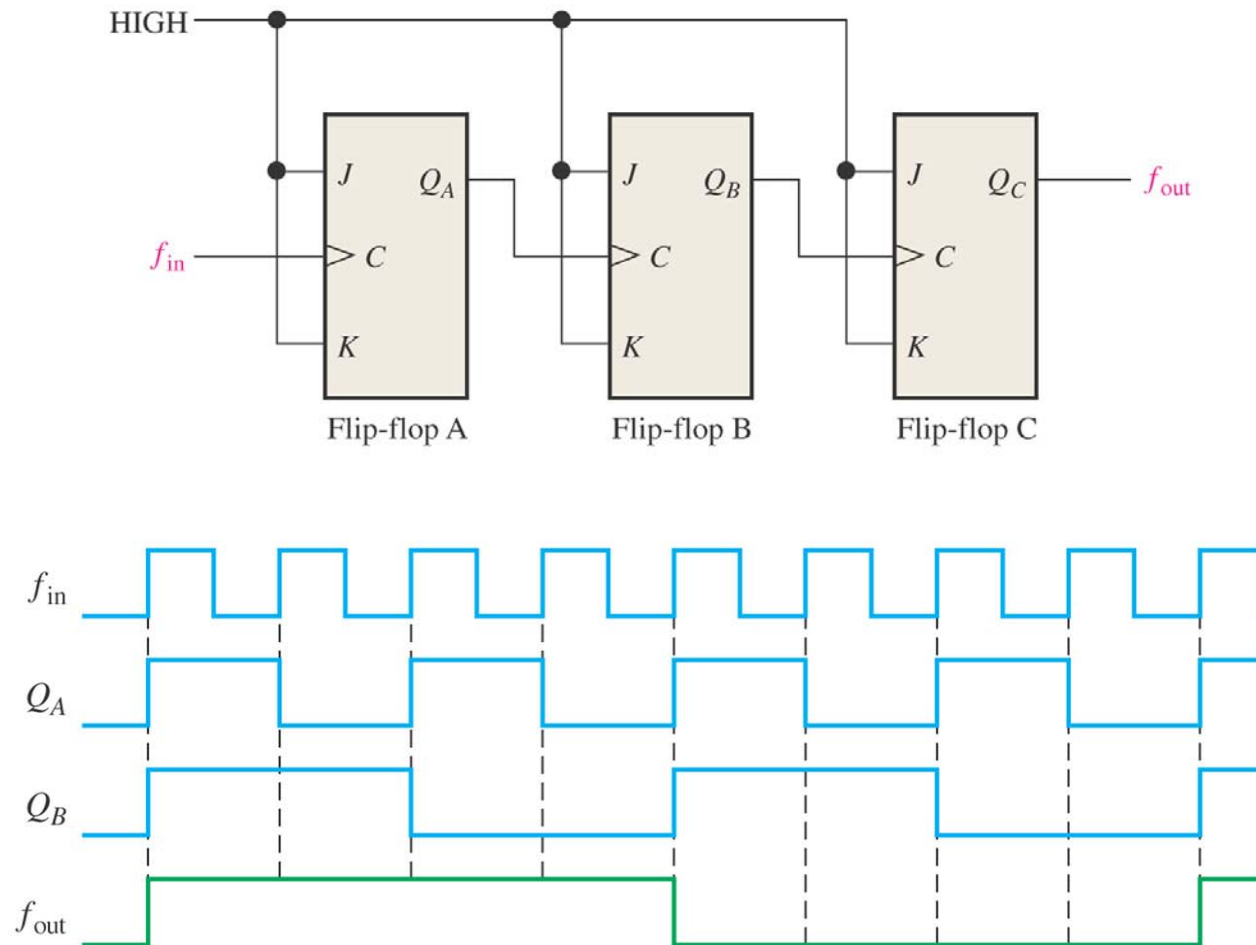
Divisor de frecuencia por 2 y por 4



Sistemas Secuenciales Síncronos

Aplicaciones de los biestables síncronos. Introducción

Divisor de frecuencia por 8

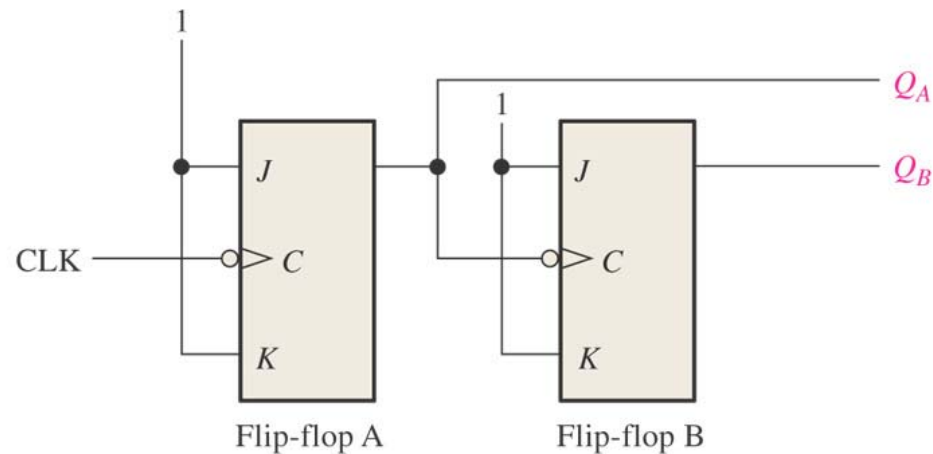


Sistemas Secuenciales Síncronos

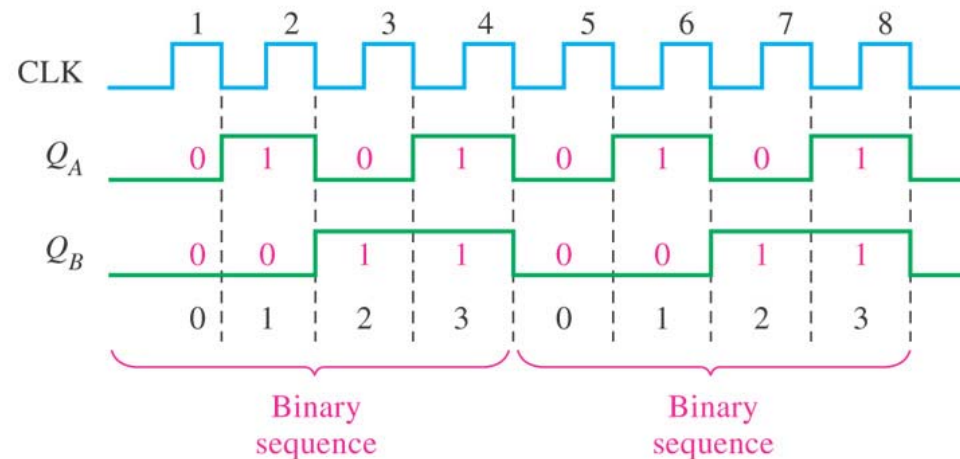
Aplicaciones de los biestables síncronos. Introducción

Contador binario de dos bits (en anillo)

(En anillo significa que una vez cubierta su capacidad vuelve a 0 para seguir contando)



Cuenta número de flancos activos



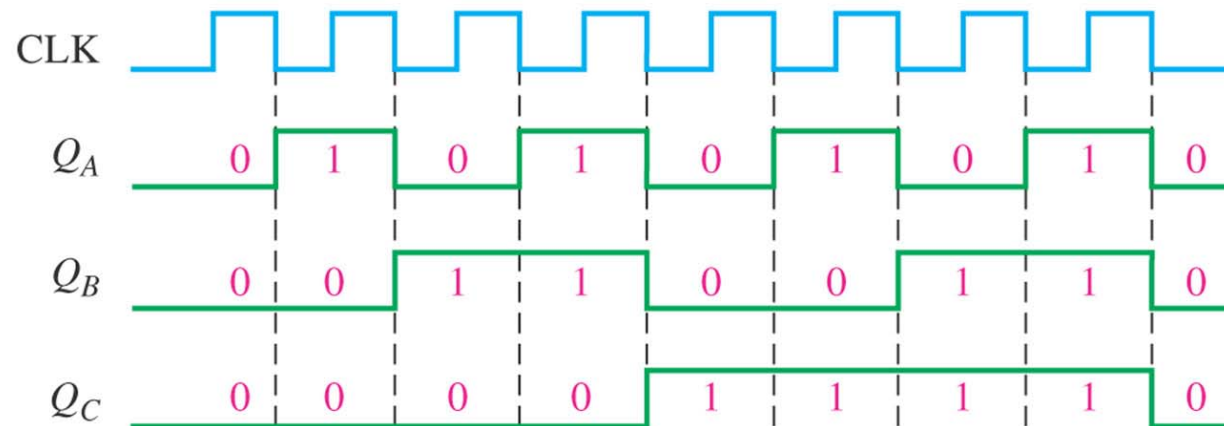
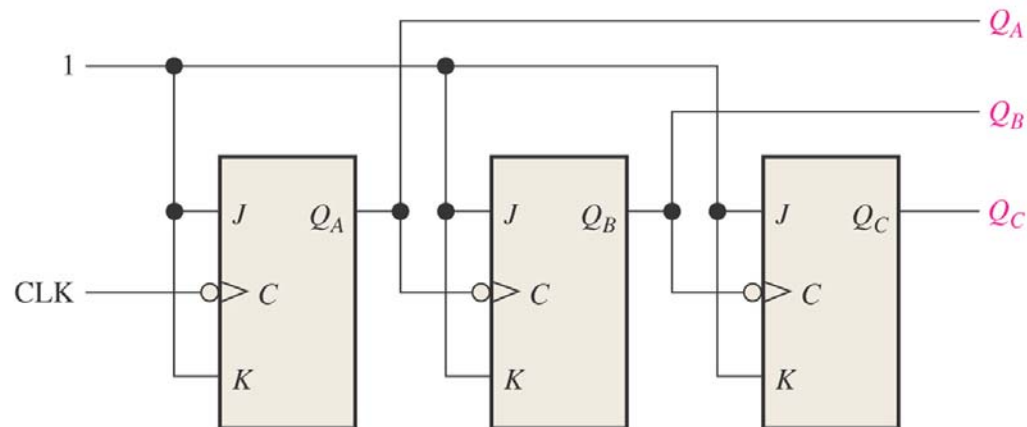
Sistemas Secuenciales Síncronos

Aplicaciones de los biestables síncronos. Introducción

Contador binario de tres bits (en anillo)

(En anillo significa que una vez cubierta su capacidad vuelve a 0 para seguir contando)

Cuenta número de flancos activos descendentes



Sistemas Secuenciales Síncronos

Aplicaciones de los biestables síncronos. Introducción

Registros de desplazamiento

(El dato de entrada va desplazándose, a ritmo de reloj, de uno al siguiente biestable)

