

P3

Electrónica Digital y Microprocesadores.



Diseño de un contador BCD ascendente descendente de tres cifras con visualización dinámica de 4 dígitos mediante visualizadores de 7 segmentos, utilizando la placa de Digilent Nexys 3 y lenguaje HDL Verilog.

OBJETIVOS:

Con esta práctica se persigue que el alumno reflexione, estudie y diseñe sistemas con contadores y añadiendo la visualización dinámica. El diseño de un sistema se realizará de forma progresiva para que el alumno reflexione sobre las necesidades que surgen en la realización de cada etapa que concluirán con el resultado final. Esta práctica maneja una serie de conceptos como son:

- Uso y diseño del contadores.
- Uso sistema de diseño estructural en Verilog.
- Estructura del sistema de visualización dinámica.
- Uso de visualizador de 7 segmentos, conociendo su tipología y problemática.
- Uso de transistor como amplificador de corriente en el terminal común del visualizador de 7 segmentos.
- Estudio esquemático de la placa de Digilent, para su correcta utilización.
- Uso del lenguaje HDL Verilog para la descripción del hardware, tanto en modo procedimental, como estructural.
- Utilización de una señal de reloj disponible para la adaptación y utilización de dicha señal como reloj en el sistema diseñado.
- Necesidad y diseño de sistema antirrebote.

ENUNCIADO:

Utilizando el entorno EDA (*Electronic Desing Automation*) de la empresa Xilinx denominado ISE (*Integrated Software Environment*) WebPack, realizar la implementación del diseño sobre la FPGA Spartan 6 XC6LX16 (tarjeta Nexys 3). Para ello utilizar la tarjeta de desarrollo de Digilent.

Para el desarrollo de la práctica se recomienda leer los tutoriales sobre Verilog que se encuentran en el aula virtual, y las notas resaltadas de ayuda al diseño con HDL Verilog.

Completar los dos apartados siguientes, realizando un tutorial comentado las soluciones aportadas.

Los programas deben ser igualmente comentados, mediante breves comentarios (//) de tal forma que sea fácilmente reconocido por otro alumno (ingeniero) que no ha realizado esa programación.

OBJETIVO FINAL:

El objeto de esta actividad es el diseño de un contador BCD de tres cifras que permita contar en sentido ascendente o descendente dependiendo de la señal de control ASC_DESC y utilizando el cuarto dígito para señalar el sentido del conteo.

Para ello se deberá diseñar un contador BCD de una cifra con conteo ascendente o descendente y posteriormente realizar un diseño estructural, mediante tres contadores como el diseñado para

P3

Electrónica Digital y Microprocesadores.



Diseño de un contador BCD ascendente descendente de tres cifras con visualización dinámica de 4 dígitos mediante visualizadores de 7 segmentos, utilizando la placa de Digilent Nexys 3 y lenguaje HDL Verilog.

conseguir un contador de tres cifras, añadiendo el sistema que permita visualizar en el cuarto dígito una letra “d” si está en descendente y la letra “a” si está en ascendente.

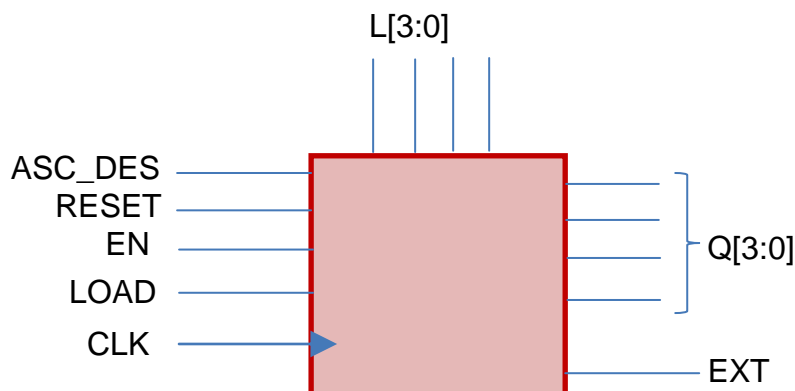
El sistema debe de arrancar desde un valor cargado mediante su sistema de “load” y en sentido descendente, para cambiar a su paso por cero a sentido ascendente.

Si ha alcanzado en sentido ascendente el valor 999 los visualizadores deberán mostrar cuatro letras “P”.

El diseño se realizará con los siguientes apartados:

1.- Diseño un contador BCD ascendente/descendente de una cifra.

Diseñar mediante Verilog un contador BCD de una cifra, ascendente-descendente, con entrada de reset asíncrona, entrada de habilitación EN, posibilidad de carga síncrona en paralelo de un valor, entrada de habilitación EN y una salida activa cuando presenta valor extremo (9 en ascendente y 0 en descendente)



Una vez diseñado y comprobado mediante la simulación, los archivos del diseño y del test (diseño y simulación ambos .v y el archivo .ucf) deberán incluir en un archivo

Apellido1_Apellido2_Nombre_P3_1.zip o .rar.

Los archivos deben estar comentados.

2.- Diseño un contador BCD ascendente/descendente de tres cifras.

A partir del diseño anterior enlazar tres contadores, de forma síncrona (deben tener la misma señal de reloj) a partir de sus entradas de habilitación y sus salidas de valor extremo, para conseguir un contador ascendente descendente de tres cifras con las entradas de reset asíncrono, habilitación y carga en paralelo síncrona.

(se recomienda ver las transparencias del capítulo “Secuenciales 3” en las que se enlazan contadores de forma síncrona)

Para realizar este apartado el diseño, naturalmente debe ser estructural.

P3

Electrónica Digital y Microprocesadores.



Diseño de un contador BCD ascendente descendente de tres cifras con visualización dinámica de 4 dígitos mediante visualizadores de 7 segmentos, utilizando la placa de Digilent Nexys 3 y lenguaje HDL Verilog.

Una vez diseñado y comprobado mediante la simulación, los archivos del diseño y del test (diseño y simulación ambos .v y el archivo .ucf) deberán incluir en un archivo ***Apellido1_Apellido2_Nombre_P3_2.zip o .rar.***

Los archivos deben estar comentados.

3.- Diseño un contador BCD descendente/ascendente de tres cifras con conmutación automática

A partir del diseño realizado anteriormente de un contador BCD de tres cifras con salidas de indicación de si está contando en sentido ascendente o descendente (SAL_ASCDESC) y salida de alcance, en sentido ascendente, del valor 999, realizar el diseño que permita inicializar el contador a partir de la carga en paralelo y en sentido descendente y a su paso por cero conmute a ascendente.

Si ha alcanzado en sentido ascendente el valor 999 los visualizadores deberán mostrar cuatro letras “P”.

Una opción es realizar un módulo independiente y mediante estructura formar, junto con el contador anteriormente diseñado, el módulo final.

Una vez diseñado y comprobado mediante la simulación, los archivos del diseño y del test (diseño y simulación ambos .v y el archivo .ucf) deberán incluir en un archivo

Apellido1_Apellido2_Nombre_P3_3.zip o .rar.

Los archivos deben estar comentados.

En cualquier caso el alumno explicará mediante comentarios en el programa y mediante breves y concisas explicaciones en el documento word final la función de cada uno de los apartados que introduzca.

El nombre del documento corresponderá a ***Apellido1_Apellido2_Nombre_P3.docx.***

El archivo conjunto con los tres archivos .zip o .rar anteriores junto con el archivo Word se incluirán en un archivo único, que se subirá como resultado de la actividad con el nombre ***Apellido1_Apellido2_Nombre_P3.zip o .rar.***

Se deberá comprobar sobre las tarjetas del laboratorio, el correcto funcionamiento y presentarlo al profesor.

Los programas deben ser igualmente comentados, mediante breves comentarios (//) de tal forma que sea fácilmente reconocido por otro alumno (ingeniero) que no ha realizado esa programación.

P3

Electrónica Digital y Microprocesadores.



Diseño de un contador BCD ascendente descendente de tres cifras con visualización dinámica de 4 dígitos mediante visualizadores de 7 segmentos, utilizando la placa de Digilent Nexys 3 y lenguaje HDL Verilog.

Se deberá dejar en la página de la asignatura del Aula Virtual, en el apartado de Contenido – ACTIVIDADES – Prácticas de Laboratorio – EDyM_P3

A presentar:

- Documento Word con un breve tutorial **comentado** de las soluciones aportadas y simulaciones obtenidas archivos de síntesis y simulación.v y .ucf

Todo ello incluido en un archivo .zip o .rar con nombre:

Apellido1_Apellido2_Nombre_P3.zip o .rar

que contendrá los archivos:

Apellido1_Apellido2_Nombre_P3_1.zip o .rar

Apellido1_Apellido2_Nombre_P3_2.zip o .rar.

Apellido1_Apellido2_Nombre_P3_3.zip o .rar.

Apellido1_Apellido2_Nombre_P3.docx.

Se deberá dejar en la página de la asignatura del Aula Virtual, en el apartado de Contenido – ACTIVIDADES – Prácticas de Laboratorio – EDyM_P3

Fecha límite de presentación: 22 de noviembre de 2017

Los trabajos serán defendidos, para verificar su dominio, a solicitud del profesor.