

Notas resaltadas de ayuda al diseño con HDL Verilog

Estamos diseñando hardware y nuestras sentencias lo describen. No es un software que se ejecuta repetidamente.

La sentencia assign se utiliza para diseño combinacional.

La sentencia always se utiliza para diseño combinacional si todas las entradas del sistema combinacional están incluidas en la lista de sensibilidades.

La sentencia assign no puede estar dentro de un procedimiento always.

El diseño de hardware se realizará de tal forma que generará módulos independientes para cada always y/o assign, por lo que todas las sentencias assign y always generan módulos independientes que realizan su lógica de forma simultánea (concurrente).

La conexión entre módulos en un diseño estructural se realiza mediante wire (cables).

Las estructuras de control como if o case deben estar incluidas en un procedimiento always.

Si en una lista de sensibilidades de una sentencia always, se utiliza un flanco (posedge o negedge) todas las sensibilidades de esa lista deben ser tipo flanco).

Al modelar la lógica secuencial, utilizar las asignaciones no bloqueantes (<=).

Al modelar latches o registros, utilizar las asignaciones no bloqueantes (<=).

Al modelar lógica combinacional con un bloque always, utilice asignaciones bloqueantes (=).

Al modelar lógica secuencial y combinacional dentro del mismo bloque always, utilizar las asignaciones no bloqueantes (<=).

No mezclar asignaciones bloqueantes y no bloqueantes en el mismo bloque always.

No hacer las asignaciones a la misma variable de más de un bloque always.