

P1 Electrónica Digital y Microprocesadores.

Diseño de sistemas combinacionales medianteFPGA Spartan3.



OBJETIVOS:

Los objetivos que se persiguen con este trabajo son:

Desarrollar la capacidad de diseño de hardware implementado sobre una FPGA, a partir del problema específico que se desea resolver.

Desarrollo de la capacidad de diseño de sistemas combinacionales en los distintos modos de descripción del hardware.

Reflexionar sobre los sistemas correctores de error.

Desarrollar la capacidad de diseño mediante el HDL Verilog.

ENUNCIADO:

Utilizando el entorno EDA (*Electronic Desing Automation*) de la empresa Xilinx denominado ISE (*Integrated Software Environment*) WebPack, realizar la implementación del diseño sobre la FPGA Spartan 3 XC3S200. Para ello utilizar la tarjeta de desarrollo de Digilent.

1º.- Diseñar un sistema **de generación** de código Hamming (corrector de error) a partir de un código hexadecimal de 4 bits. Probar el diseño mediante la placa SPARTAN 3, utilizando los slide switches para las 4 entradas y los leds como salida. (Verificar el código generado para las 10 primeras combinaciones según la tabla que aparece en el capítulo de códigos y completar el código Hamming generado para las 16 combinaciones del código original hexadecimal).

2º.- Diseñar un sistema **de corrección** de código Hamming (corrector de error) a partir del código generado en el apartado anterior. Probar el diseño mediante la placa SPARTAN 3, utilizando los slide switches para las 7 entradas del código Hamming y los leds como salida del código hexadecimal corregido. (Introducir el código Hamming generado para cada una de las 16 combinaciones **con un bit de error** y comprobar que la salida corresponde al valor hexadecimal correcto del que proviene el código Hamming erróneo introducido).

3º.- Diseñar un decodificador 1 entre 4, son salidas activas a nivel bajo y con una entrada de enable, activa también a nivel bajo, mediante Verilog y con cada una de las siguientes descripciones:

- Mediante descripción funcional.
- Mediante descripción procedimental con sentencias “if, else if, else”.
- Mediante descripción procedimental con sentencia “case”.

P1

Electrónica Digital y Microprocesadores.

Diseño de sistemas combinacionales medianteFPGA Spartan3.



4º.- **A partir de la descripción funcional** del decodificador 1 entre 4 anterior, diseñar un decodificador 1 entre 8, son salidas activas a nivel bajo y con una entrada de enable, activa también a nivel bajo, mediante Verilog y **con descripción estructural**.

Probar dicho diseño en la placa SPARTAN 3, utilizando los slide switches para las entradas y el enable y los leds como salidas.

5º.- **A partir de la descripción procedimental** del decodificador 1 entre 4 anterior, diseñar un decodificador 1 entre 16, son salidas activas a nivel bajo y con una entrada de enable, activa también a nivel bajo, mediante Verilog y **con descripción estructural**.

Probar dicho diseño mediante simulación.

1º.- Diseñar un decodificador 1 entre 4, son salidas activas a nivel bajo y con una entrada de enable, activa también a nivel bajo, mediante Verilog y con cada una de las siguientes descripciones:

- Mediante descripción funcional.
- Mediante descripción procedimental con sentencias “if, ifelse, else”.
- Mediante descripción procedimental con sentencia “case”.

6º.- Diseñar un multiplexor 4 a 1 mediante Verilog y con cada una de las siguientes descripciones:

- Mediante descripción funcional.
- Mediante descripción procedimental con sentencias “if, else if, else”.
- Mediante descripción procedimental con sentencia “case”.
- Modificar la descripción funcional, para que el multiplexor presente una entrada de enable, activa a nivel bajo, de tal forma que si dicha entrada está a nivel alto la salida debe estar en alta impedancia.

7º.- **A partir de la descripción funcional** del multiplexor 4 a 1 anterior, diseñar un muyltiplexor 8 a 1, **con descripción estructural**.

Probar dicho diseño en la placa SPARTAN 3, utilizando los slide switches para las entradas, los push button switches para el resto de entradas necesarias y los leds como salida.

8º.- **A partir de la descripción procedimental** del multiplexor 4 a 1 definido en el apartado 4 a), diseñar un multiplexor 16 a 1, mediante Verilog y **con descripción estructural**.

Probar dicho diseño mediante simulación.

A presentar:

P1

Electrónica Digital y Microprocesadores.

Diseño de sistemas combinacionales medianteFPGA Spartan3.



Documento Word con un tutorial **comentado** de las soluciones aportadas.

Los programas deben ser igualmente comentados, mediante breves comentarios (// ó /*-- */) de tal forma que sea fácilmente reconocido por otro alumno (ingeniero) que no ha realizado esa programación.

El nombre del documento corresponderá a ***Apellido1_Apellido2_Nombre_P1.doc*** o ***docx***.

Archivos .v y .ucf incluidos en un archivo .zip o .rar con nombre ***Apellido1_Apellido2_Nombre_P1.zip*** o ***.rar***

Se deberá dejar en la página de la asignatura del Aula Virtual, en el apartado de Contenido – ACTIVIDADES – Prácticas de Laboratorio – EDyM_P1

Fecha límite de presentación: 31 de octubre de 2017

Los trabajos serán defendidos, para verificar su dominio, a solicitud del profesor.