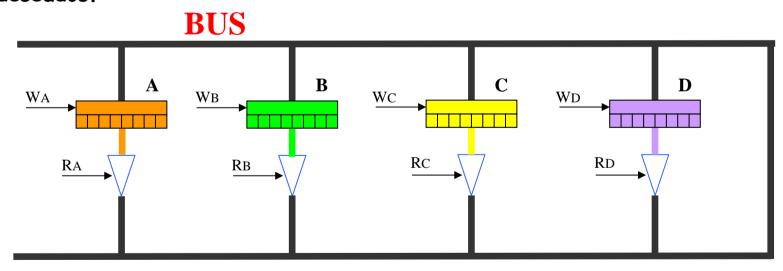
Transferencia de información entre registros:

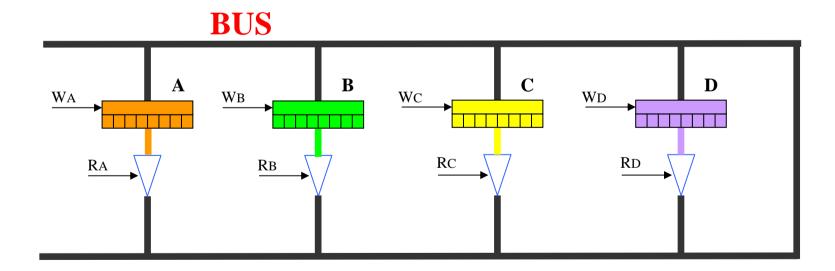
- Se dispone de una estructura de registros unidos mediante un bus de conexión.
- Existen buffers triestado para aislar cada registro.
- Sólo uno de entre todos los registros puede poner su información en el bus.
- Existen señales de "lectura" (Rx) y "escritura" (Wx) que deben activarse adecuadamente para transferir (copiar) la información entre los registros deseados.



Transferencia de información entre registros:

Para transferir (copiar) el contenido del registro A al registro C Se debe <u>activar ordenadamente</u> (SECUENCIALMENTE):

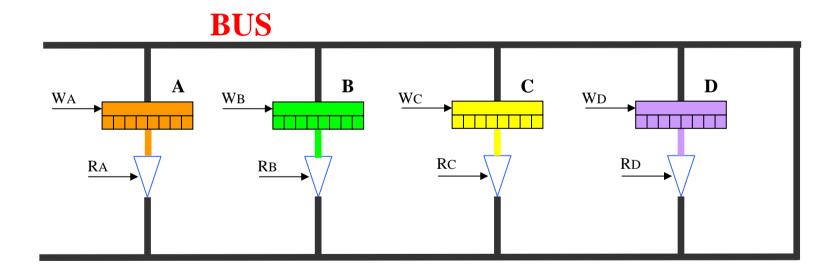
1°. - Línea RA para pasar al bus el contenido del registro A (Lectura de A)



Transferencia de información entre registros:

Para transferir (copiar) el contenido del registro A al registro C Se debe <u>activar ordenadamente</u> (SECUENCIALMENTE):

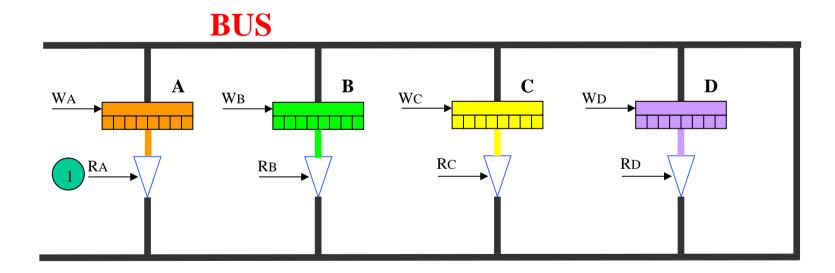
1°. - Línea RA para pasar al bus el contenido del registro A (Lectura de A)



Transferencia de información entre registros:

Para transferir (copiar) el contenido del registro A al registro C Se debe <u>activar ordenadamente</u> (SECUENCIALMENTE):

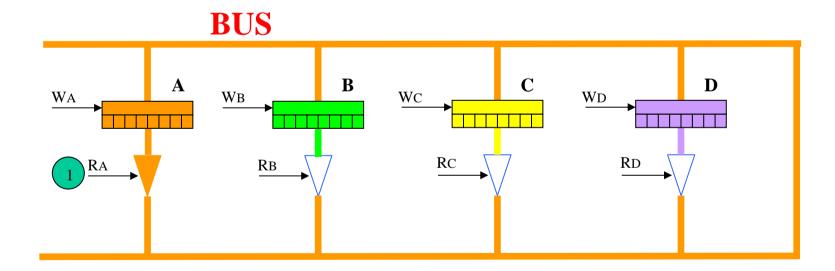
1°. - Línea RA para pasar al bus el contenido del registro A (Lectura de A)



Transferencia de información entre registros:

Para transferir (copiar) el contenido del registro A al registro C Se debe <u>activar ordenadamente</u> (SECUENCIALMENTE):

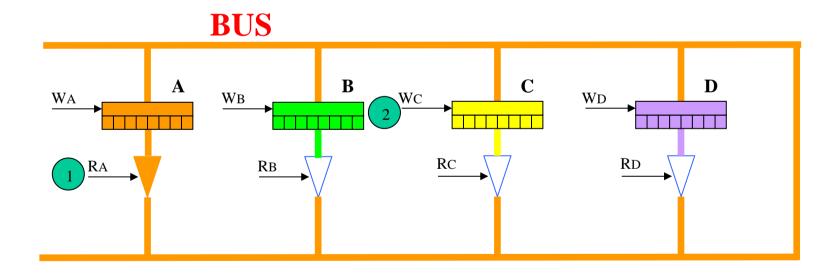
- 1°. Línea RA para pasar al bus el contenido del registro A (Lectura de A)
- 2°. Línea WC para pasar del bus al registro C (Escritura de C)



Transferencia de información entre registros:

Para transferir (copiar) el contenido del registro A al registro C Se debe <u>activar ordenadamente</u> (SECUENCIALMENTE):

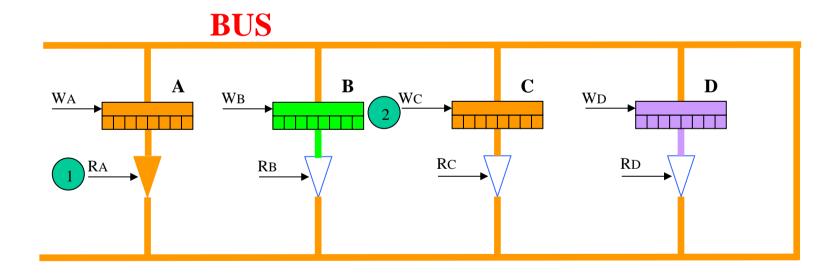
- 1°. Línea RA para pasar al bus el contenido del registro A (Lectura de A)
- 2°. Línea WC para pasar del bus al registro C (Escritura de C)



Transferencia de información entre registros:

Para transferir (copiar) el contenido del registro A al registro C Se debe <u>activar ordenadamente</u> (SECUENCIALMENTE):

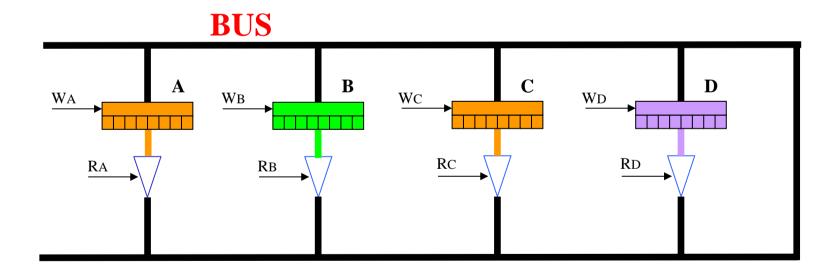
- 1°. Línea RA para pasar al bus el contenido del registro A (Lectura de A)
- 2°. Línea WC para pasar del bus al registro C (Escritura de C)



Transferencia de información entre registros:

Para transferir DESPUES el registro D al A habrá que:

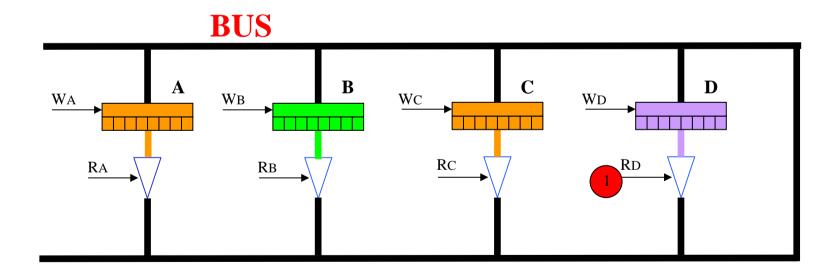
1°. - Vover al estado inicial en que el bus no tiene ninguna información (alta impedancia) --> Todas las señales de lectura (Rx) desactivadas.



Transferencia de información entre registros:

Para transferir DESPUES el registro D al A habrá que SECUENCIALMENTE:

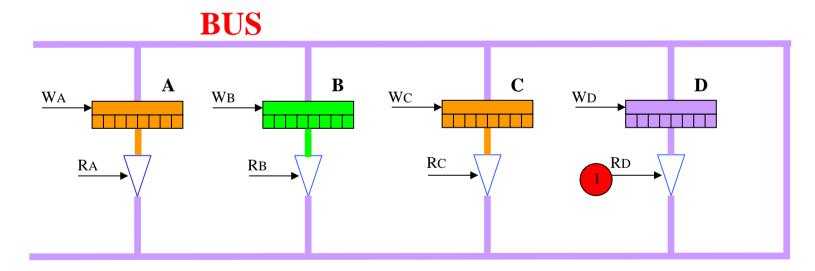
1°. - Vover al estado inicial en que el bus no tiene ninguna información (alta impedancia) --> Todas las señales de lectura (Rx) desactivadas.
2°. - Línea RD para pasar al bus el contenido del registro D (Lectura de D)



Transferencia de información entre registros:

Para transferir DESPUES el registro D al A habrá que SECUENCIALMENTE:

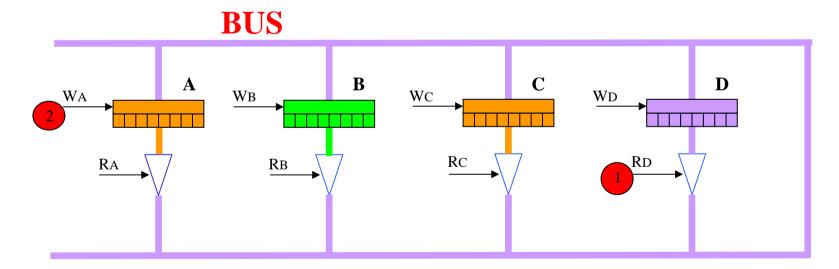
- 1°. Vover al estado inicial en que el bus no tiene ninguna información (alta impedancia) --> Todas las señales de lectura (Rx) desactivadas.
- 2°. Línea RD para pasar al bus el contenido del registro D (Lectura de D)
- 3°. Línea WC para pasar del bus al registro C (Escritura de C)



Transferencia de información entre registros:

Para transferir DESPUES el registro D al A habrá que SECUENCIALMENTE:

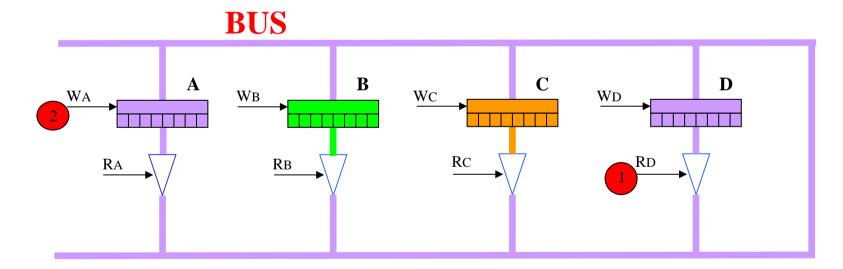
- 1°. Vover al estado inicial en que el bus no tiene ninguna información (alta impedancia) --> Todas las señales de lectura (Rx) desactivadas.
- 2°. Línea RD para pasar al bus el contenido del registro D (Lectura de D)
- 3°. Línea WC para pasar del bus al registro C (Escritura de C)



Transferencia de información entre registros:

Para transferir DESPUES el registro D al A habrá que SECUENCIALMENTE:

- 1°. Vover al estado inicial en que el bus no tiene ninguna información (alta impedancia) --> Todas las señales de lectura (Rx) desactivadas.
- 2°. Línea RD para pasar al bus el contenido del registro D (Lectura de D)
- 3°. Línea WC para pasar del bus al registro C (Escritura de C)

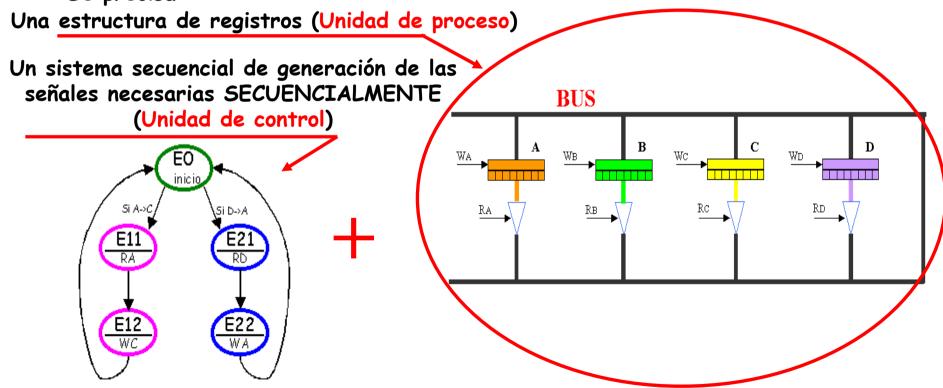


Transferencia de información entre registros:

Para realizar las dos distintas microintrucciones de:

- Transferencia de A al C
- · Transferencia del D al A

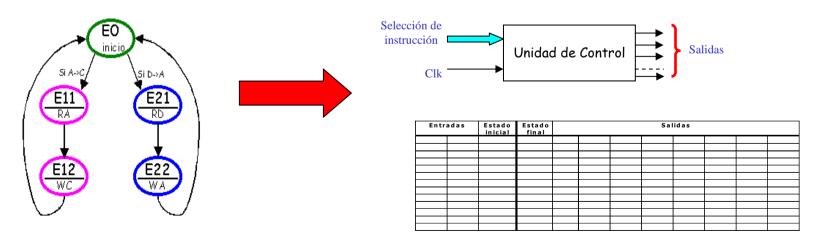
Se precisa:



Transferencia de información entre registros:

Unidad de control

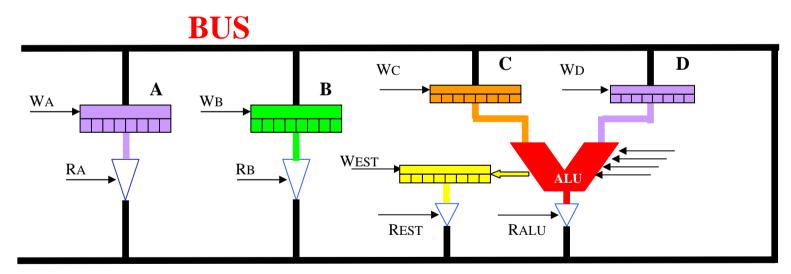
- El sistema secuencial supone un sistema de estados, en cada uno de los cuales se activan las salidas necesarias para ejecutar los pasos necesarios.
- Tendrá tantas salidas como señales pueda activar.
- El número de estados de cada microinstrucción dependerá de los movimientos que deba realizar.
- La ejecución de una u otra instrucción dependerá de una señal que es función del código de la microinstrucción.
- Avanza entre estados A RITMO DE RELOJ (sistema secuencial síncrono)



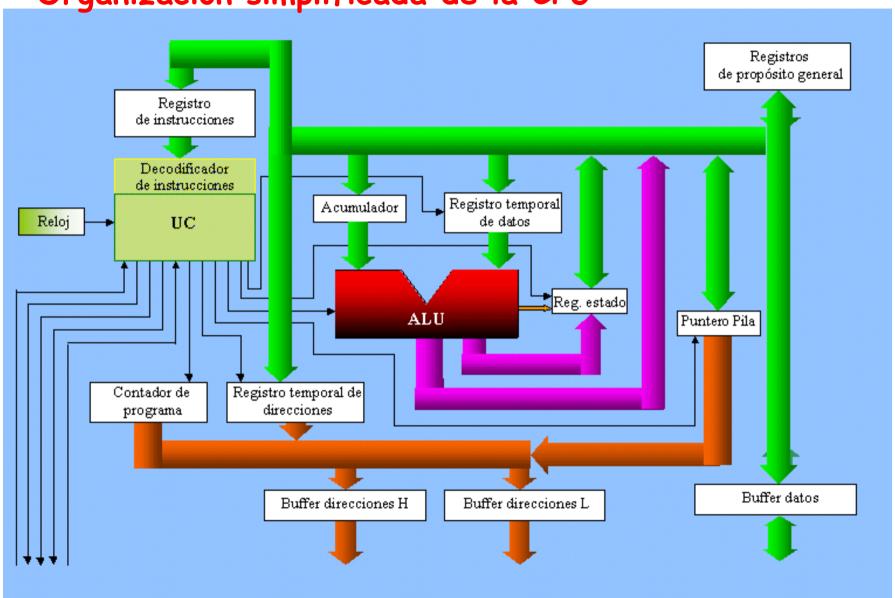
Capacidad de microoperaciones:

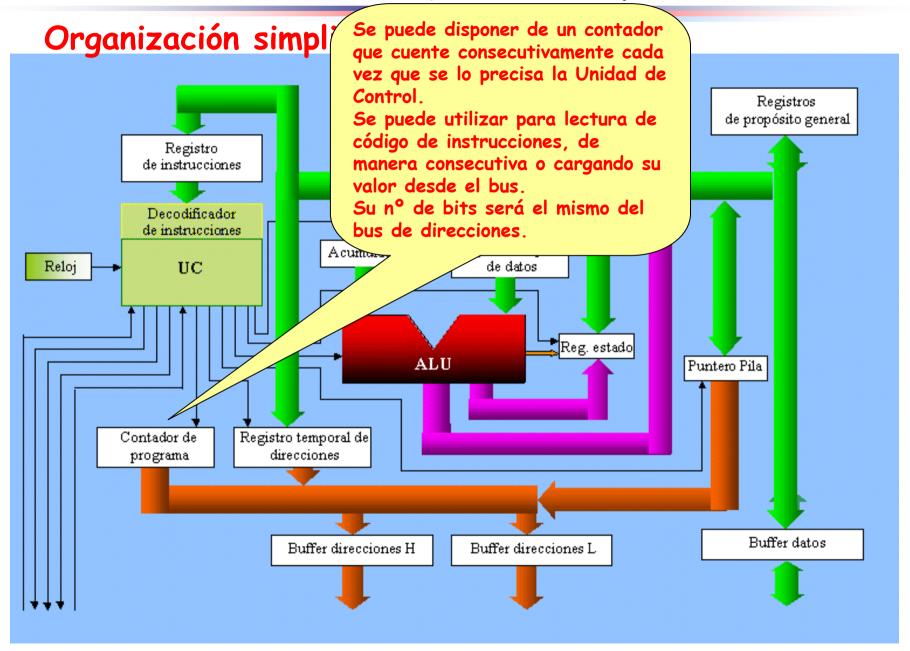
Unidad de Proceso

- Se puede introducir entre los registros una UAL (Unidad Aritmético Lógica) para poder realizar distintas operaciones aritméticas y lógicas.
- La UAL es un circuito combinacional con entradas de selección de operación y entradas de datos a operar y con salida de datos resultado.
- · La Unidad de Control deberá en el estado adecuado seleccionar las entradas de operación de la UAL.
- Se puede incorporar un registro que señale el resultado de la operación en la UAL. Sus entradas son funciones combinacionales de los datos de salida, tales que señalan si el resultado es cero, si es negativo, si ha generado acarreo, si existe desbordamiento, tipo de paridad, etc.

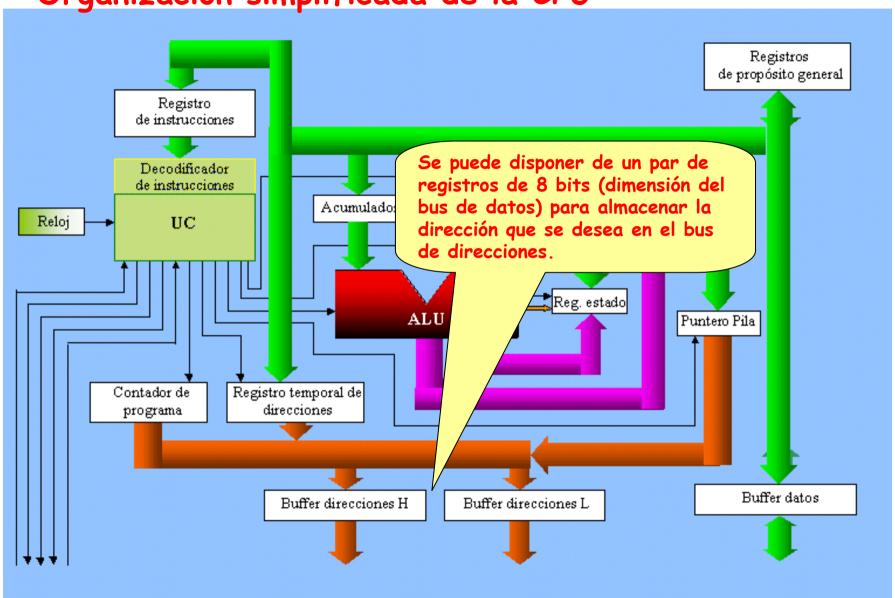


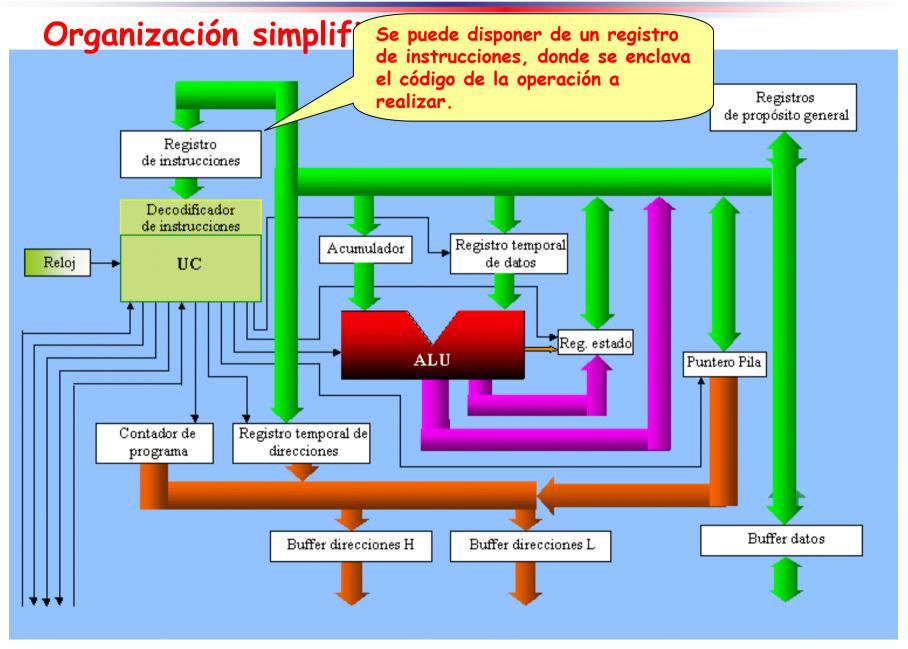
Organización simplificada de la CPU

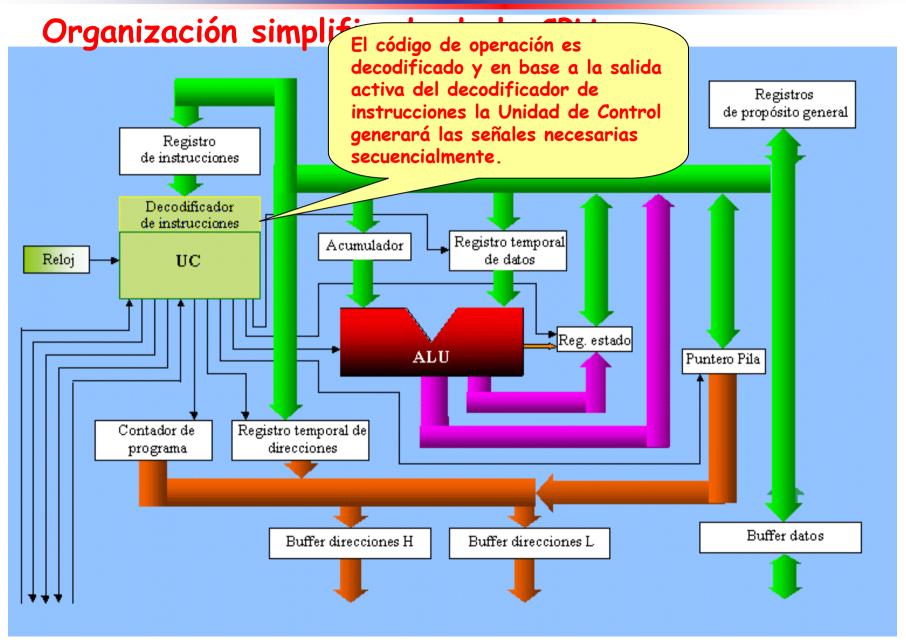




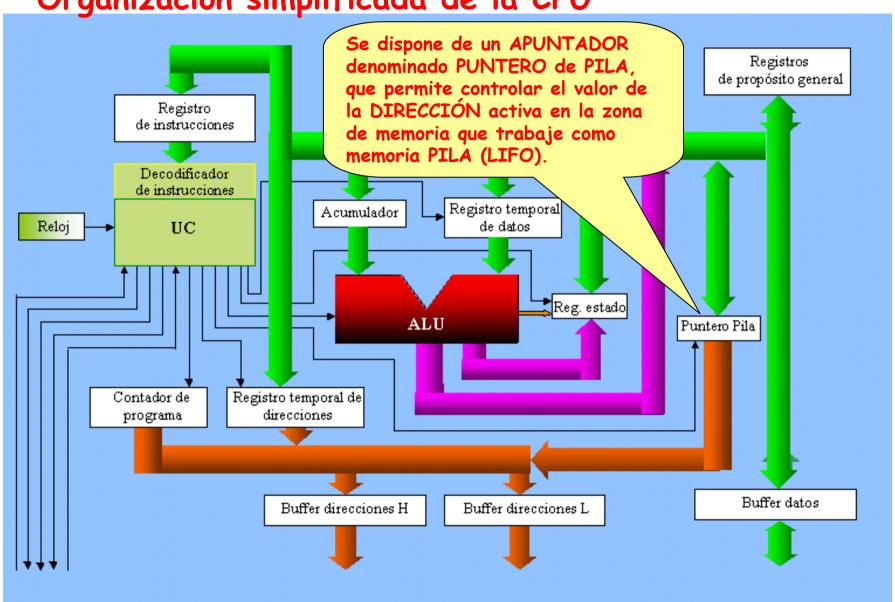
Organización simplificada de la CPU





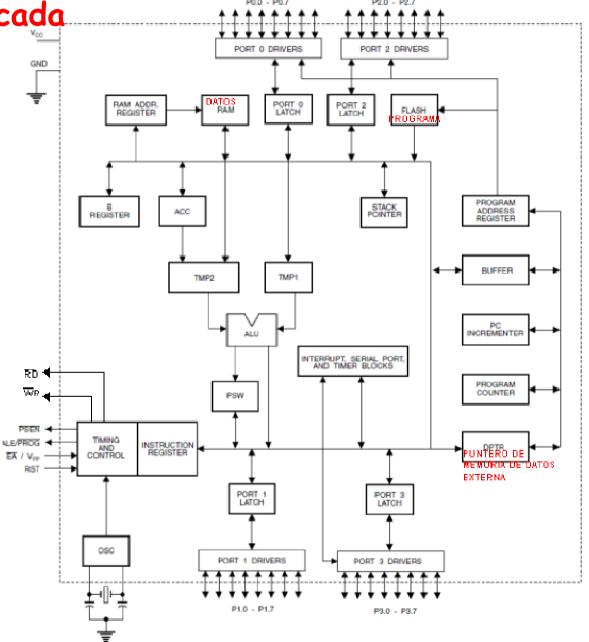


Organización simplificada de la CPU



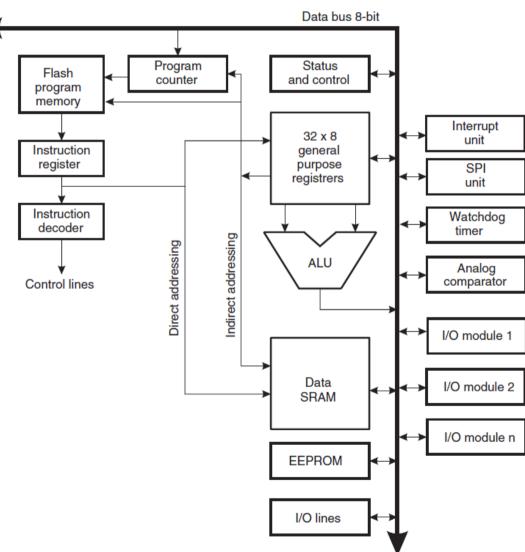
Organización simplificada

del uC 8051

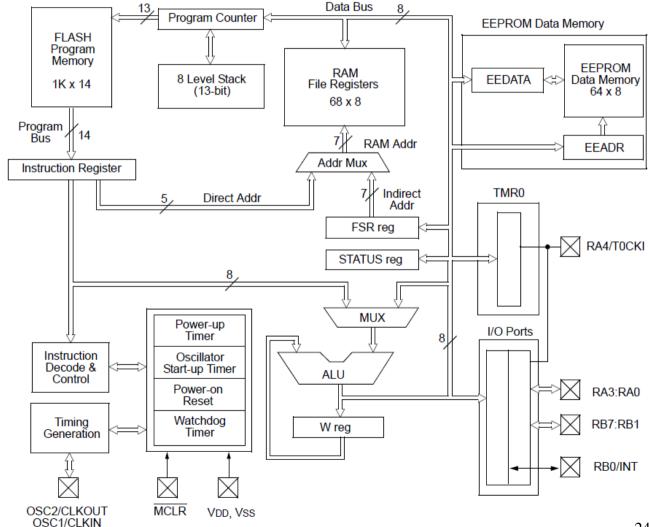


Organización simplificada del Atmega168, Atmega328 de Atmel

(Arduino)

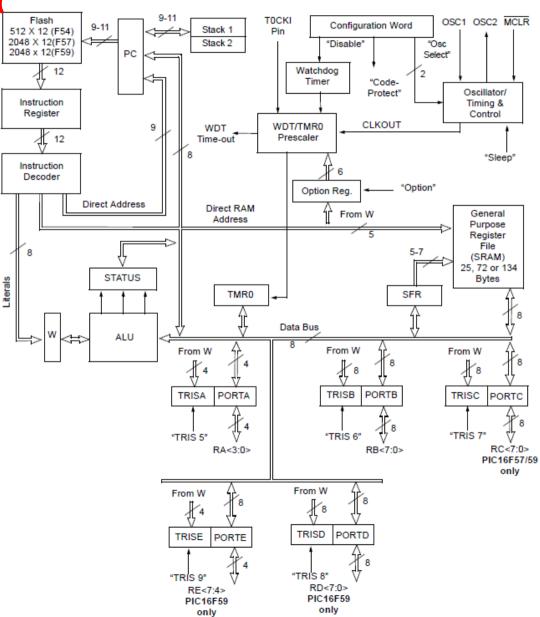


Organización simplificada del PIC 16F84, de Microcip



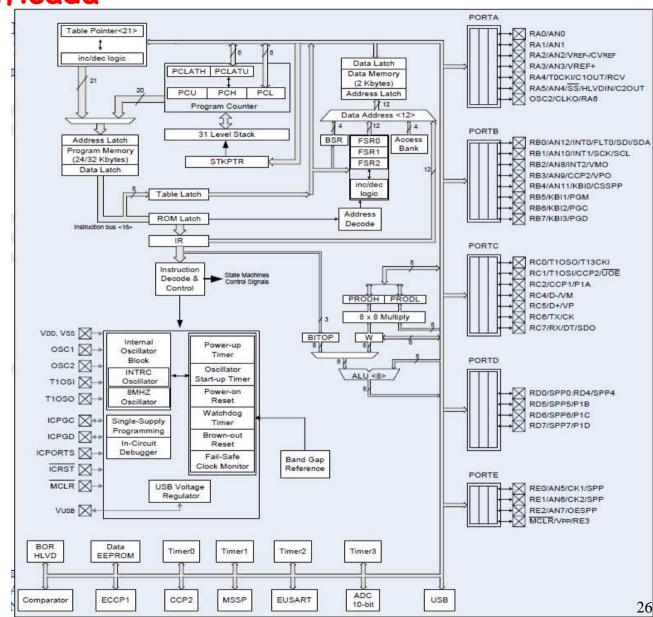
Organización simplificada

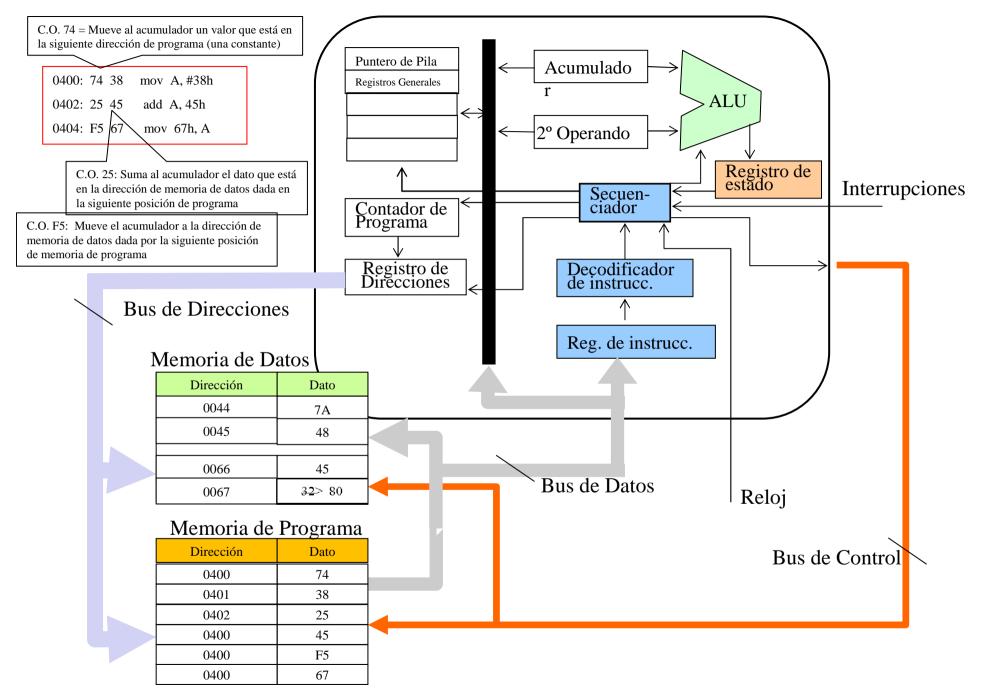
del PIC 16F5x



Organización simplificada

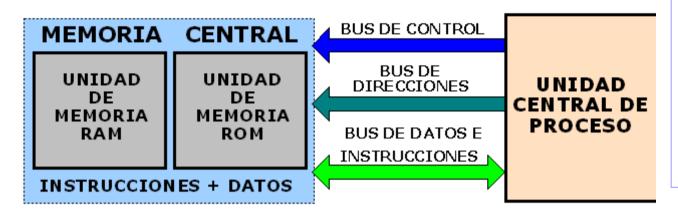
del PIC18F4550





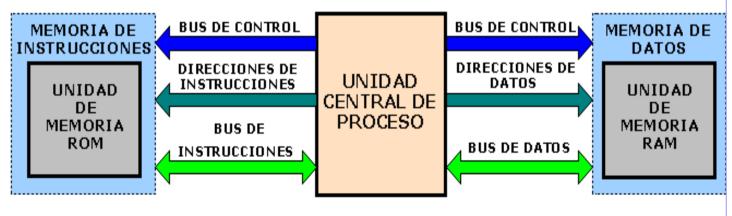
Dos arquitecturas:

ARQUITECTURA VON NEUMANN



- Único bus de datos e instrucciones
- Único bus de direcciones
- Mismo ancho de datos e instrucciones
- El ancho del bus de direcciones limita el total de memoria de programa y de datos.
- Al compartir buses de datos e instrucciones se ralentiza.
- Precisa decodificación para el mapa de memoria

ARQUITECTURA HARVARD



- Buses de datos e instrucciones separados.
- Buses de direcciones separados
- Ancho de datos e instrucciones pueden ser diferentes
- El ancho del bus de direcciones diferente supone que pueden tener distinta capacidad
- Al no compartir buses el acceso puede ser simultáneo. Mayor velocidad.
- Tendrá señales de control diferentes

Principales familias de microcontroladores:

Empresa	8 bits	16 bits	32 bits
Atmel	AVR (mega y tiny), 89Sxxxx familia similar 8051		SAM7 (ARM7TDMI), SAM3 (ARM Cortex- M3), SAM9 (ARM926)
Freescale (antes Motorola)	68HC05, 68HC08, 68HC11, HCS08	68HC12, 68HCS12, 68HCSX12, 68HC16	683xx, PowerPC, ColdFire
Holtek	нтв		
Intel	MCS-48 (familia 8048) MCS51 (familia 8051) 8xC251	MCS96, MXS296	х
National Semiconductor	COP8	x	х
Microchip	Familia 10f2xx Familia 12Cxx Familia 12Fxx, 16Cxx y 16Fxx 18Cxx y 18Fxx	PIC24F, PIC24H y dsPIC30FXX,dsPIC33F con motor dsp integrado	PIC32
NXP Semiconductors (antes Philips)	80C51	XA	Cortex-M3, Cortex-M0, ARM7, ARM9
Renesas (antes Hitachi, Mitsubishi y NEC)	78K, H8	H8S, 78K0R, R8C, R32C/M32C/M16C	RX, V850, SuperH, SH-Mobile, H8SX
STMicroelectronics	ST 62, ST 7		
Texas Instruments	TMS370	MSP430	C2000, Cortex-M3 (ARM), TMS570 (ARM)
Zilog	Z8, Z86E02		

Observación: Algunas arquitecturas de microcontrolador están disponibles por tal cantidad de vendedores y en tantas variedades, que podrían tener, con total corrección, su propia categoría. Entre ellos encontramos, principalmente, las variantes de Intel 8051 y Z80.