

Sistemas secuenciales

Contadores y Registros de desplazamiento

Sistemas secuenciales

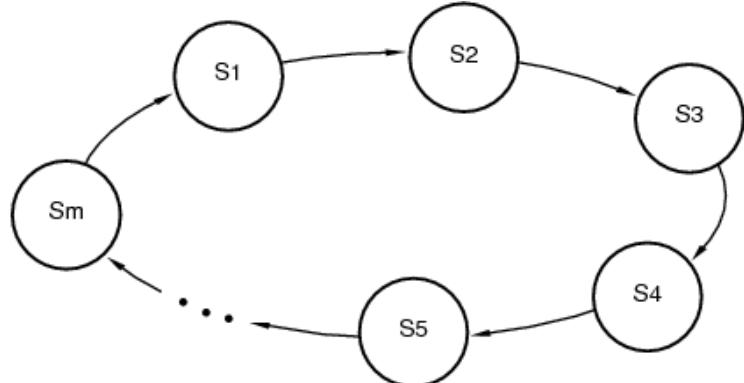
Contadores

Sistemas Secuenciales Síncronos

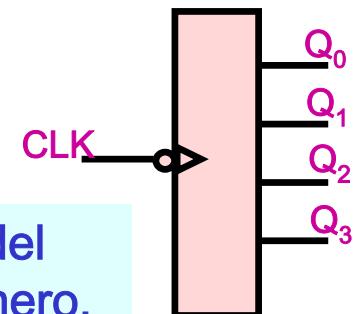
Contadores : Definición

Definición: Circuito secuencial compuesto fundamentalmente por una entrada de reloj (CLK) y una salida de datos (varias líneas en paralelo) que depende del número de impulsos de reloj aplicados; es decir cuenta el número de impulsos de reloj.

Corresponde a circuitos secuenciales síncronos cuyo diagrama de estados es un círculo cerrado de estados tipo Moore (las salidas coinciden con las variables de estado)



Debido a esta estructura, del último estado se pasa al primero, cerrando el círculo y por ello se denominan **contadores en anillo**.



Un contador cuyo diagrama de estados tiene m estados se conoce como **contador de módulo m** o **contador de división entre m** .

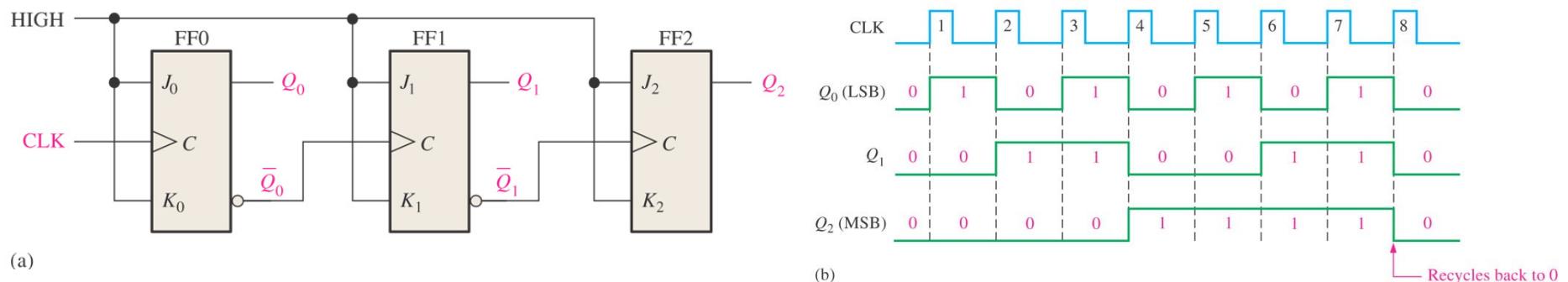
Además de su uso principal como contadores de pulsos, se utilizan como divisores de frecuencia por potencias de 2.

Sistemas Secuenciales Síncronos

Contadores : Clasificación

Contadores Asíncronos: En éstos, la señal de reloj no es común para todos los biestables que lo componen.

Son más sencillos en su composición, pero son más lentos (la frecuencia máxima a la que pueden contar es más baja que en los contadores síncronos)



Contadores Síncronos: En éstos, la señal de reloj es común para todos los biestables que lo componen.

Corresponden a una estructura de máquina de estados síncrona convencional con un número de estados en círculo cerrado.

Tanto los contadores asíncronos como los síncronos son sistemas secuenciales síncronos, formados por biestables síncronos.

Sistemas Secuenciales Síncronos

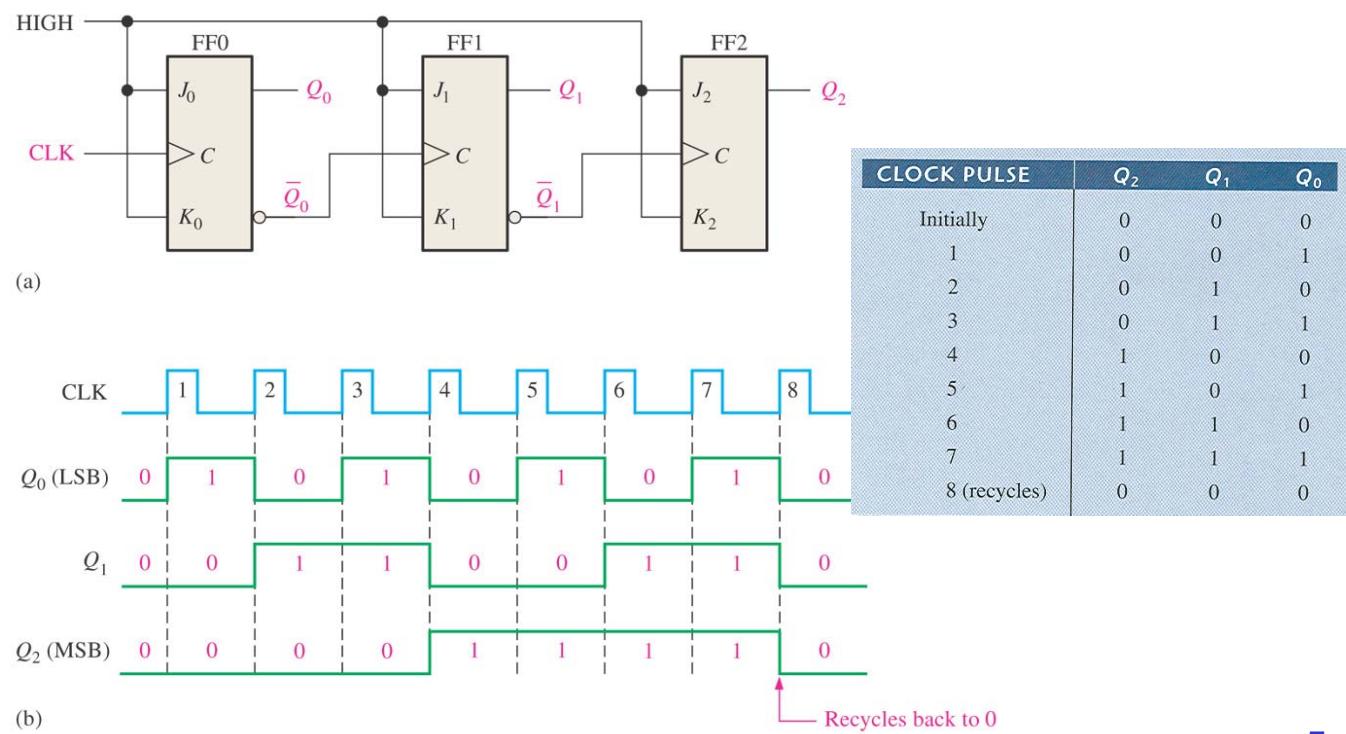
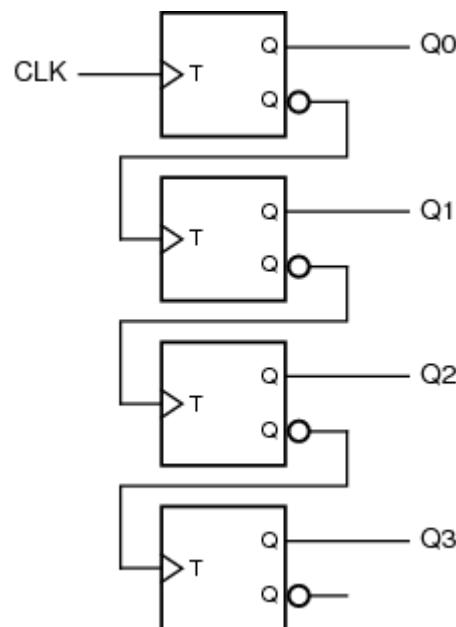
Contadores Asíncronos

En éstos, la señal de reloj no es común para todos los biestables que lo componen. Son más sencillos en su composición, pero son más lentos (la frecuencia máxima a la que pueden contar es más baja que en los contadores síncronos).

La entrada de reloj del contador es la entrada de reloj del primer biestable.

La entrada de reloj de los siguientes biestables es una salida del biestable anterior.

Se realizan con biestables T o su equivalente JK con las entradas J y K unidas a 1.



Sistemas Secuenciales Síncronos

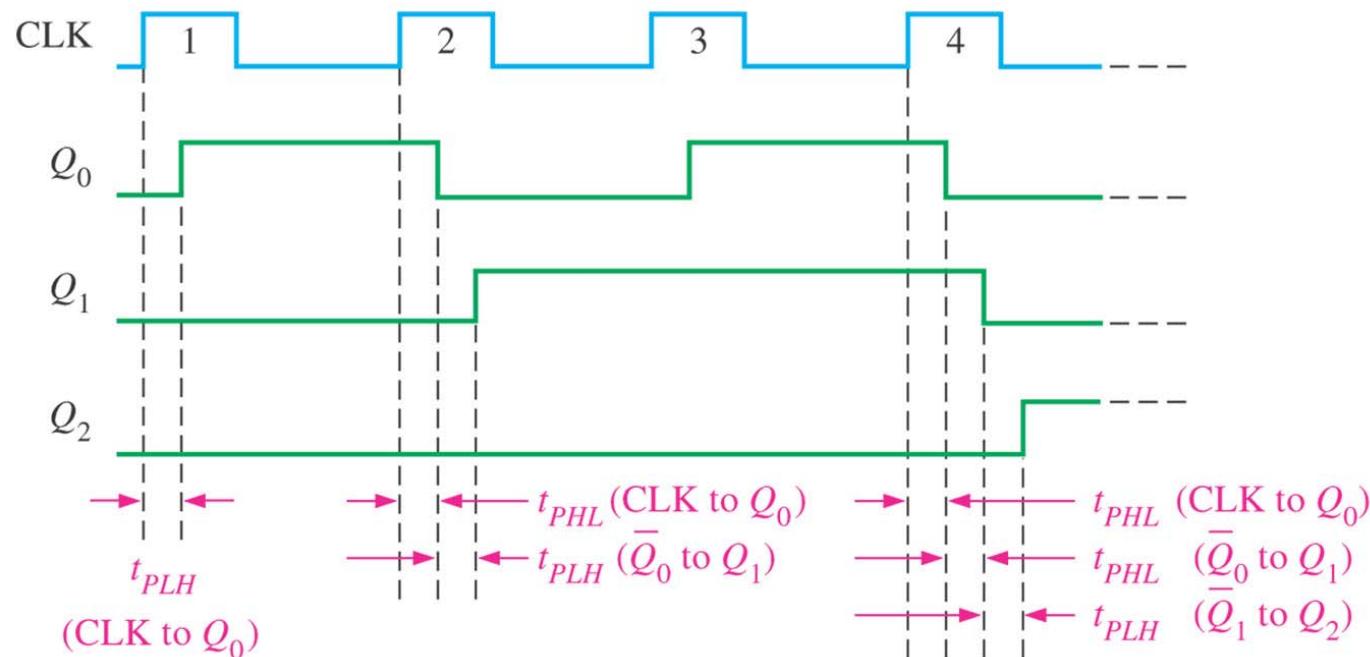
Contadores Asíncronos: Retardo en la propagación

Debido a que el flanco activo para el segundo y sucesivos biestables se produce por el cambio en la salida del biestable anterior, el cambio del último biestable presentará un retardo correspondiente al producto:

Retardo total: Número de biestables x retardo de un biestable

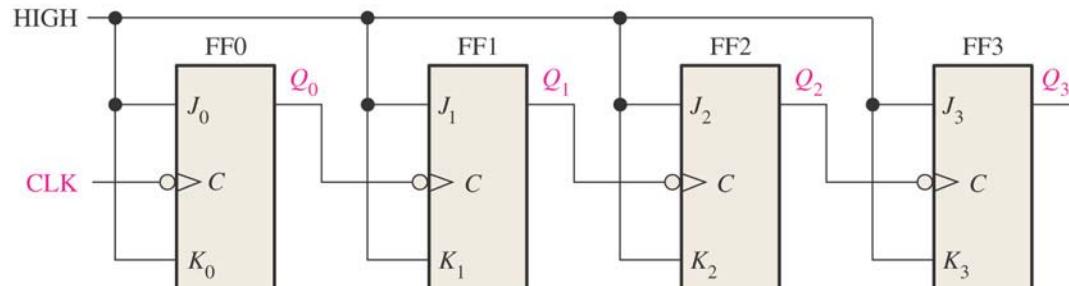
Lo que hace que la frecuencia máxima a la que le pueden llegar los pulsos de reloj para contar sea:

Frecuencia máxima: 1/Retardo total

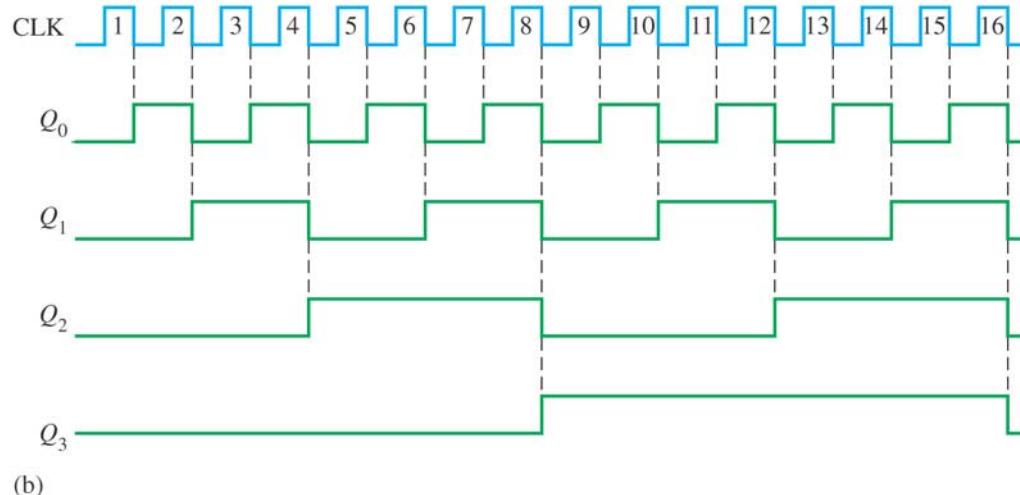


Sistemas Secuenciales Síncronos

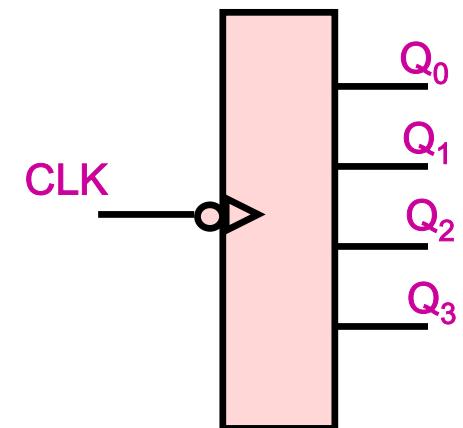
Contador Asíncrono binario de 4 bits



(a)



(b)

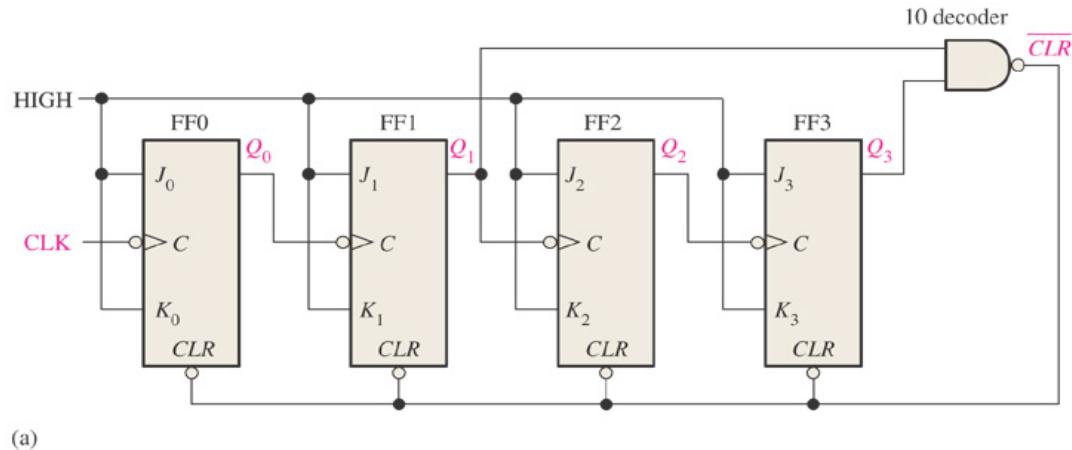


Contador binario de 4 bits

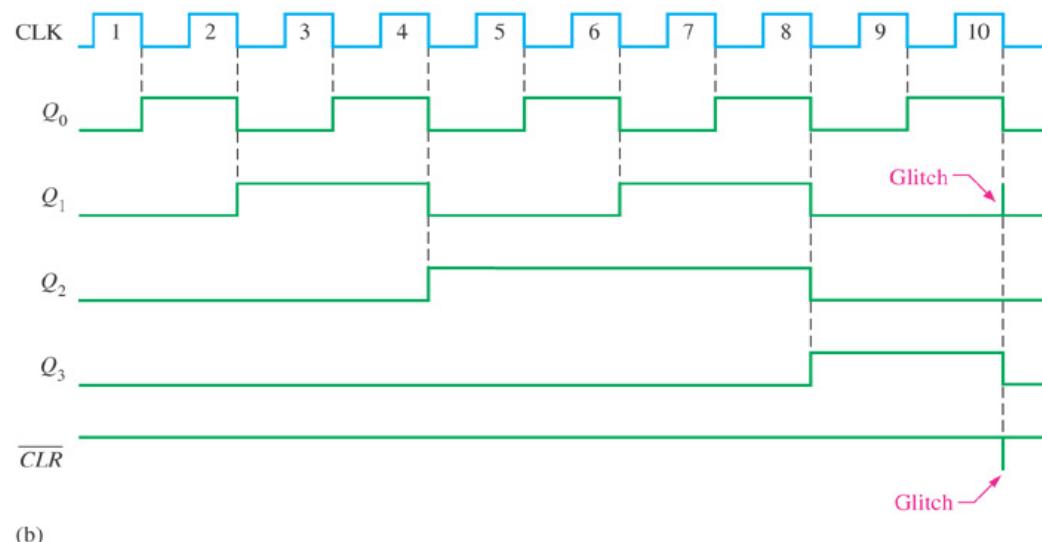
También se puede utilizar como divisor de la frecuencia de reloj inicial por 2, por 4, por 8 o por 16

Sistemas Secuenciales Síncronos

Contador Asíncrono decimal



(a)



(b)

Se trata de un contador binario de cuatro bits de salida (contador binario de 4 bits) en el que se pasa del estado 9 al estado 0.

Cuenta por tanto de 0 a 9.

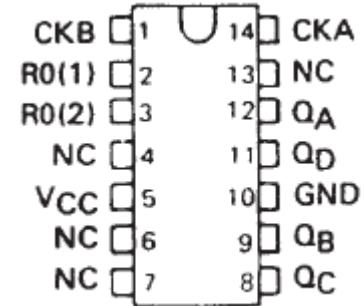
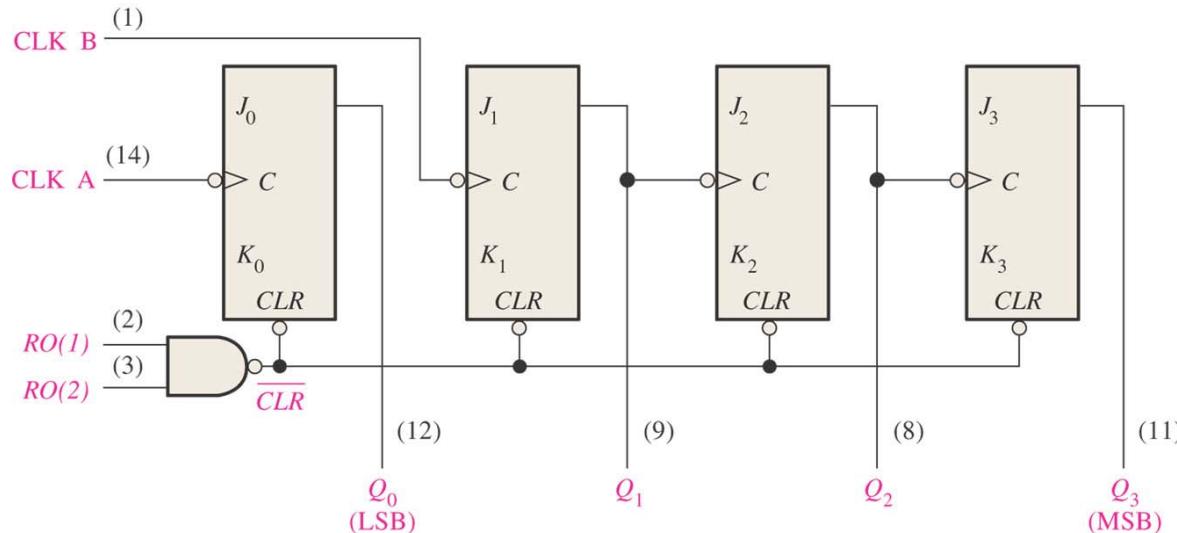
Se consigue el paso del estado 9 al 0 con lógica combinacional que borra (resetea) los biestables cuando en la salida de los biestables aparece la combinación 10, pasando rápidamente a la combinación 0 (no mantiene la combinación 10)

Las entradas de CLR de los biestables son asíncronas en este caso.

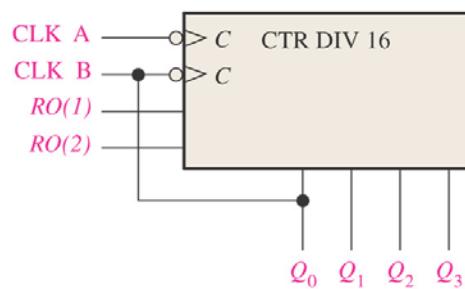
También se puede utilizar como divisor de la frecuencia de reloj inicial por 2, por 4, por 8 o por 10

Sistemas Secuenciales Síncronos

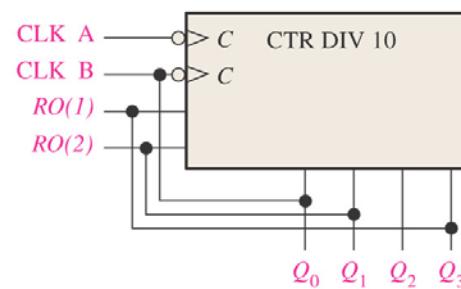
Contador Asíncrono versátil 74x93



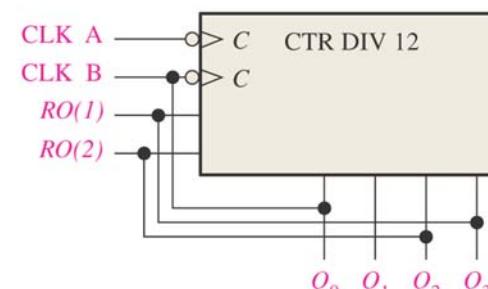
El contador (los biestables) presenta un **CLR asíncrono**



Conexión como contador de módulo 16
(cuenta en anillo de 0 a 15)



Conexión como contador de módulo 10
(cuenta en anillo de 0 a 9)



Conexión como contador de módulo 12
(cuenta en anillo de 0 a 11)

Sistemas Secuenciales Síncronos

Contadores Síncronos

Responde básicamente a un sistema secuencial síncrono con un diagrama de estados básico como el de la figura.

La señal de reloj es común a todos los biestables.

Las salidas suelen coincidir con las variables de estado (Son máquinas Moore)

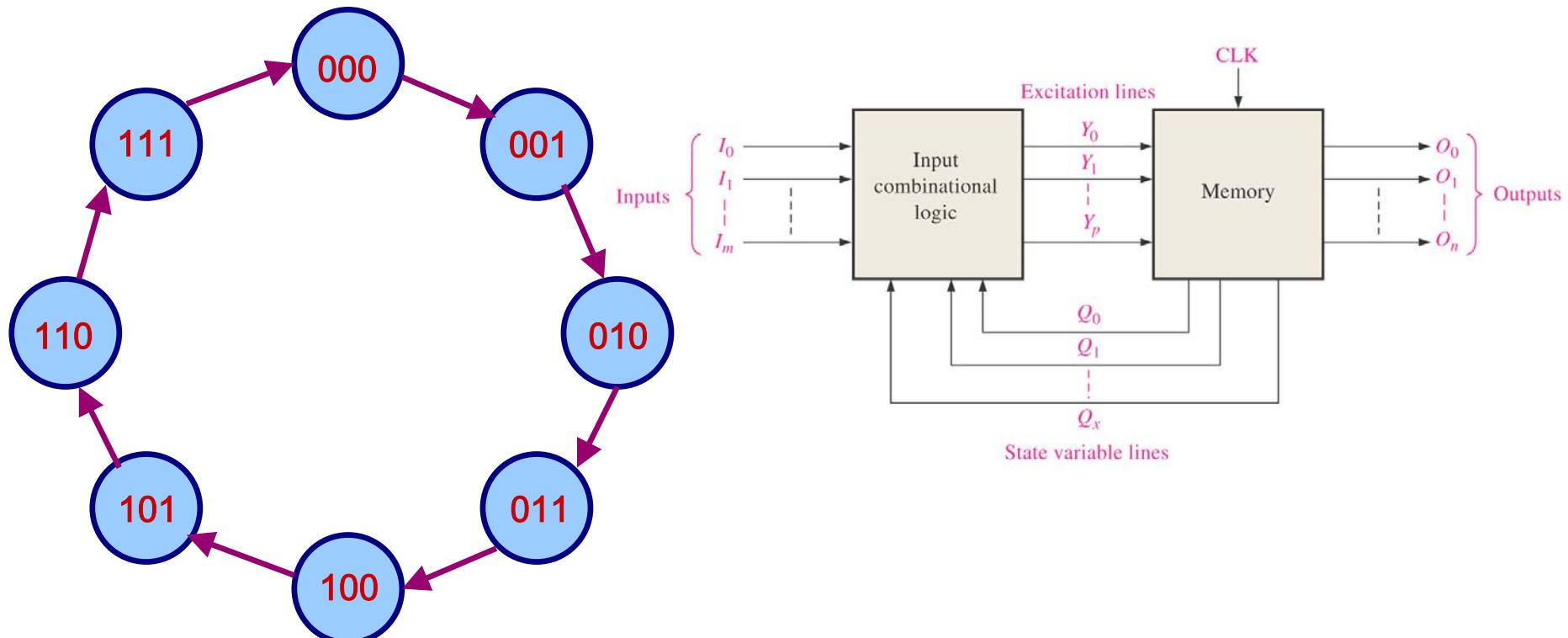


Diagrama correspondiente a un contador binario ascendente.

Sistemas Secuenciales Síncronos

Contadores Síncronos

Responde básicamente a un sistema secuencial síncrono con un diagrama de estados básico como el de la figura.

La señal de reloj es común a todos los biestables.

Las salidas suelen coincidir con las variables de estado (Son máquinas Moore)

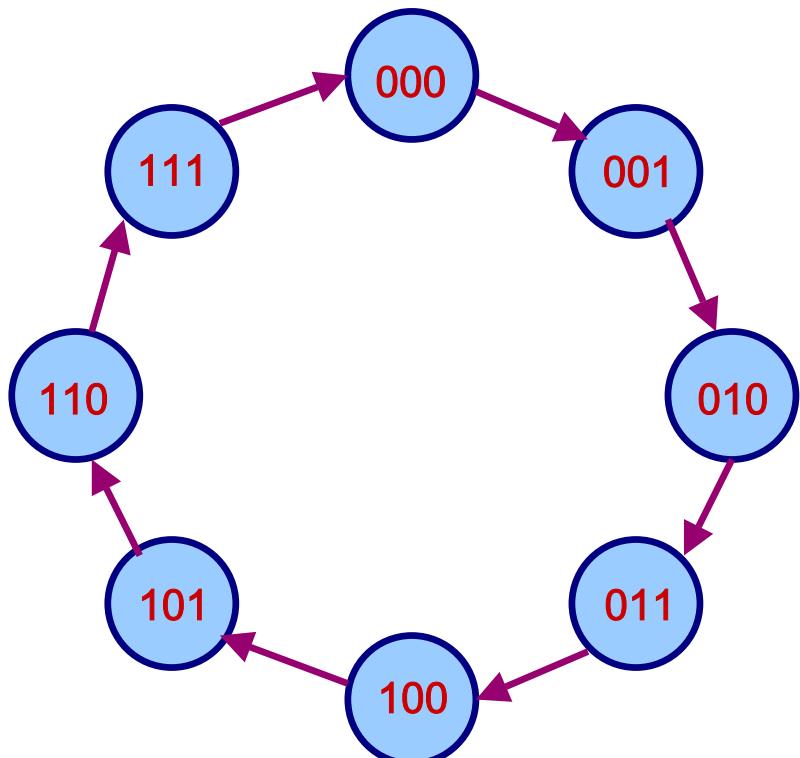


Diagrama correspondiente a un contador binario ascendente.

Modificaciones:

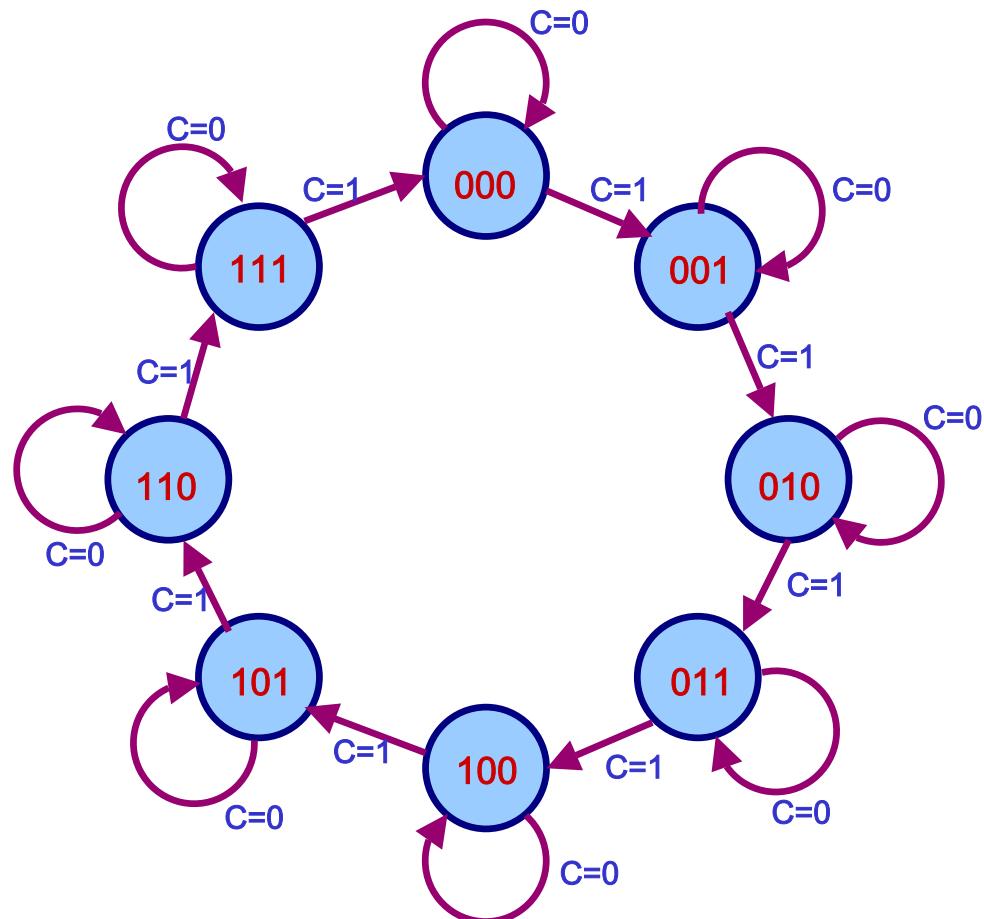
- Señal de conteo o de mantenimiento en el valor.
- Reset síncrono
- Señal de conteo ascendente o descendente.
- Contador en otros códigos.
- Salida de acarreo para conexión de dos contadores.

Sistemas Secuenciales Síncronos

Contadores Síncronos

Responde básicamente a un sistema secuencial síncrono con un diagrama de estados básico como el de la figura.

La señal de reloj es común a todos los biestables.



Modificaciones:

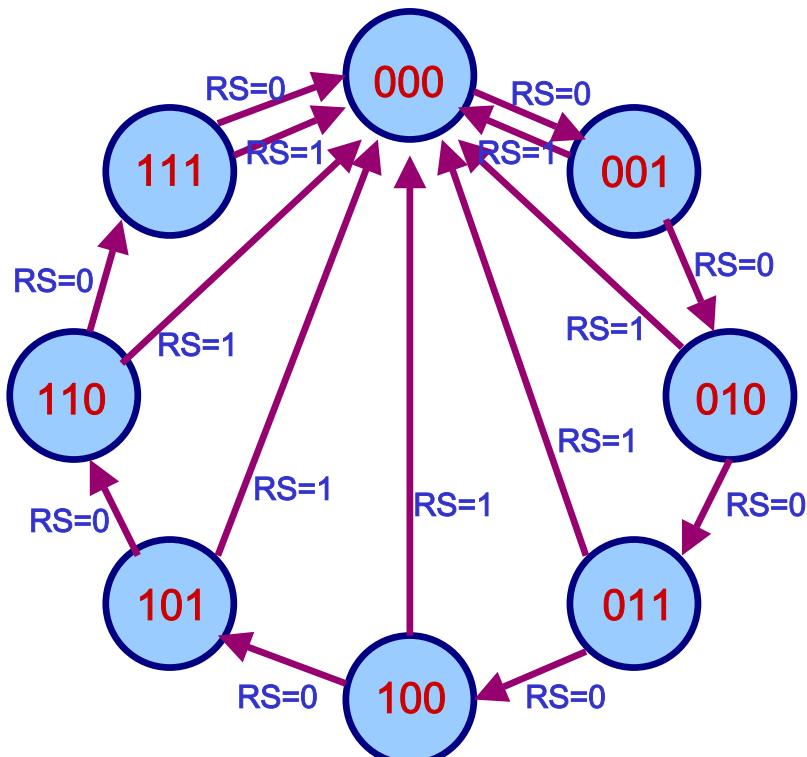
- ❑ Señal de conteo o de mantenimiento en el valor.
- ❑ Reset síncrono
- ❑ Señal de conteo ascendente o descendente.
- ❑ Contador en otros códigos.
- ❑ Salida de acarreo para conexión de dos contadores.

Sistemas Secuenciales Síncronos

Contadores Síncronos

Responde básicamente a un sistema secuencial síncrono con un diagrama de estados básico como el de la figura.

La señal de reloj es común a todos los biestables.



Modificaciones:

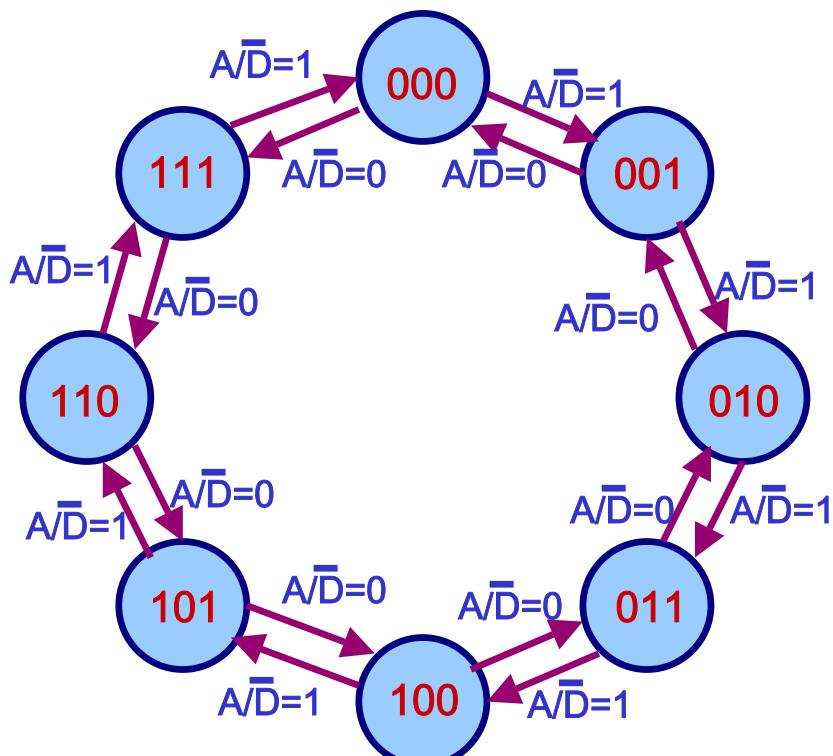
- ❑ Señal de conteo o de mantenimiento en el valor.
- ❑ **Reset síncrono**
- ❑ Señal de conteo ascendente o descendente.
- ❑ Contador en otros códigos.
- ❑ Salida de acarreo para conexión de dos contadores.

Sistemas Secuenciales Síncronos

Contadores Síncronos

Responde básicamente a un sistema secuencial síncrono con un diagrama de estados básico como el de la figura.

La señal de reloj es común a todos los biestables.



Modificaciones:

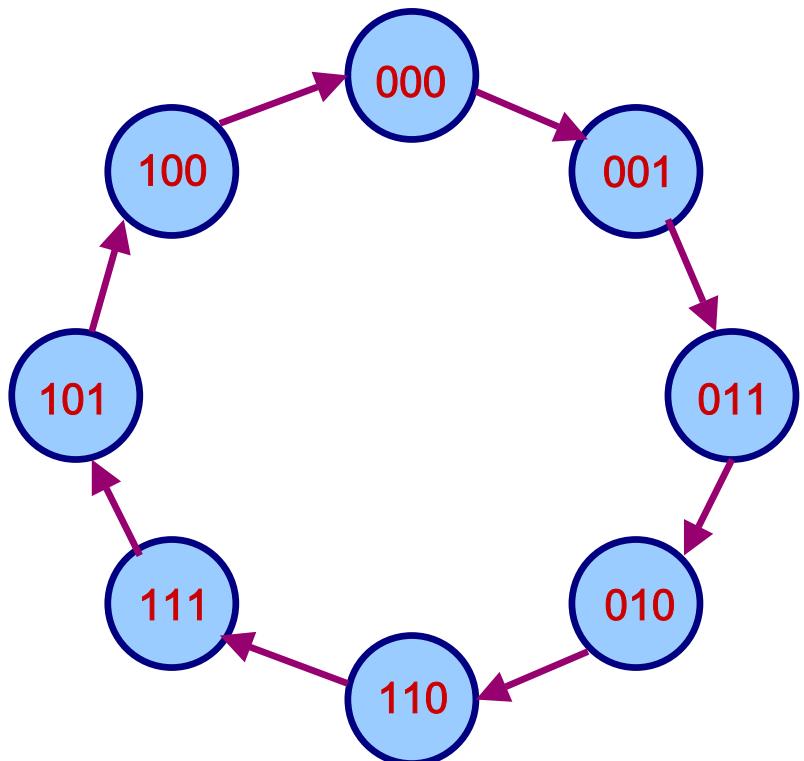
- Señal de conteo o de mantenimiento en el valor.
- Reset síncrono
- Señal de conteo ascendente o descendente.
- Contador en otros códigos.
- Salida de acarreo para conexión de dos contadores.

Sistemas Secuenciales Síncronos

Contadores Síncronos

Responde básicamente a un sistema secuencial síncrono con un diagrama de estados básico como el de la figura.

La señal de reloj es común a todos los biestables.



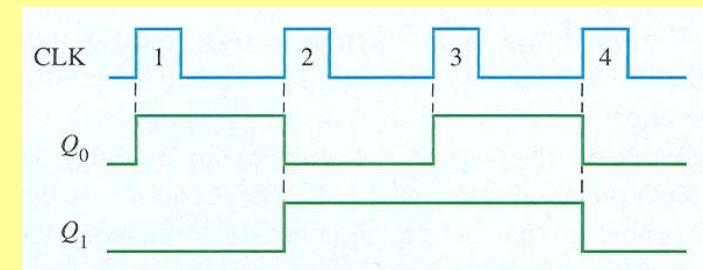
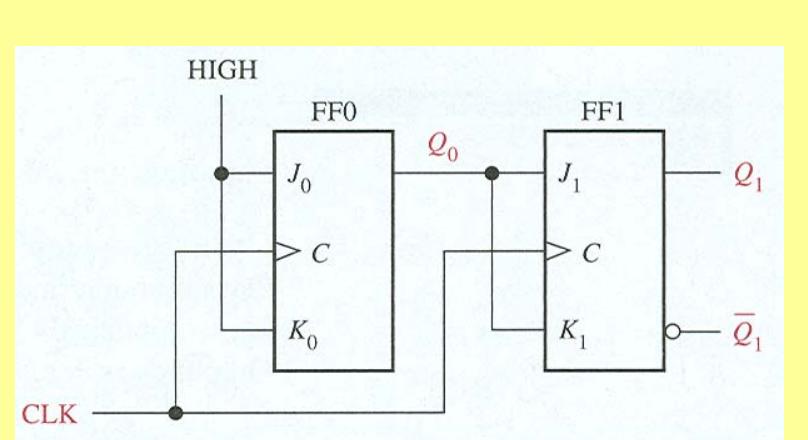
Contador en código GRAY

Modificaciones:

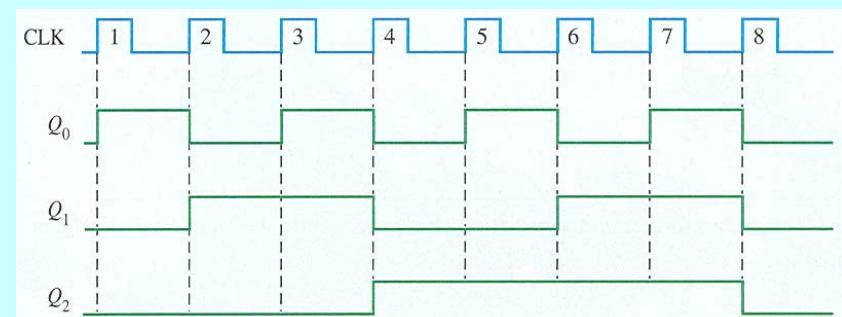
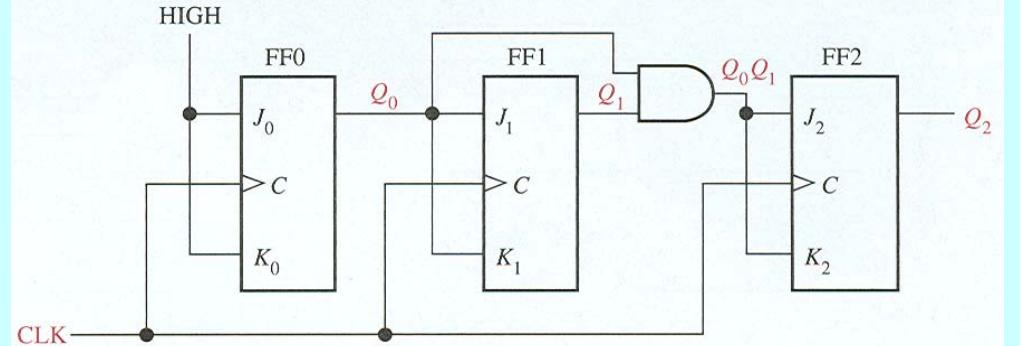
- Señal de conteo o de mantenimiento en el valor.
- Reset síncrono
- Señal de conteo ascendente o descendente.
- Contador en otros códigos.
- Salida de acarreo para conexión de dos contadores.

Sistemas Secuenciales Síncronos

Contadores Síncronos.



Contador Síncrono de 2 bits (4 estados)

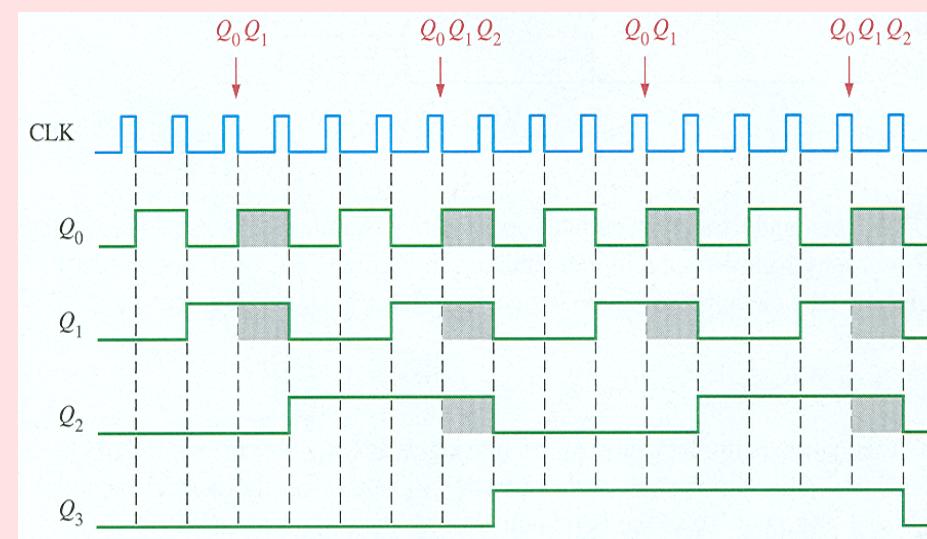
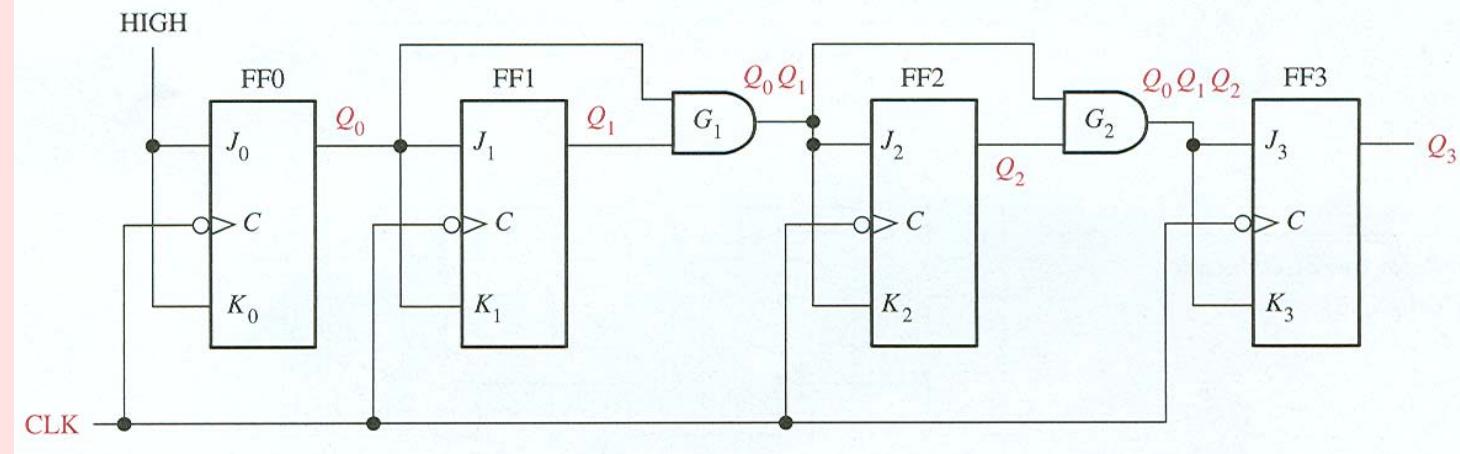


CLOCK PULSE	Q_2	Q_1	Q_0
Initially	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8 (recycles)	0	0	0

Contador Síncrono de 3 bits (8 estados)

Sistemas Secuenciales Síncronos

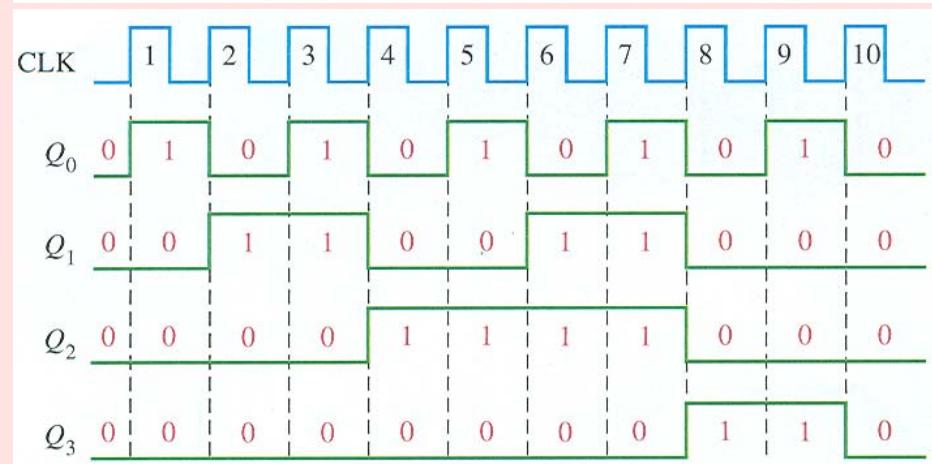
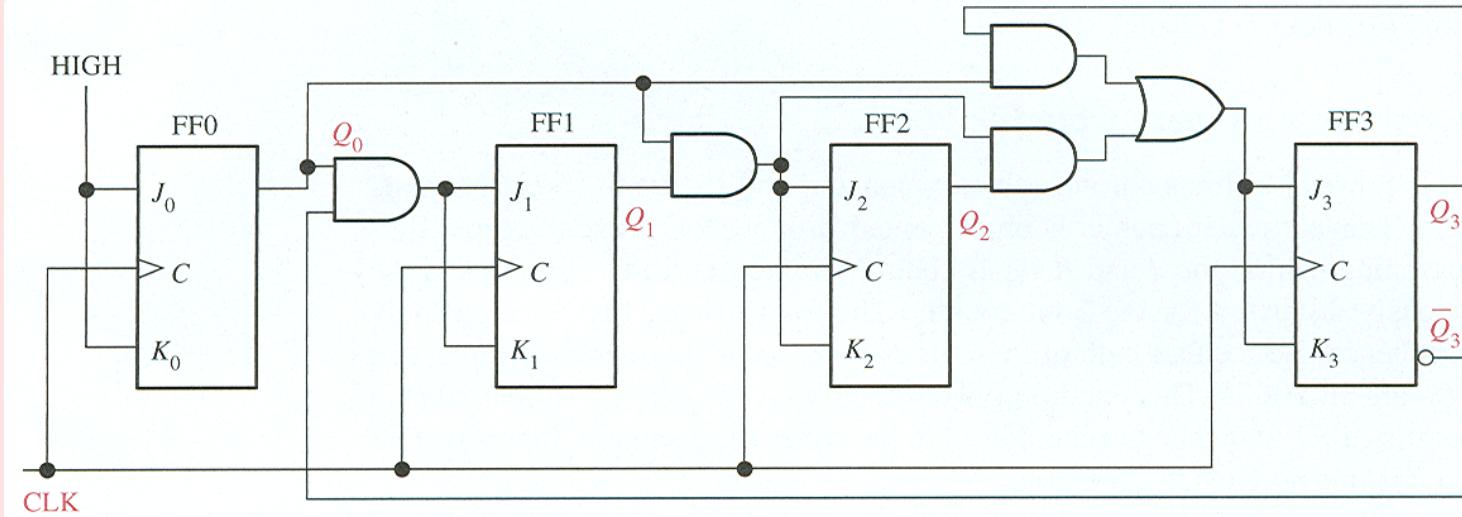
Contadores Síncronos.



Contador Síncrono de 4 bits (16 estados)

Sistemas Secuenciales Síncronos

Contadores Síncronos.

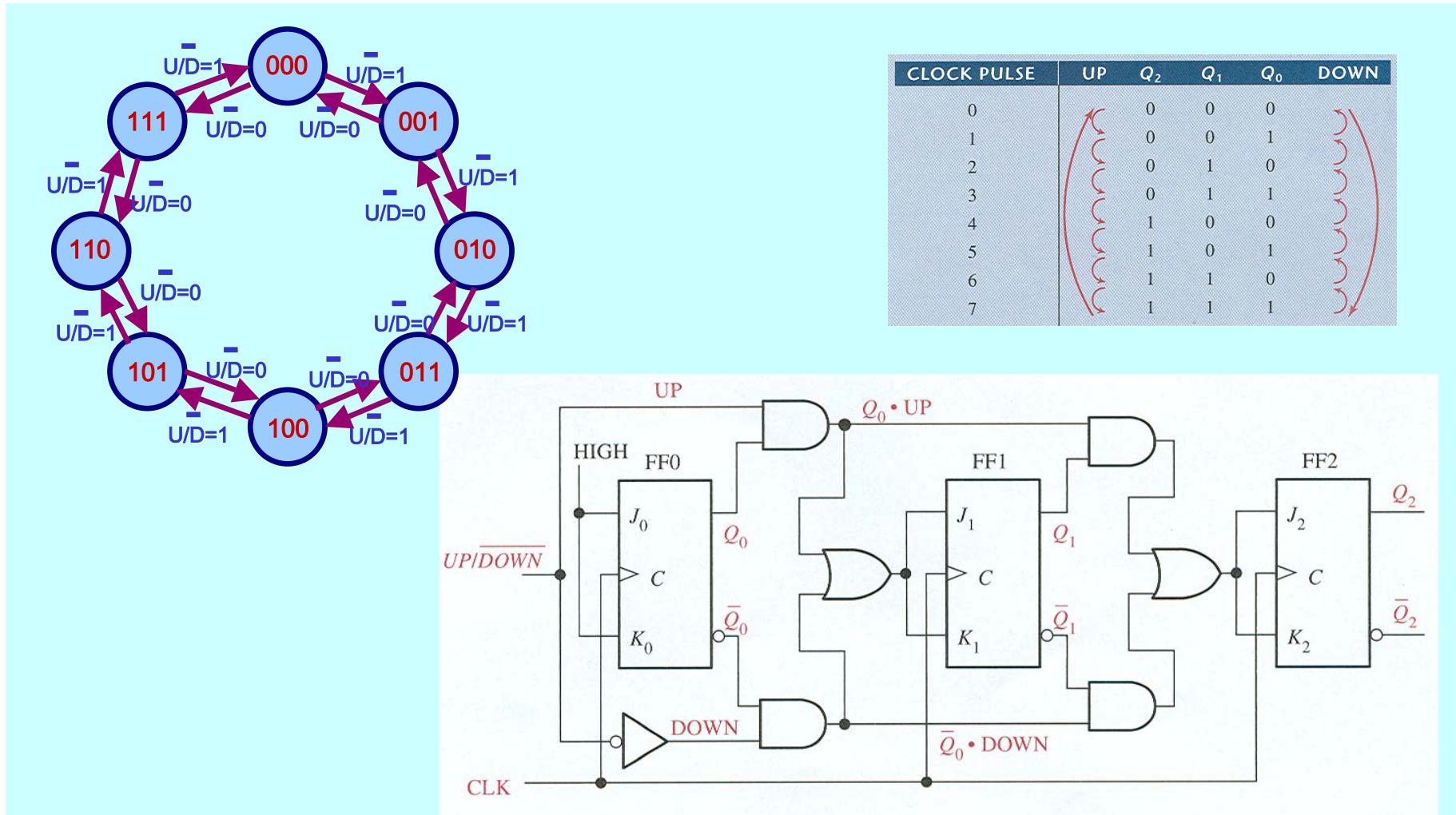


CLOCK PULSE	Q_3	Q_2	Q_1	Q_0
Initially	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10 (recycles)	0	0	0	0

Contador Síncrono de décadas BCD (de 4 bits 10 estados)

Sistemas Secuenciales Síncronos

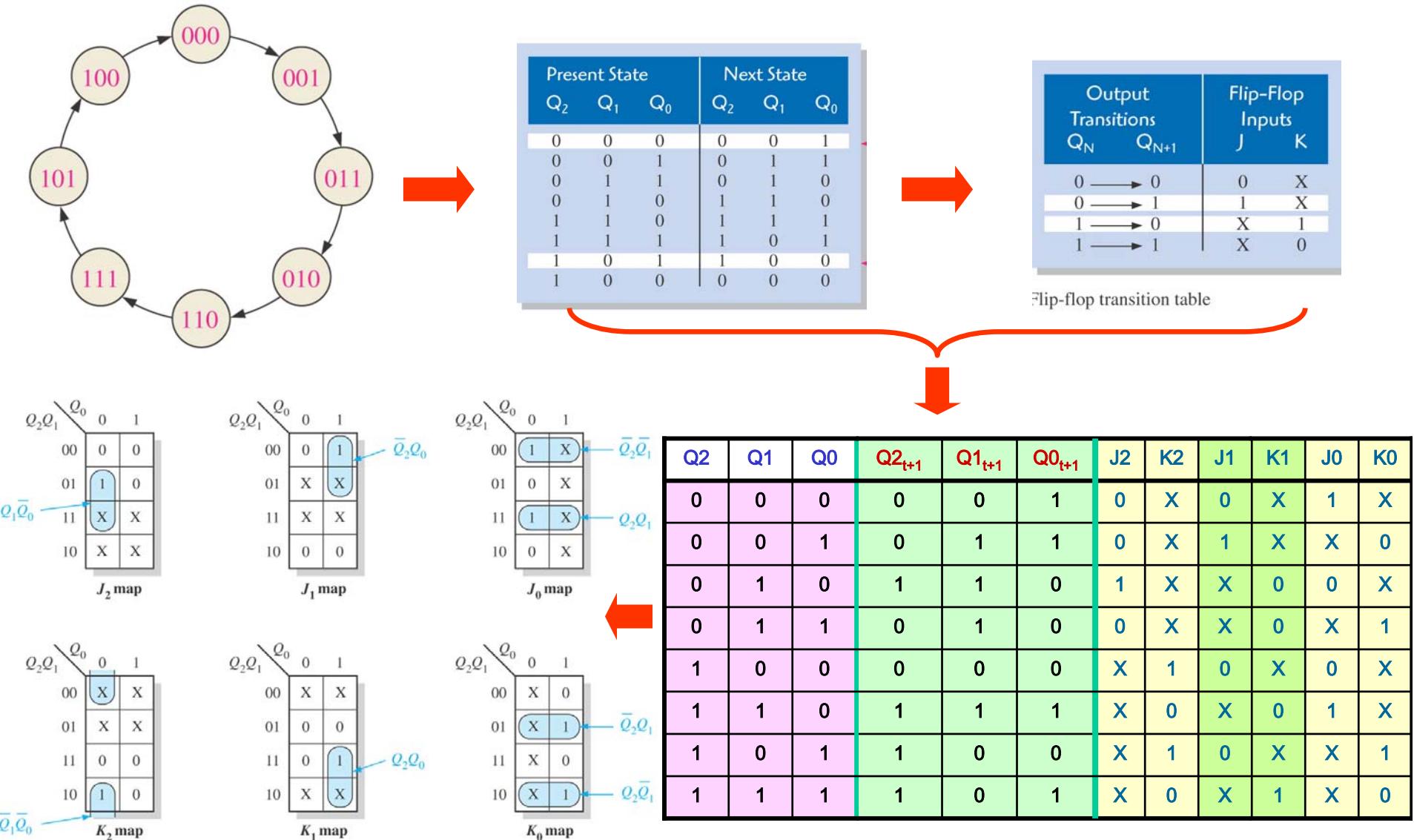
Contadores Síncronos.



Contador Síncrono **ASCENDENTE – DESCENDENTE** de 3 bits (8 estados)

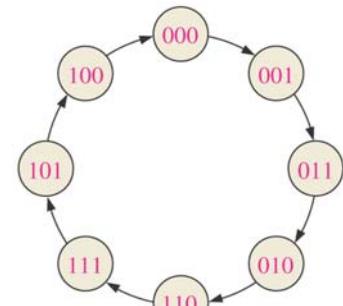
Sistemas Secuenciales Síncronos

Contadores Síncronos: Diseño de contador Gray de 3 bits.

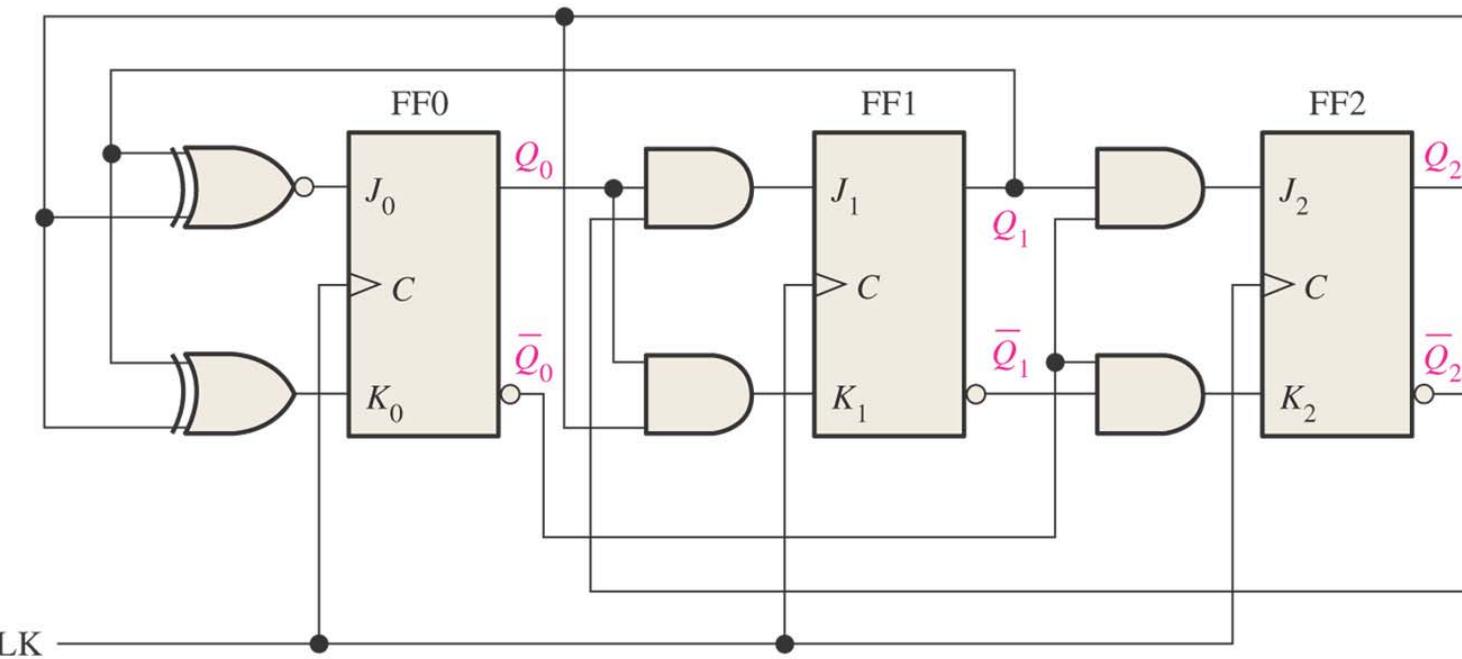
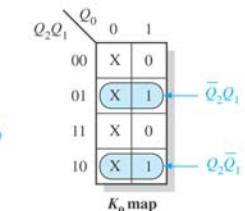
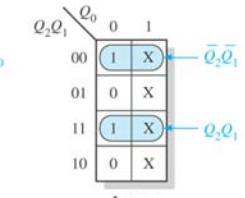
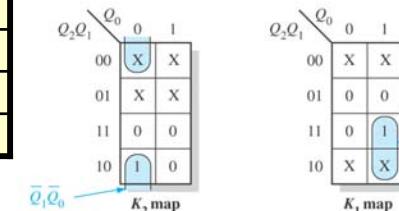
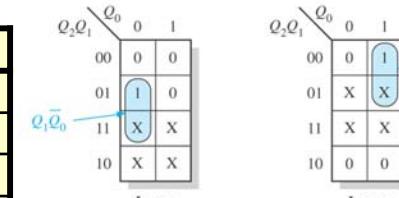
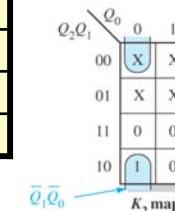
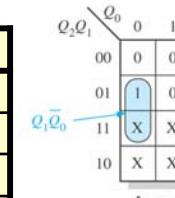


Sistemas Secuenciales Síncronos

Contadores Síncronos: Diseño de contador Gray de 3 bits.

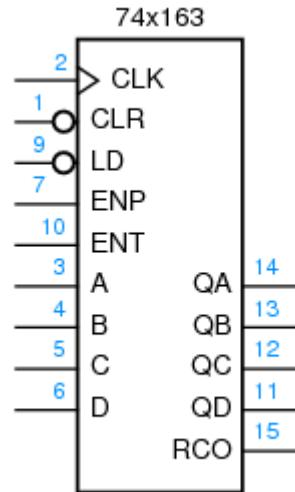


Q_2	Q_1	Q_0	$Q_{2,t+1}$	$Q_{1,t+1}$	$Q_{0,t+1}$	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	1	0	X	1	X	X	0
0	1	0	1	1	0	1	X	X	0	0	X
0	1	1	0	1	0	0	X	X	0	X	1
1	0	0	0	0	0	X	1	0	X	0	X
1	1	0	1	1	1	X	0	X	0	1	X
1	0	1	1	0	0	X	1	0	X	X	1
1	1	1	1	0	1	X	0	X	1	X	0



Sistemas Secuenciales Síncronos

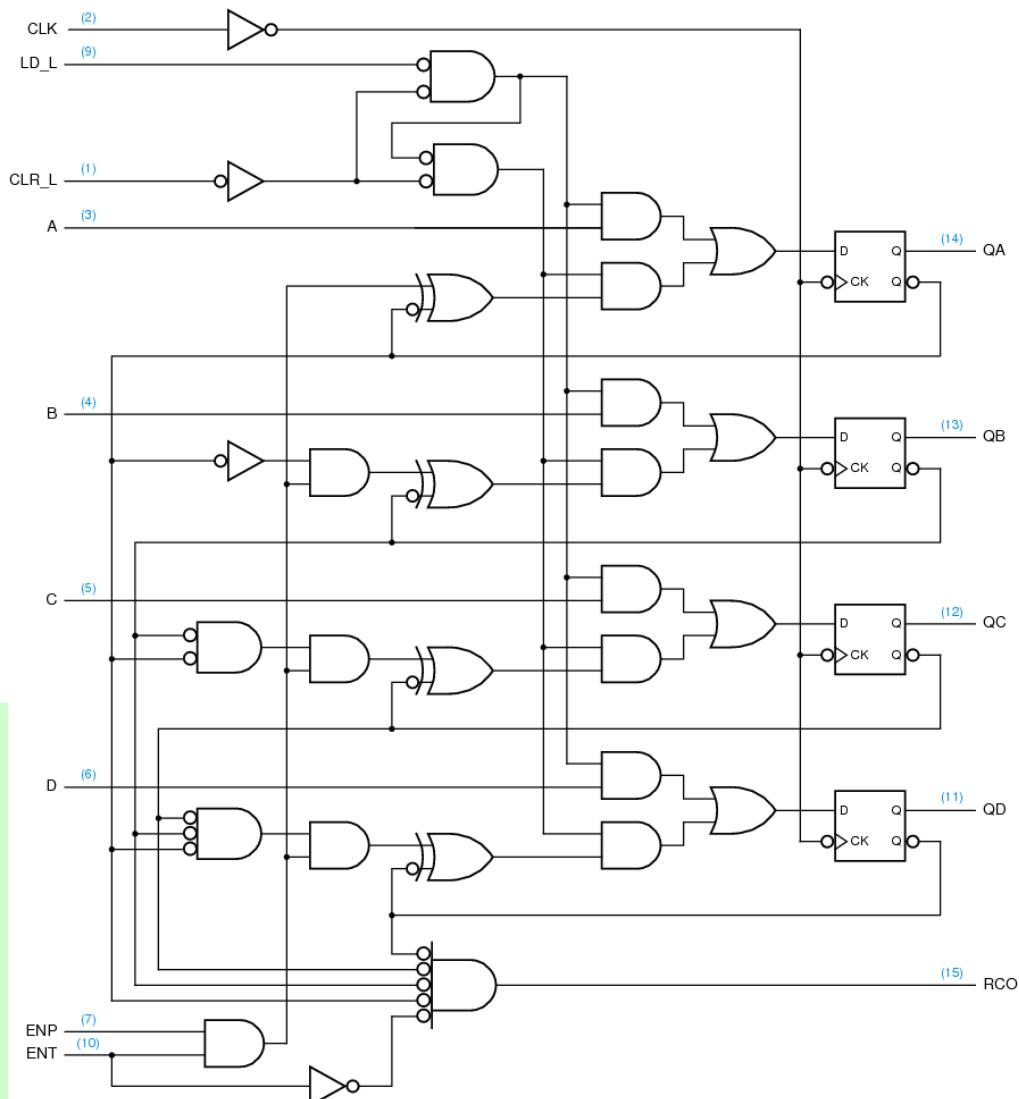
Contador Síncrono binario 74x163



Presenta:

- ❑ Posibilidad de cargar en paralelo un valor DCBA (LD').
- ❑ Reset síncrono (CLR')
- ❑ Entradas de habilitación de conteo (ENT, ENP)
- ❑ Salida de propagación de acarreo (para conexión de dos contadores)

$RCO = 1$ si $QD, QC, QB, QA = 1111$



Sistemas Secuenciales Síncronos

Contador Síncrono binario 74x163

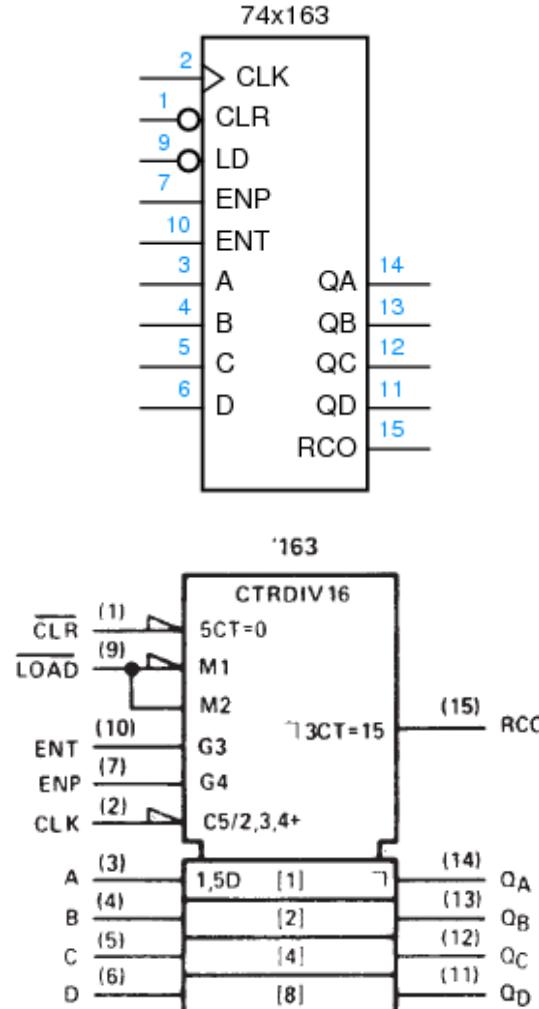


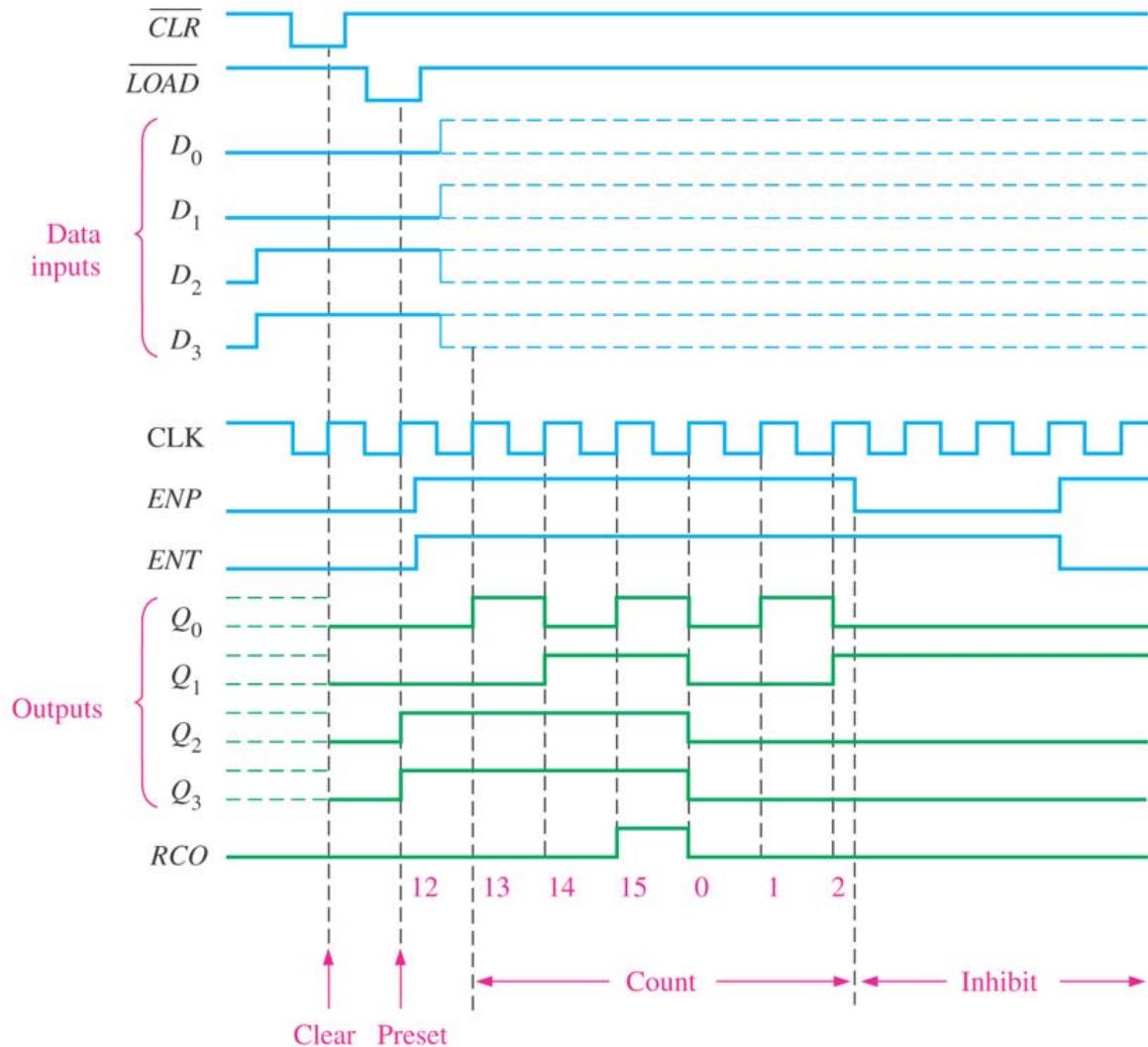
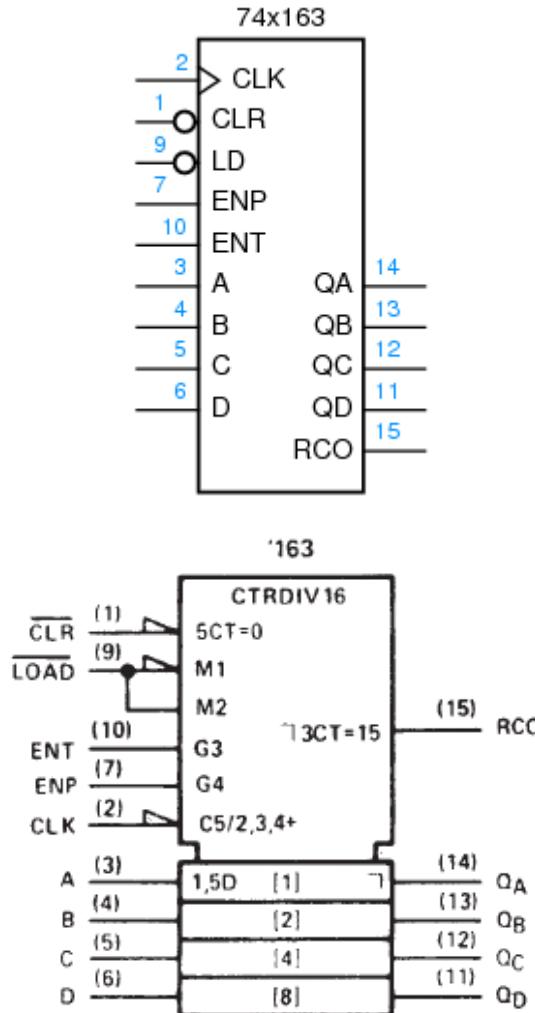
Table 8-11 State table for a 74x163 4-bit binary counter.

Inputs	Current State				Next State				RCO				
	CLR_L	LD_L	ENT	ENP	QD	QC	QB	QA	QD*	QC*	QB*	QA*	
0	x	x	x	x	x	x	x	x	0	0	0	0	0
1	0	x	x	x	x	x	x	x	D	C	B	A	0
1	1	0	x	x	x	x	x	x	QD	QC	QB	QA	0
1	1	x	0	x	x	x	x	x	QD	QC	QB	QA	0
1	1	1	1	1	0	0	0	0	0	0	0	1	0
1	1	1	1	1	0	0	0	1	0	0	0	1	0
1	1	1	1	1	0	0	1	0	0	0	1	1	0
1	1	1	1	1	0	0	1	1	0	1	0	0	0
1	1	1	1	1	0	1	0	0	0	1	0	1	0
1	1	1	1	1	0	1	0	1	0	1	1	0	0
1	1	1	1	1	0	1	0	1	0	1	0	1	0
1	1	1	1	1	0	1	0	1	0	1	1	1	0
1	1	1	1	1	0	1	1	0	0	1	1	1	0
1	1	1	1	1	1	0	1	1	1	0	0	0	0
1	1	1	1	1	1	0	1	1	1	0	0	0	0
1	1	1	1	1	1	0	1	1	1	1	0	0	0
1	1	1	1	1	1	1	0	1	1	1	1	0	0
1	1	1	1	1	1	1	1	0	1	1	1	1	0
1	1	1	1	1	1	1	1	1	0	1	1	1	0
1	1	1	1	1	1	1	1	1	0	1	1	1	1

Tanto CLR' como LOAD' son entradas síncronas, que borra y carga el contador respectivamente en el flanco ascendente de reloj. Genera 1 en la salida RCO en el estado 15 (1111).

Sistemas Secuenciales Síncronos

Contador Síncrono binario 74x163

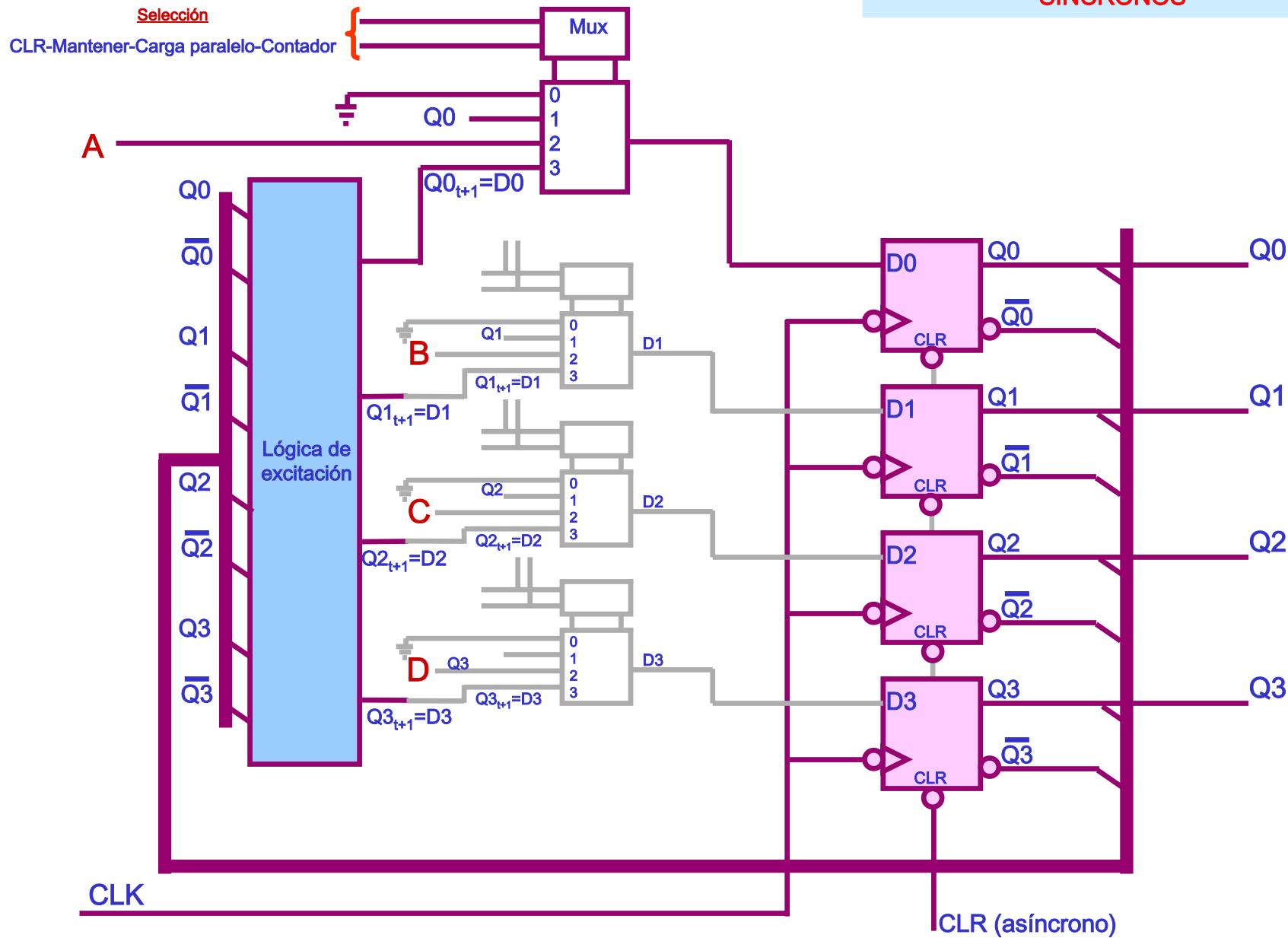


Tanto CLR' como LOAD' son entradas síncronas, que borra y carga el contador respectivamente en el flanco ascendente de reloj. Genera 1 en la salida RCO en el estado 15 (1111).

Sistemas Secuenciales Síncronos

Contador Síncrono binario con opciones:

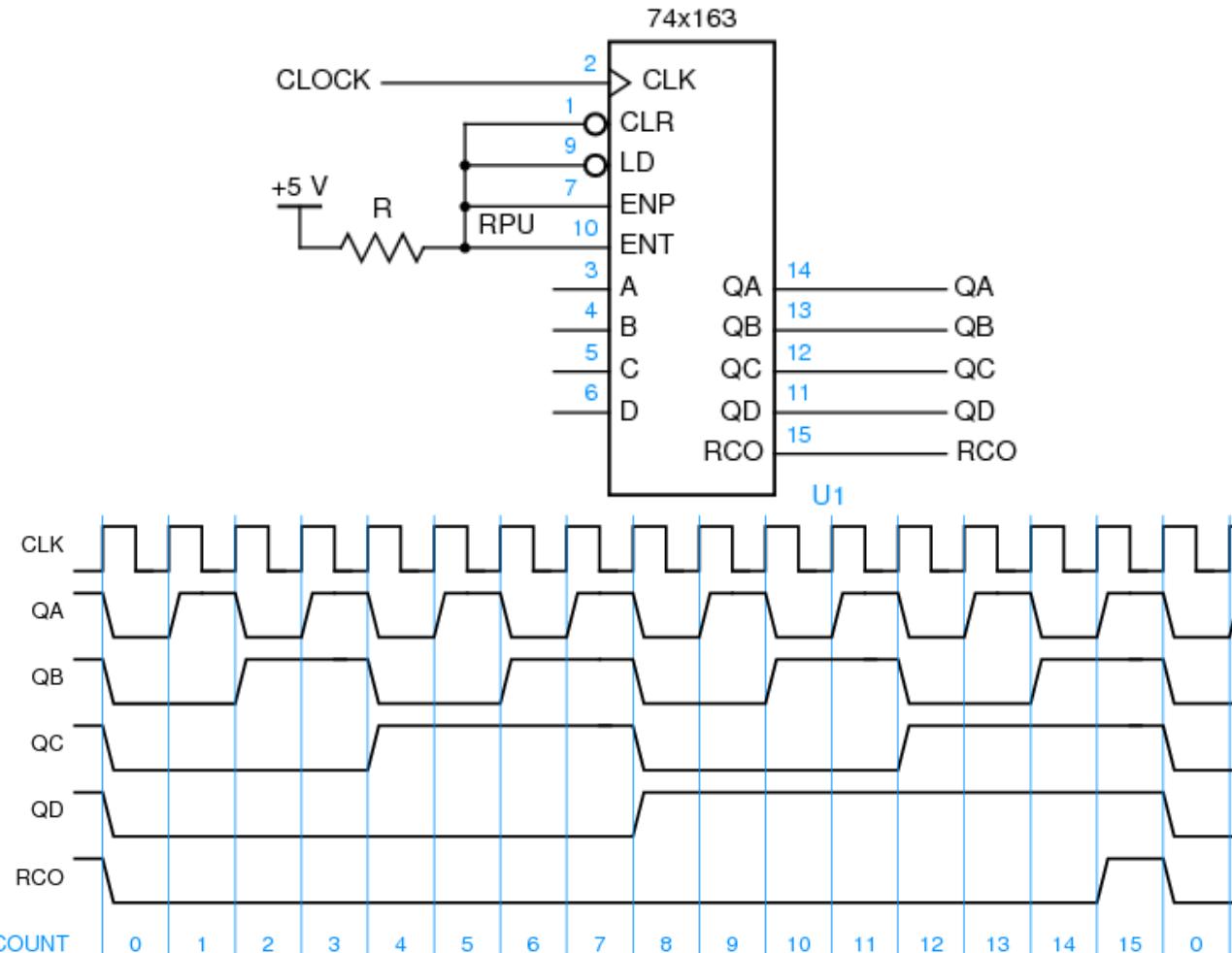
CLR-Mantener-Carga en paralelo-Contador
SÍNCRONOS



Sistemas Secuenciales Síncronos

Contador Síncrono binario 74x163

Conexión como simple contador binario de 4 bits.

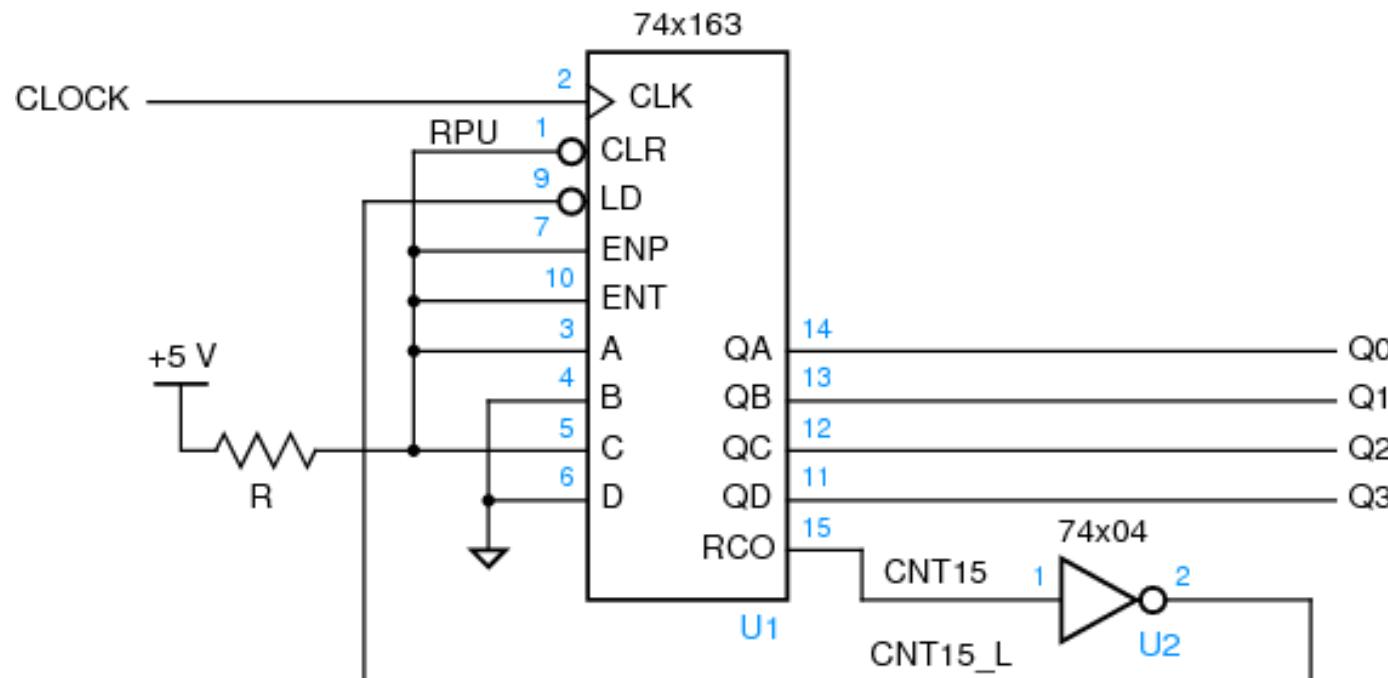


Tanto CLR' como LOAD' son entradas síncronas, que borra y carga el contador respectivamente en el flanco ascendente de reloj. Genera 1 en la salida RCO en el estado 15 (1111).

Sistemas Secuenciales Síncronos

Contador Síncrono binario 74x163

Conexión como simple contador binario módulo 11
con secuencia de conteo 5, 6, 7,...14, 15, 5, 6, ...

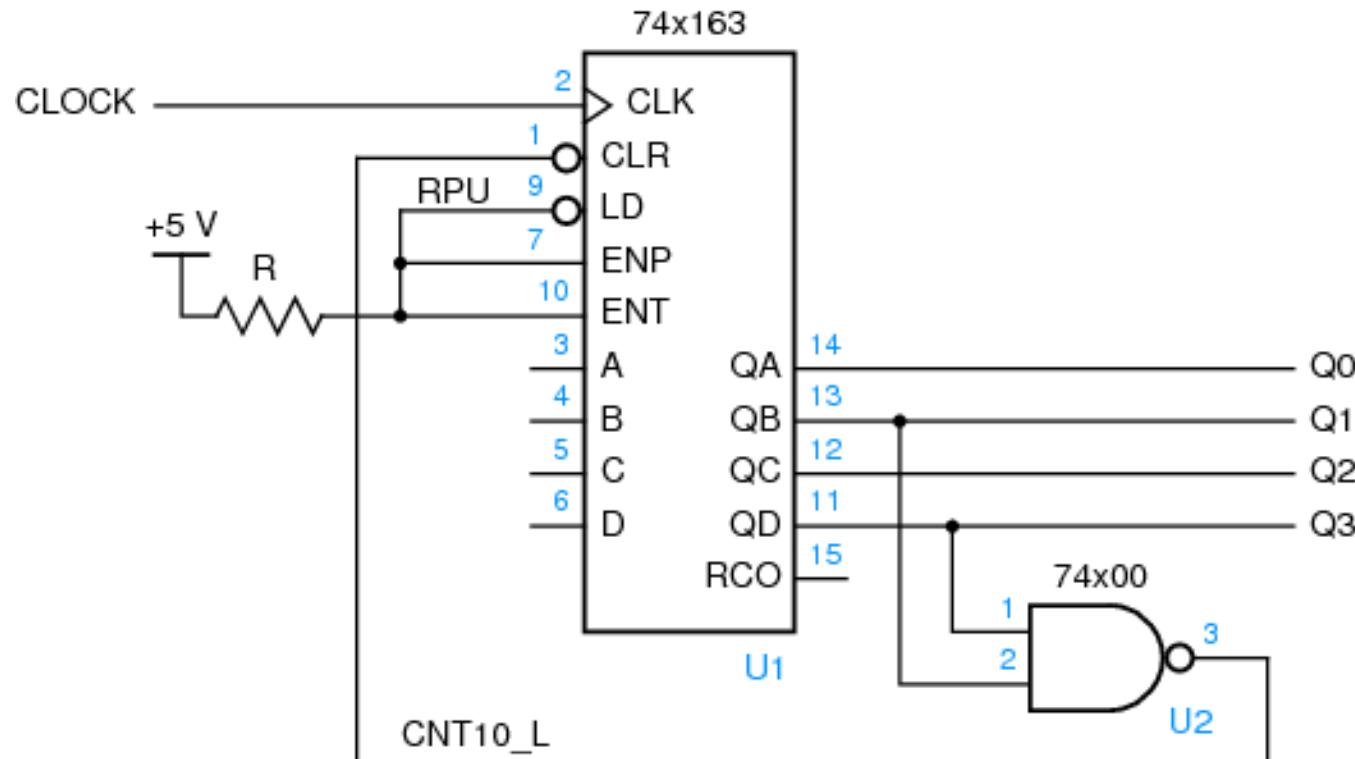


Tanto CLR' como LOAD' son entradas síncronas, que borra y carga el contador respectivamente en el flanco ascendente de reloj. Genera 1 en la salida RCO en el estado 15 (1111).

Sistemas Secuenciales Síncronos

Contador Síncrono binario 74x163

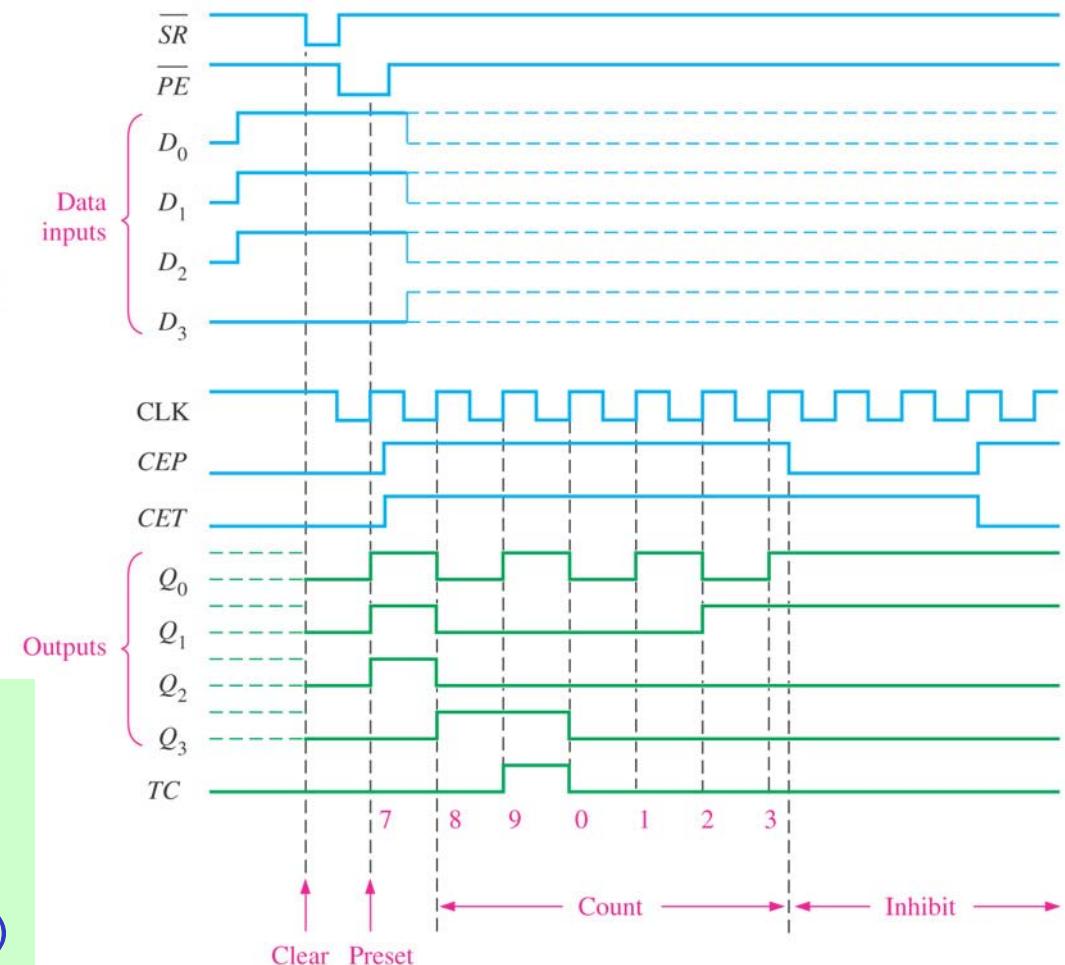
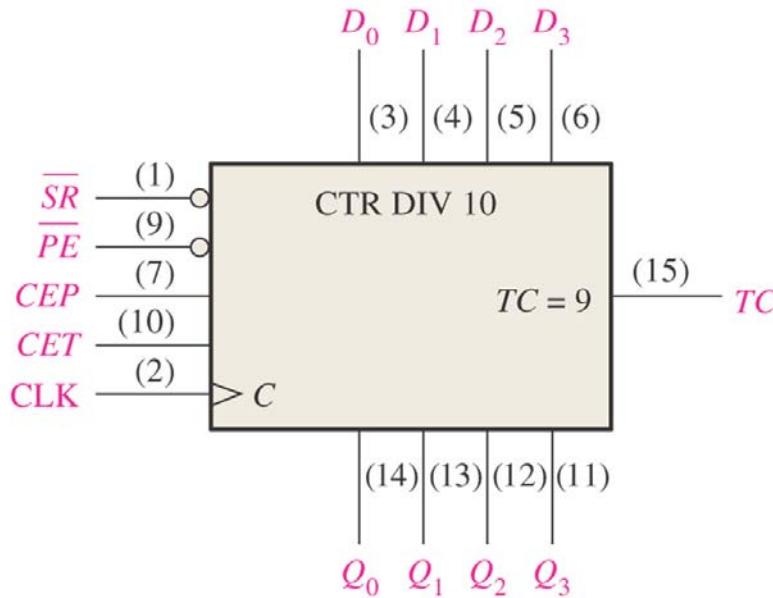
Conexión como simple contador binario módulo 11
con secuencia de conteo 0, 1, 2,...9, 10, 0, 1, ...



Tanto CLR' como LOAD' son entradas síncronas, que borra y carga el contador respectivamente en el flanco ascendente de reloj. Genera 1 en la salida RCO en el estado 15 (1111).

Sistemas Secuenciales Síncronos

Contador Síncrono de décadas BCD 74x160



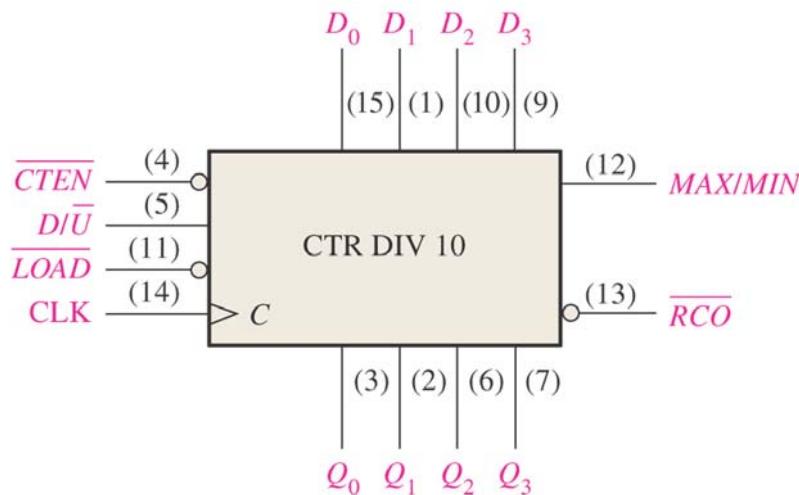
Presenta:

- ❑ Posibilidad de cargar en paralelo un valor D3,D2,D1,D0 (PE' de manera síncrona).
- ❑ Reset asíncrono (SR')
- ❑ Entradas de habilitación de conteo (CEP, CET)
- ❑ Salida de propagación de acarreo (para conexión de dos contadores)

$$TC = 1 \text{ si } Q_3, Q_2, Q_1, Q_0 = 1001$$

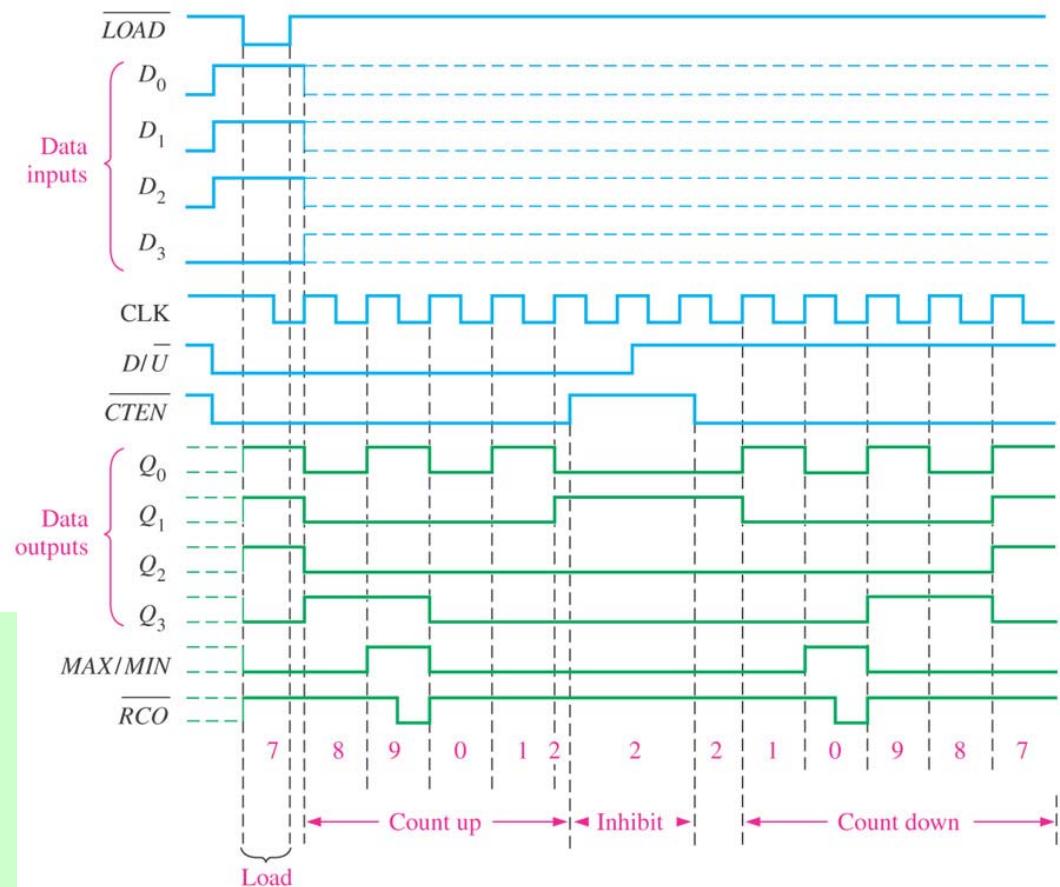
Sistemas Secuenciales Síncronos

Contador Síncrono de décadas BCD ascendente-descendente
74x190



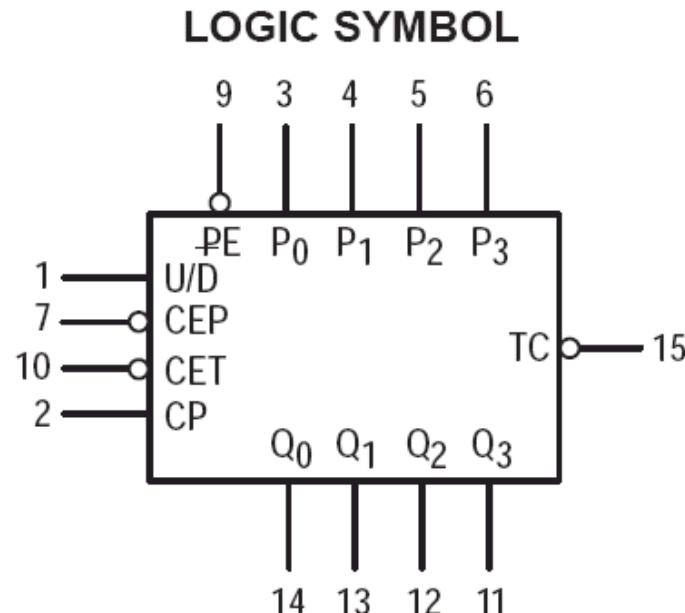
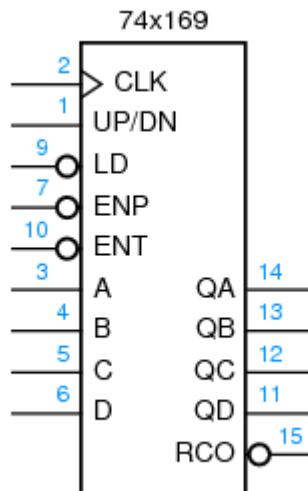
Presenta:

- ❑ Posibilidad de cargar en paralelo un valor D3,D2,D1,D0 (LOAD' de manera asíncrona).
- ❑ Salida en el estado máximo o mínimo según esté en conteo ascendente o descendente (MAX/MIN)
- ❑ Entradas de habilitación de conteo (CTEN')
- ❑ Salida de propagación (para conexión de dos contadores) RCO = 0 durante medio ciclo y en los estados MAX o MIN.



Sistemas Secuenciales Síncronos

Contador Síncrono binario de 4 bits, ascendente-descendente
74x169



MODE SELECT TABLE

PE	CEP	CET	U/D	Action on Rising Clock Edge
L	X	X	X	Load ($P_n \rightarrow Q_n$)
H	L	L	H	Count Up (increment)
H	L	L	L	Count Down (decrement)
H	H	X	X	No Change (Hold)
H	X	H	X	No Change (Hold)

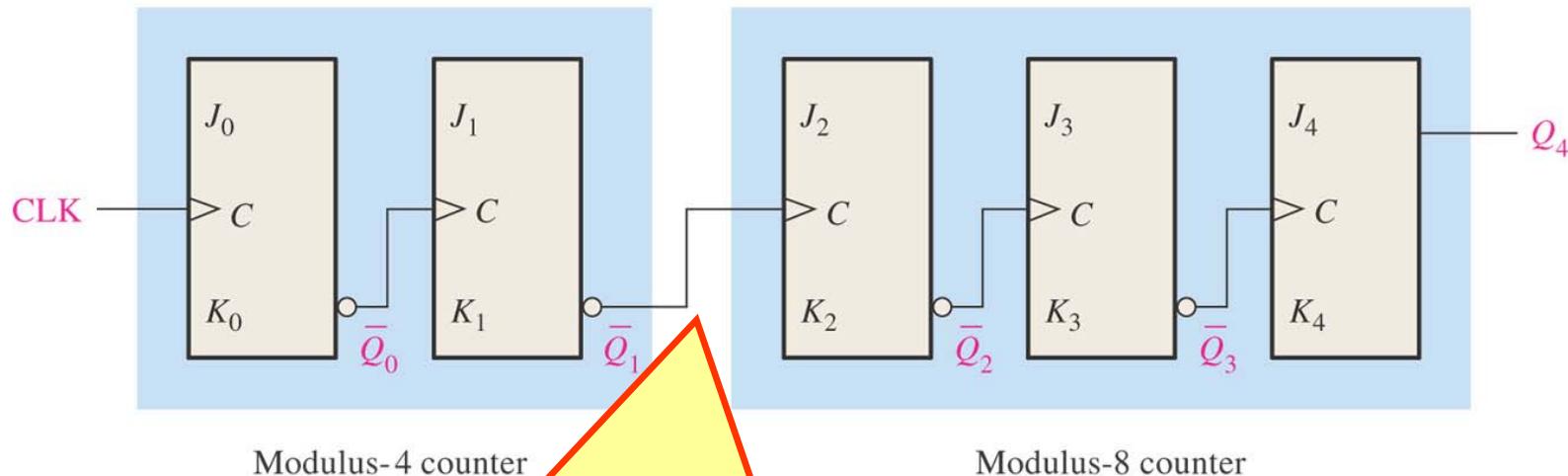
H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

Sistemas Secuenciales Síncronos

Contadores: Conexión en cascada

Se trata de ampliar el número de bits de conteo (equivale a incrementar el número de cifras)

Conexión de contadores de forma asíncrona



La unión de los contadores se realiza, tal y como se unen los biestables en los contadores asíncronos

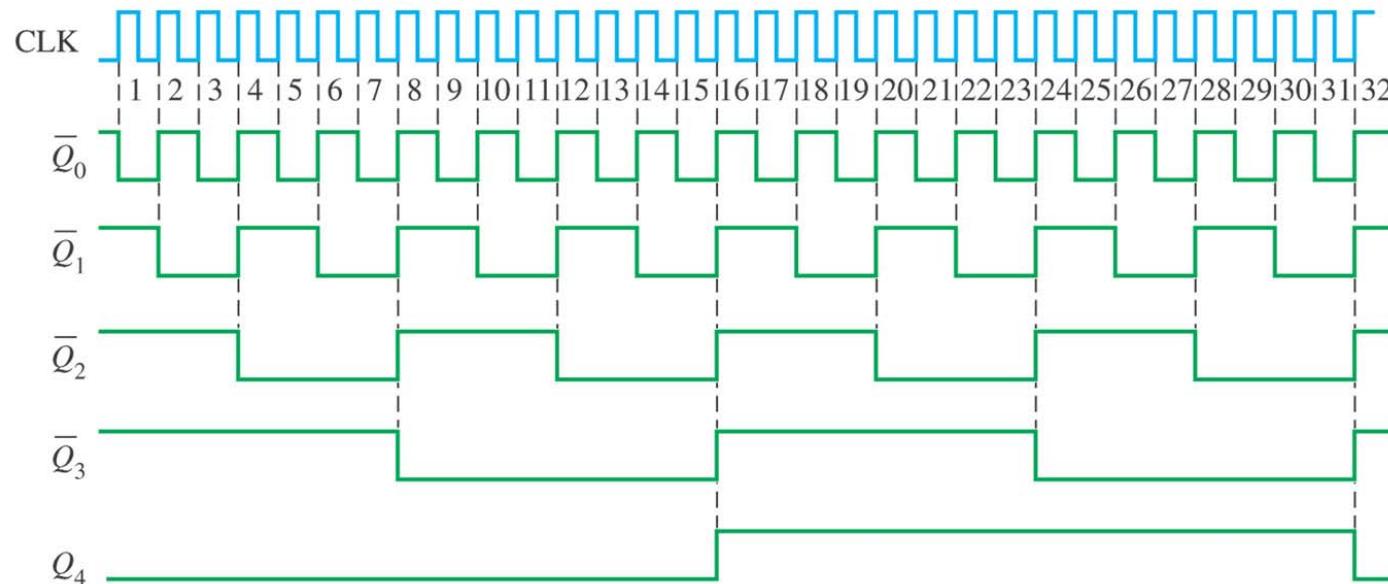
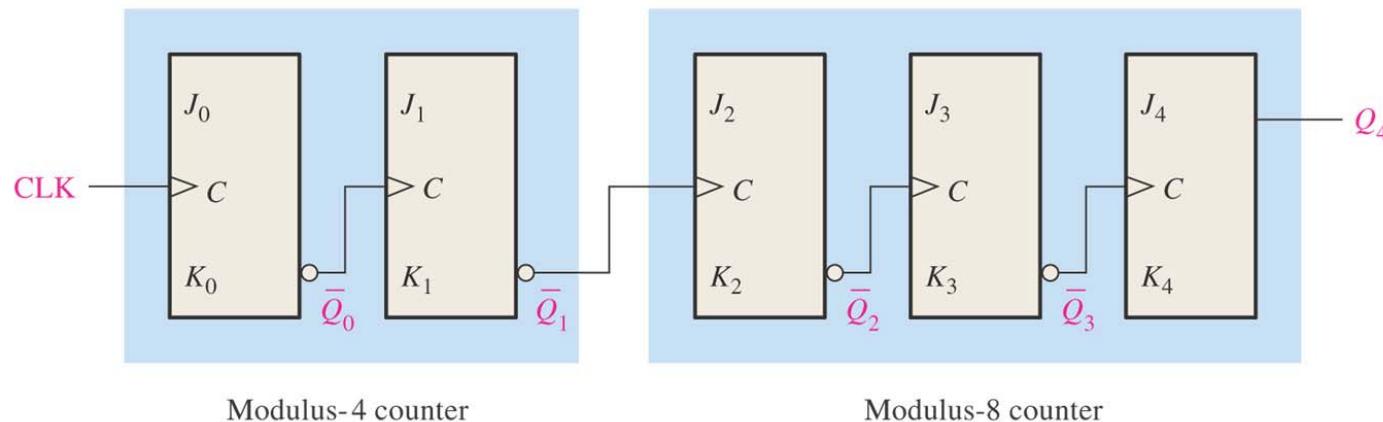
Se utiliza la transición del biestable anterior como señal de reloj del siguiente biestable.

Presenta los retardos correspondientes. El contador resultante es más lento.

Sistemas Secuenciales Síncronos

Contadores: Conexión en cascada

Conexión de contadores de forma asíncrona



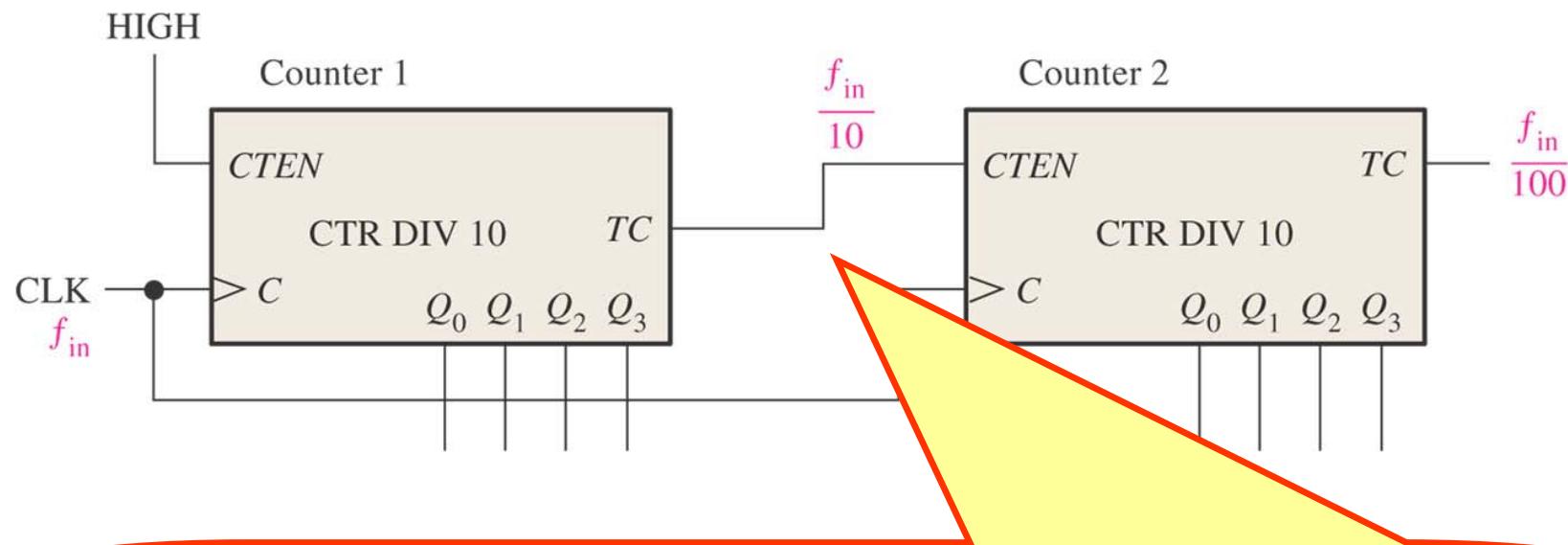
Sistemas Secuenciales Síncronos

Contadores: Conexión en cascada

Conexión de contadores de forma síncrona

Utiliza la misma señal de reloj para todos los contadores

Es la conexión más rápida



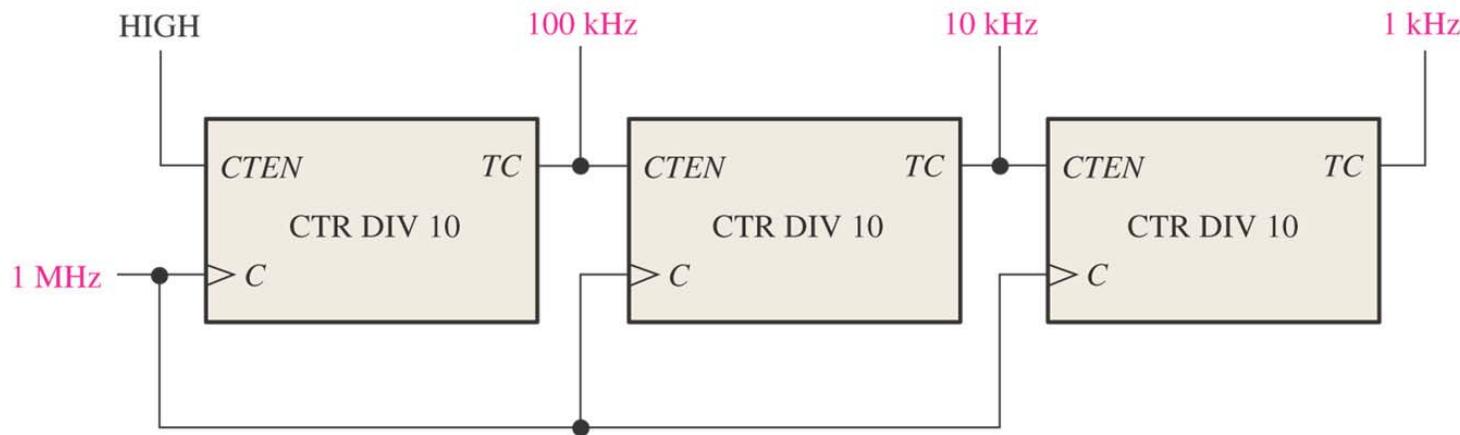
Cuando se llega al último valor del primer contador se activa la salida de fin de cuenta (en el 9 con un contador BCD) de tal forma que habilita el contador siguiente para que al llegar el siguiente flanco de reloj activo el contador siguiente cuente una unidad y se vuelva a deshabilitar. Es el incremento de la siguiente cifra. El primer contador cambiará al inicio de conteo.

Sistemas Secuenciales Síncronos

Contadores: Conexión en cascada

Conexión de contadores de forma síncrona

Utiliza la misma señal de reloj para todos los contadores



Conexión síncrona de tres contadores síncronos de décadas.

Forma un contador BCD de tres cifras decimales.

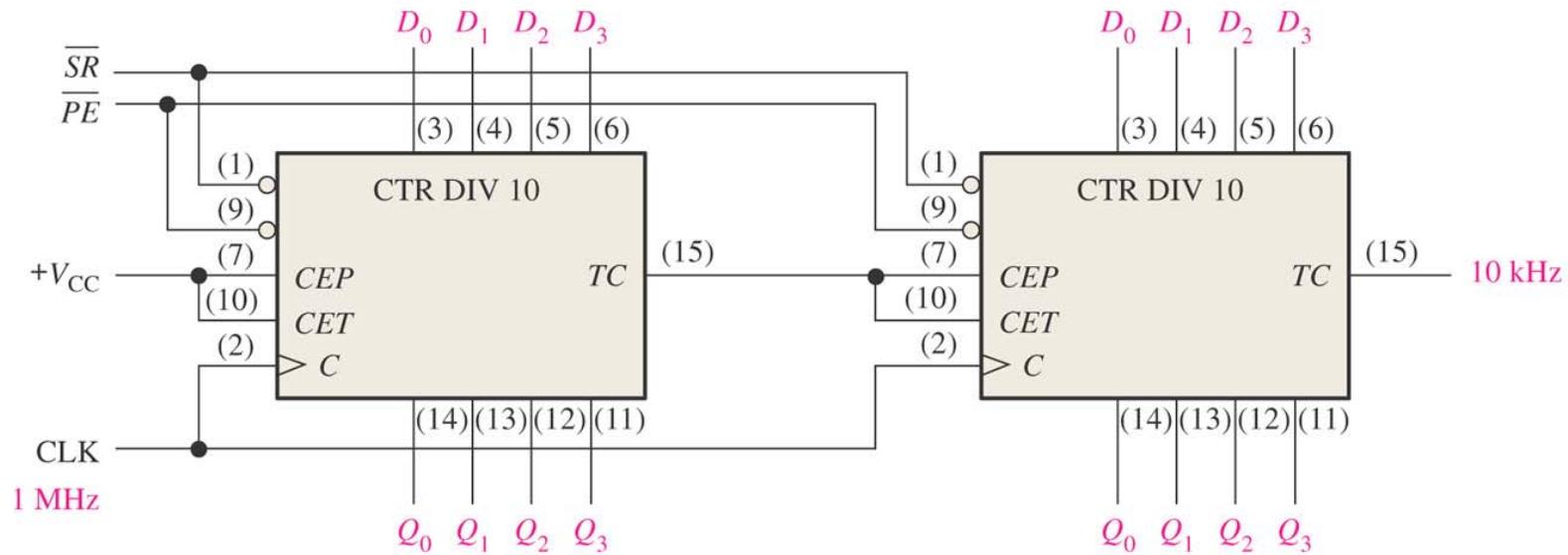
También puede utilizarse como divisor de frecuencia por 10, por 100 y por 1000

Sistemas Secuenciales Síncronos

Contadores: Conexión en cascada

Conexión de contadores de forma síncrona

Utiliza la misma señal de reloj para todos los contadores



Conexión síncrona de dos contadores síncronos de décadas 74x162

Forma un contador BCD de dos cifras decimales.

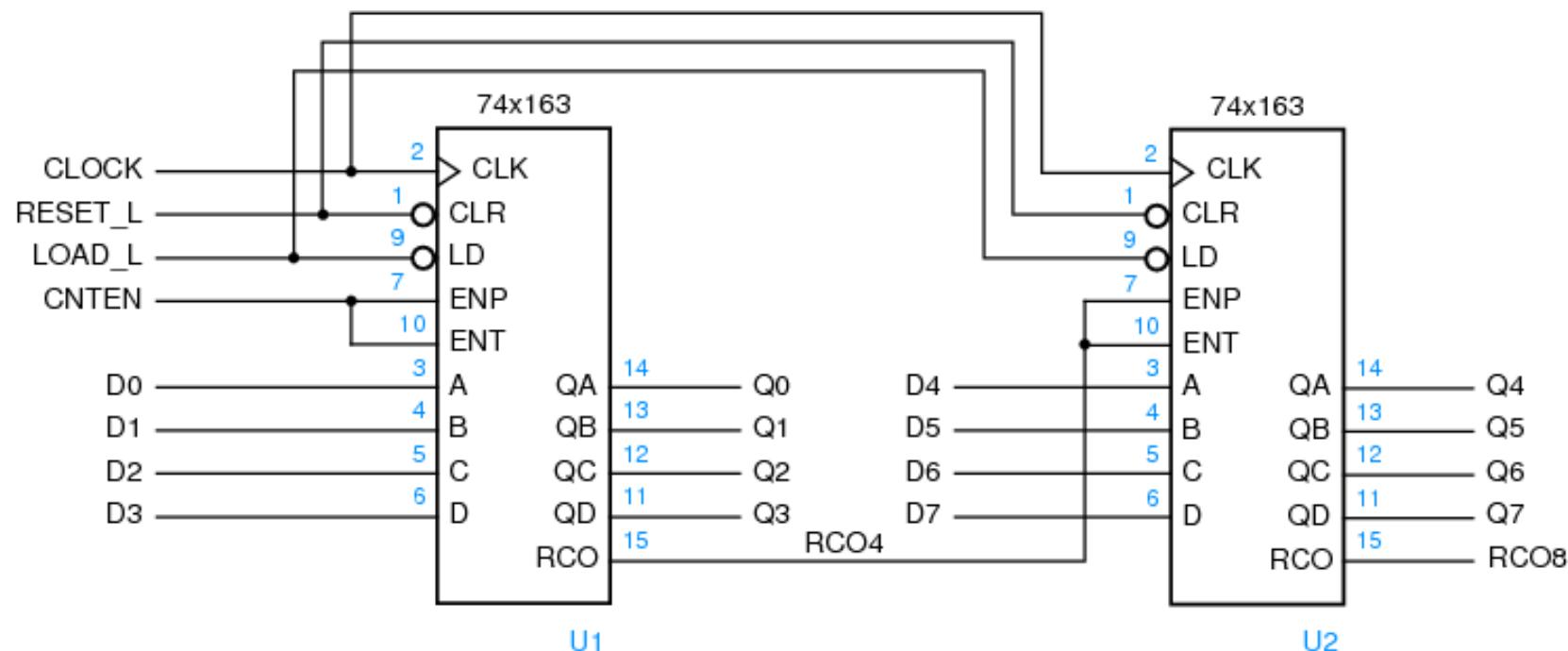
También puede utilizarse como divisor de frecuencia por 10, por 100

Sistemas Secuenciales Síncronos

Contadores: Conexión en cascada

Conexión de contadores de forma síncrona

Utiliza la misma señal de reloj para todos los contadores

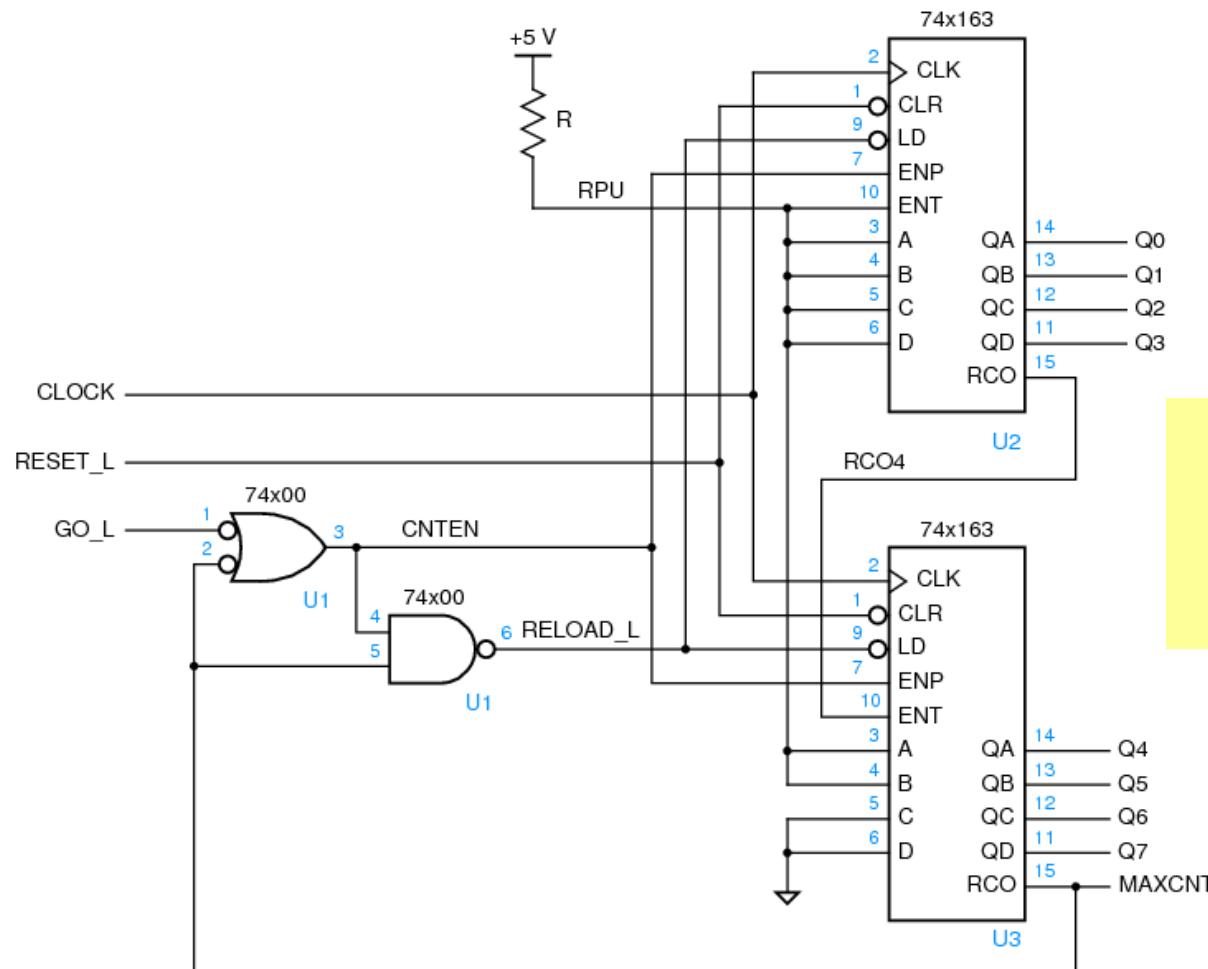


Conexión síncrona de dos contadores síncronos binarios de 4 bits (74x163) para formar un contador binario de 8 bits

Sistemas Secuenciales Síncronos

Contadores: Conexión en cascada. Secuencias truncadas

Se puede cargar un valor inicial en cada contador una vez que se llega al valor de conteo final (cuando se activa la señal de salida de fin de cuenta RCO)

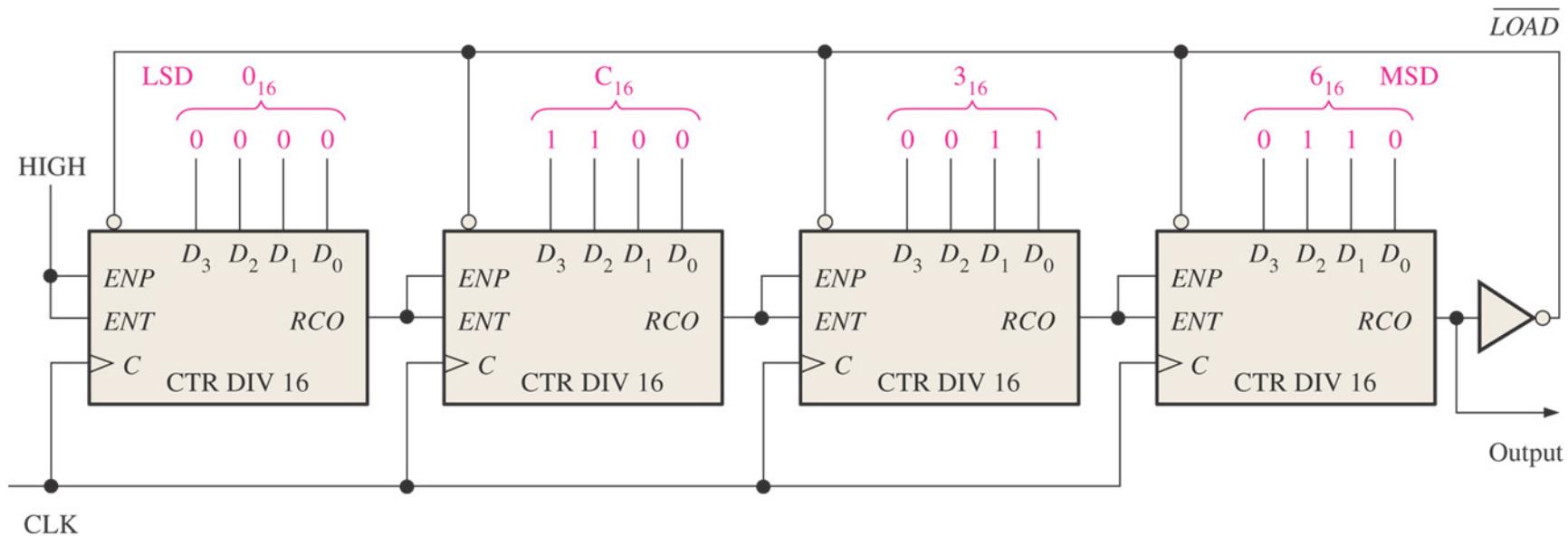


Conexión como contador binario módulo 193 con secuencia de conteo 63, 64, 65,...254, 255, 63, 64, 65, ...

Sistemas Secuenciales Síncronos

Contadores: Conexión en cascada. Secuencias truncadas

Se puede cargar un valor inicial en cada contador una vez que se llega al valor de conteo final (cuando se activa la señal de salida de fin de cuenta RCO)



Conexión síncrona de cuatro contadores síncronos binarios 74x161 para obtener una división de frecuencia por 40000

Con 16 bits se puede contar $2^{16} = 65536$ $40000 = 65536 - 25536$
luego se debe cargar el valor 25536d = 63C0h para que el final de cuenta se produzca al cabo de 40000 flancos o pulsos.

Sistemas Secuenciales Síncronos

Contadores: Decodificación de estados de contador

En algunas aplicaciones puede utilizarse un contador combinado con un decodificador para obtener un conjunto de señales codificadas de 1 a m (o de 0 a m-1), o simplemente alguna de estas señales.

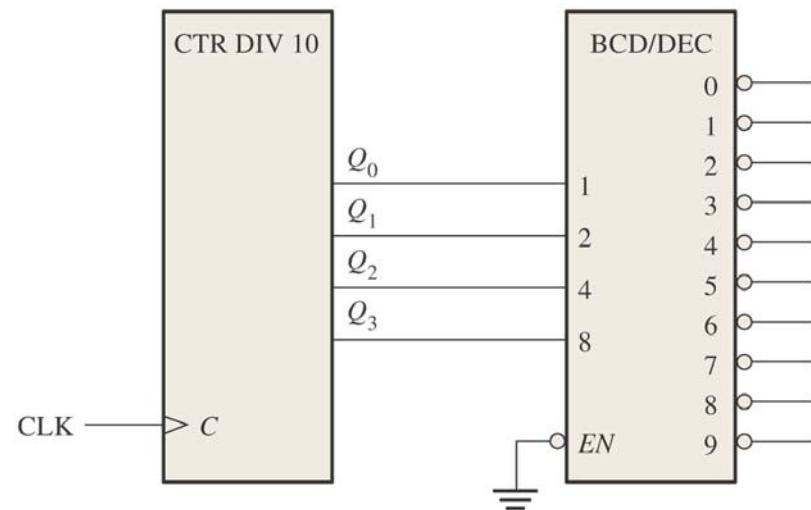
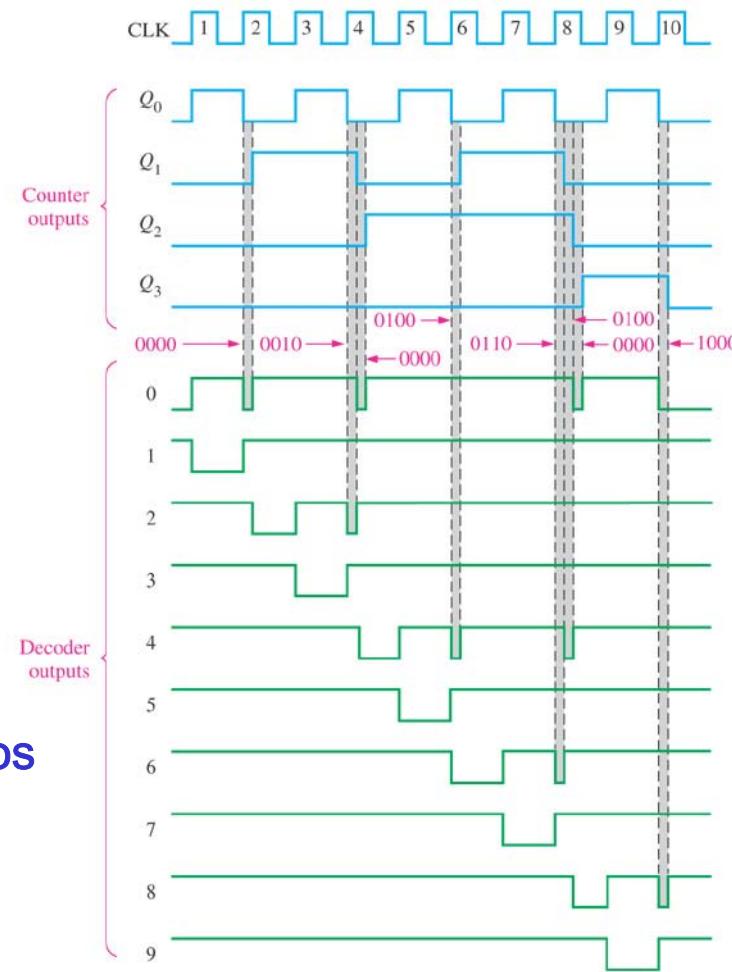


Diagrama de temporización y **glitches** (interferencias) producidas en los cambios de estados (**representación exagerada**).

Se presenta más marcado en los contadores asíncronos



Sistemas Secuenciales Síncronos

Contadores: Decodificación de estados de contador

En algunas aplicaciones puede utilizarse un contador combinado con un decodificador para obtener un conjunto de señales codificadas de 1 a m (o de 0 a m-1), o simplemente alguna de estas señales.

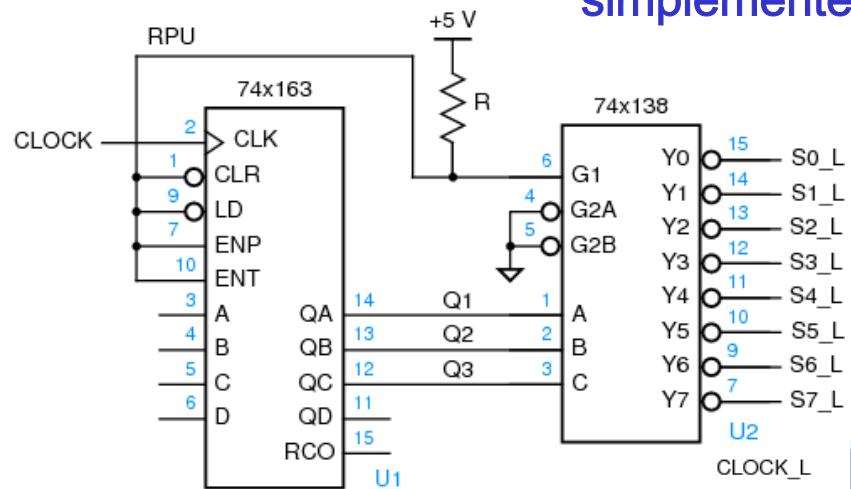
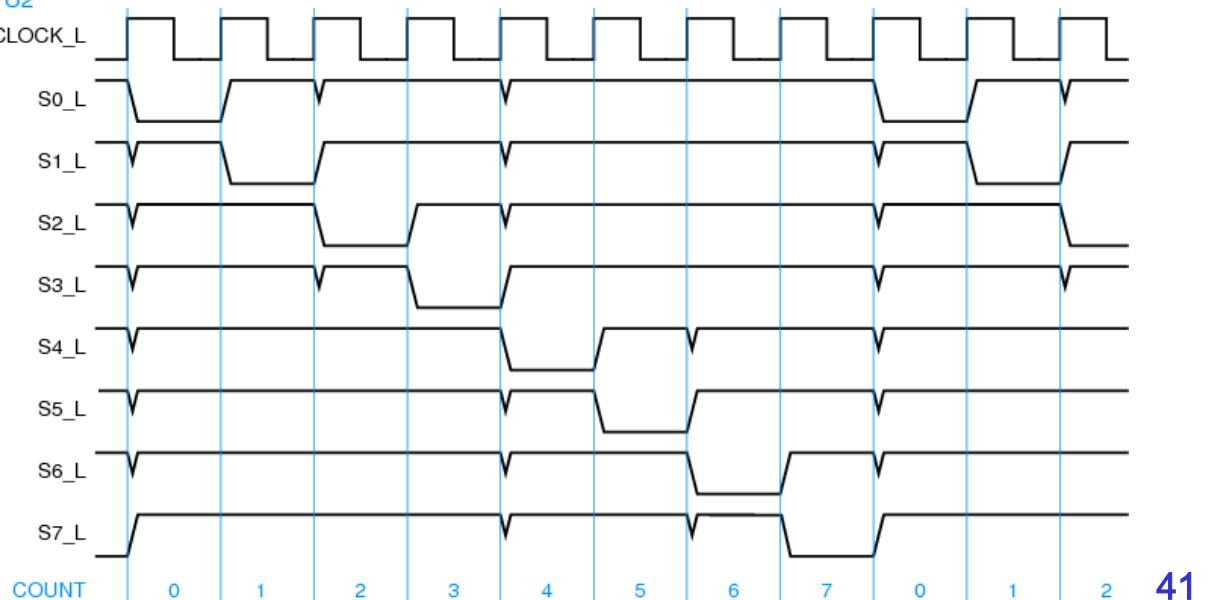


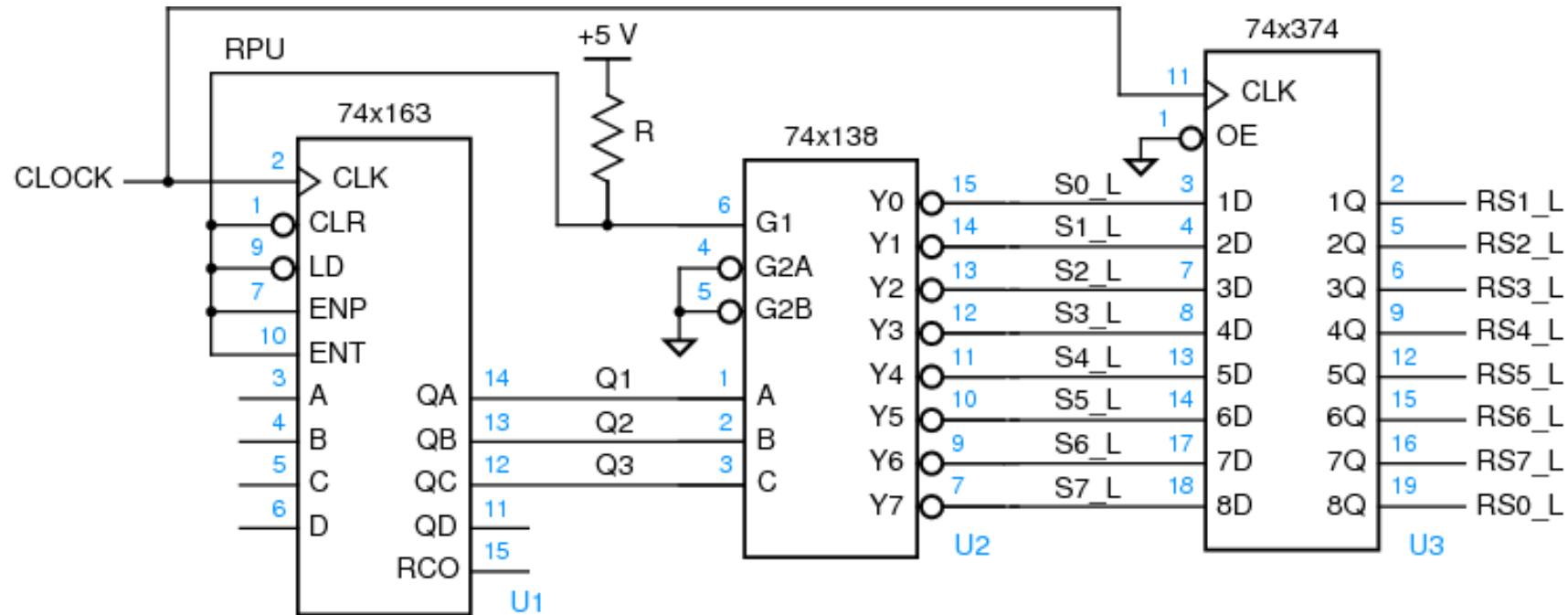
Diagrama de temporización y glitches
(interferencias) producidas en los cambios
de estados (representación exagerada)



Sistemas Secuenciales Síncronos

Contadores: Decodificación de estados de contador

Eliminación de glitches

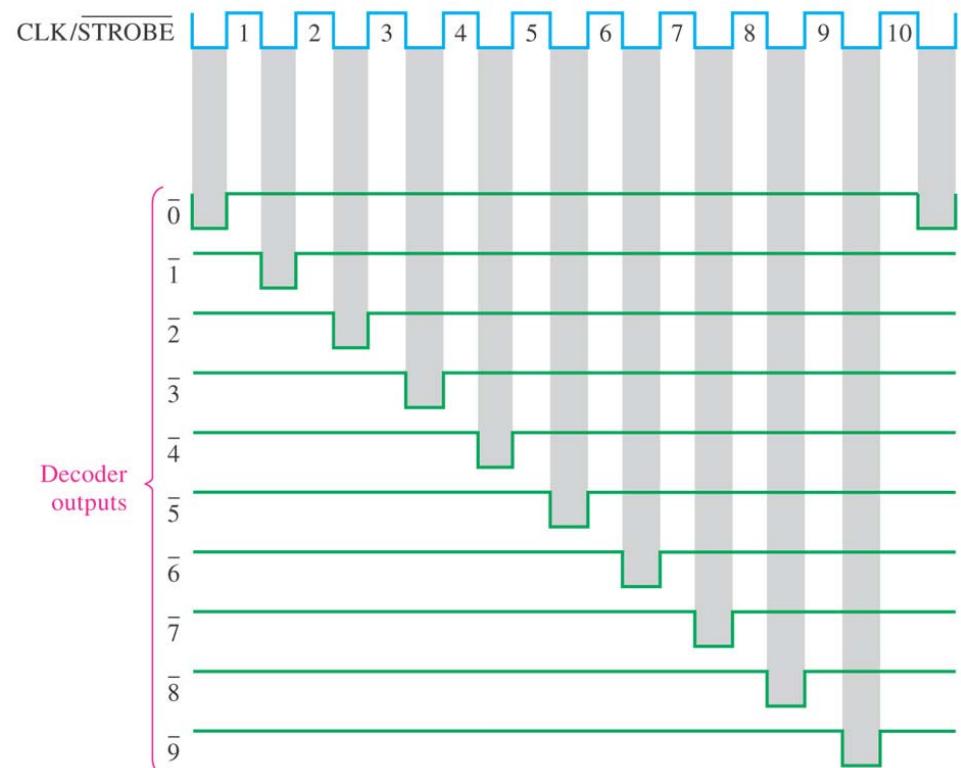
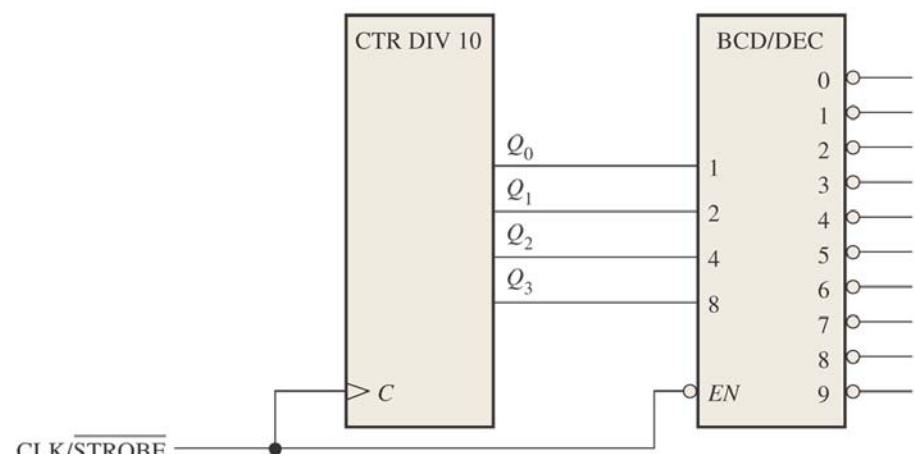


Se puede utilizar un registro múltiple (óctuple en la figura) para enclavar el valor de las salidas del decodificador en el flanco activo del sistema, evitando que se refleje en la salida del sistema las interferencias o glitches.

Se debe considerar los tiempos de establecimiento y mantenimiento de los biestables del registro múltiple (no suele dar problemas)

Sistemas Secuenciales Síncronos

Contadores: Decodificación de estados de contador Eliminación de glitches

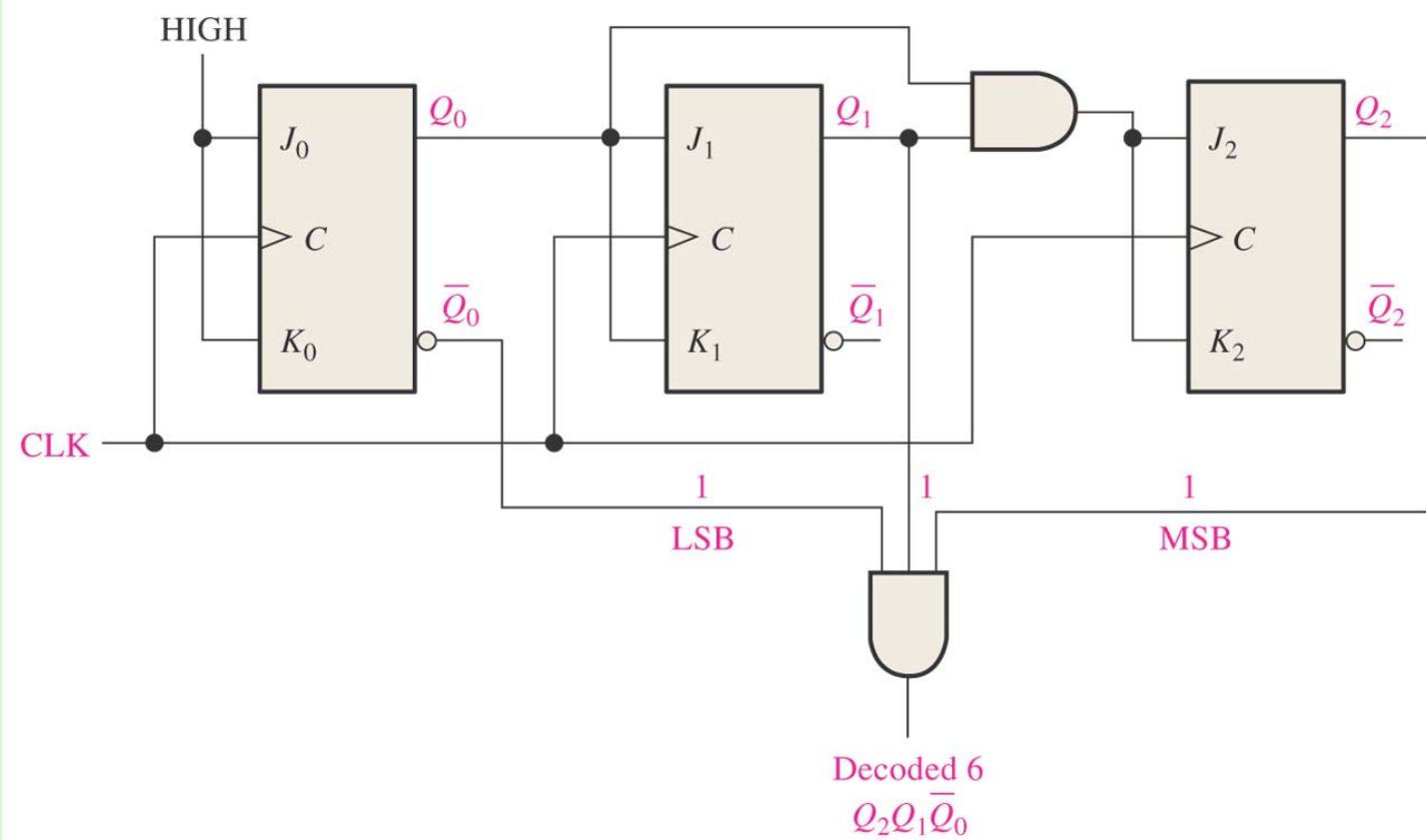


Otra posibilidad de eliminación de glitches es decodificar manteniendo la salida activa, solo durante un nivel (bajo o alto, bajo en la figura) de la señal de reloj.

Sistemas Secuenciales Síncronos

Contadores: Decodificación de estados de contador

La decodificación puede realizarse mediante lógica y solo de uno o varios estados.

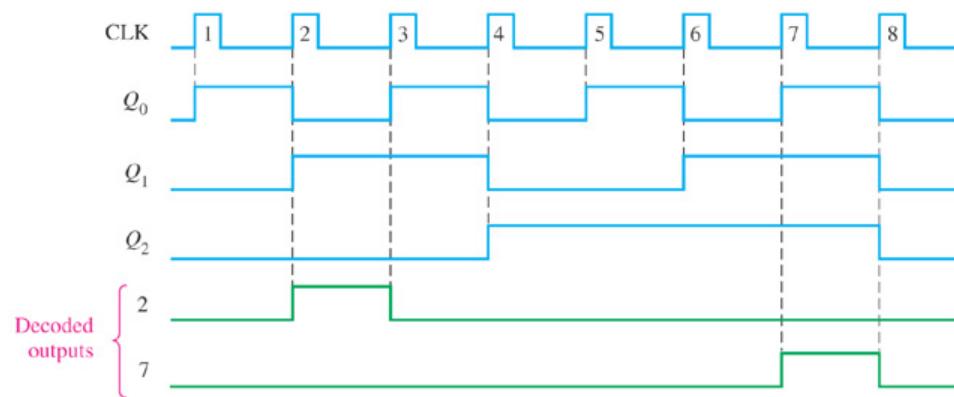
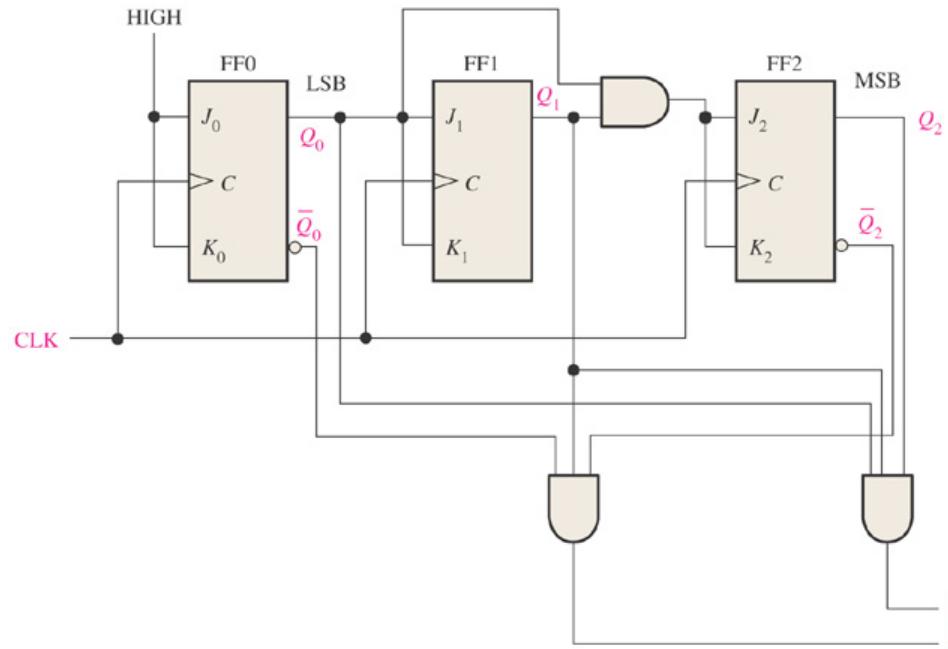


Decodificación del estado 6

Sistemas Secuenciales Síncronos

Contadores: Decodificación de estados de contador

La decodificación puede realizarse mediante lógica y solo de uno o varios estados.

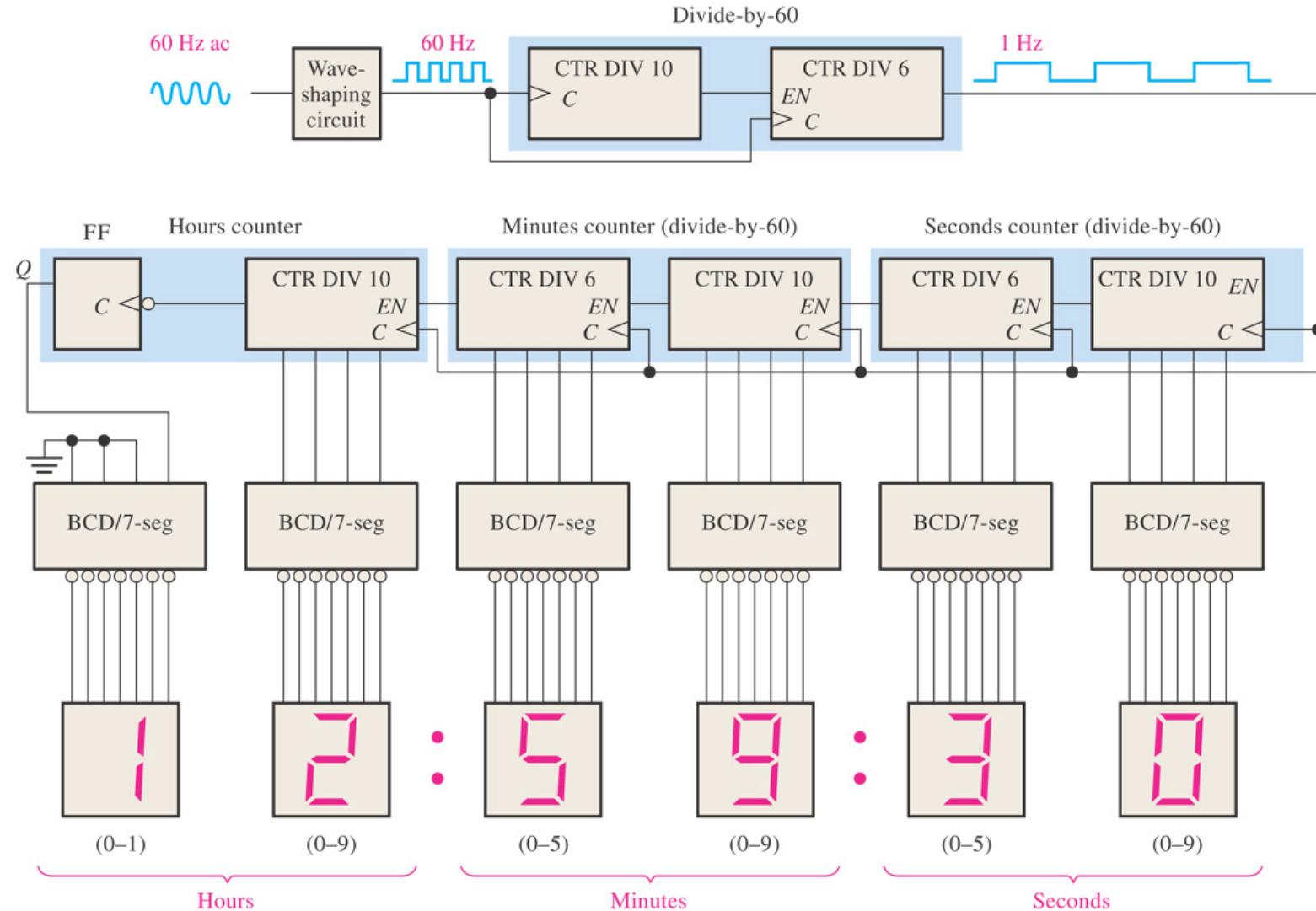


Decodificación de los estados 2 y 7

Sistemas Secuenciales Síncronos

Contadores: EJEMPLOS DE APLICACIÓN

RELOJ DIGITAL DE 12 HORAS



Sistemas Secuenciales Síncronos

Contadores: EJEMPLOS DE APLICACIÓN

RELOJ DIGITAL DE 12 HORAS

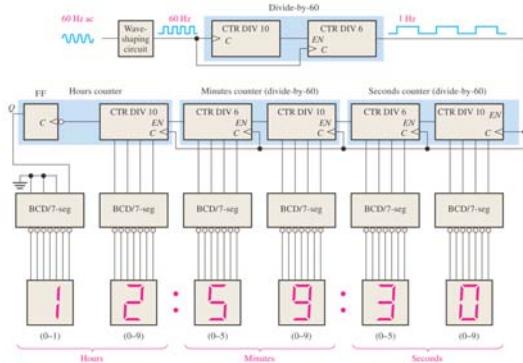
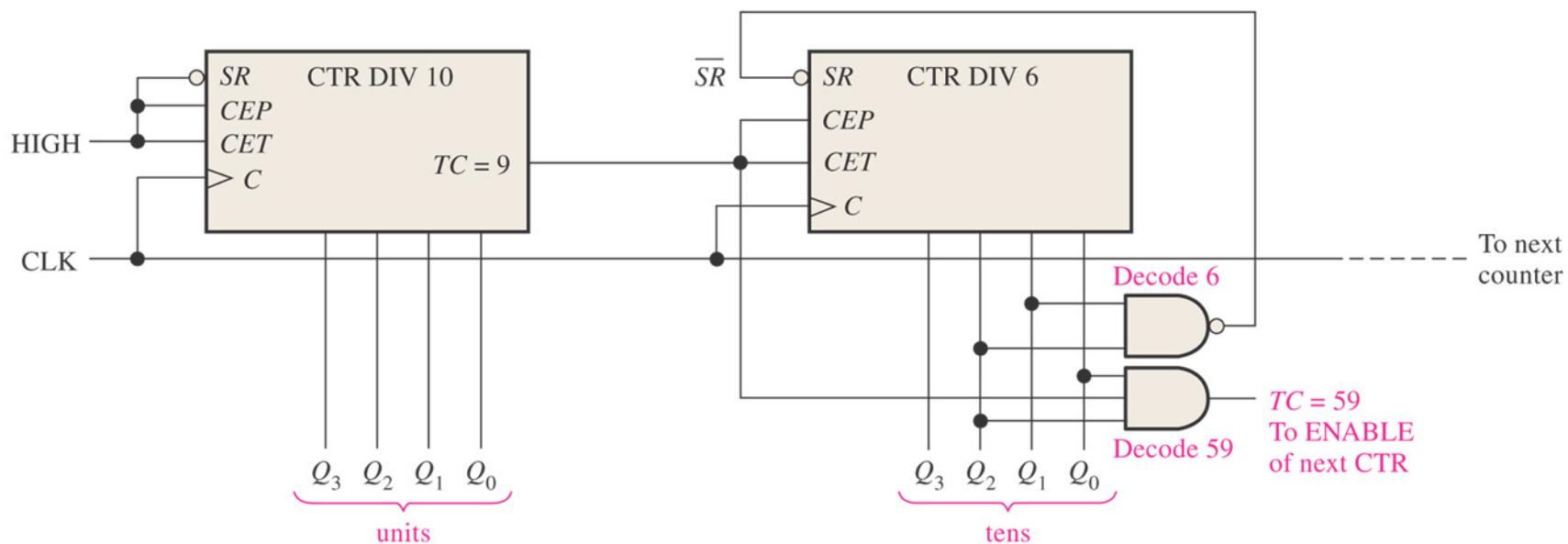


Diagrama lógico de conexión de un divisor por 60 utilizando dos contadores de décadas BCD 74x162 conectados en cascada de forma síncrona.



Sistemas Secuenciales Síncronos

Contadores: EJEMPLOS DE APLICACIÓN

RELOJ DIGITAL DE 12 HORAS

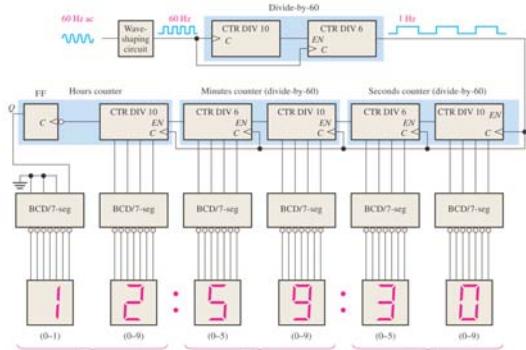
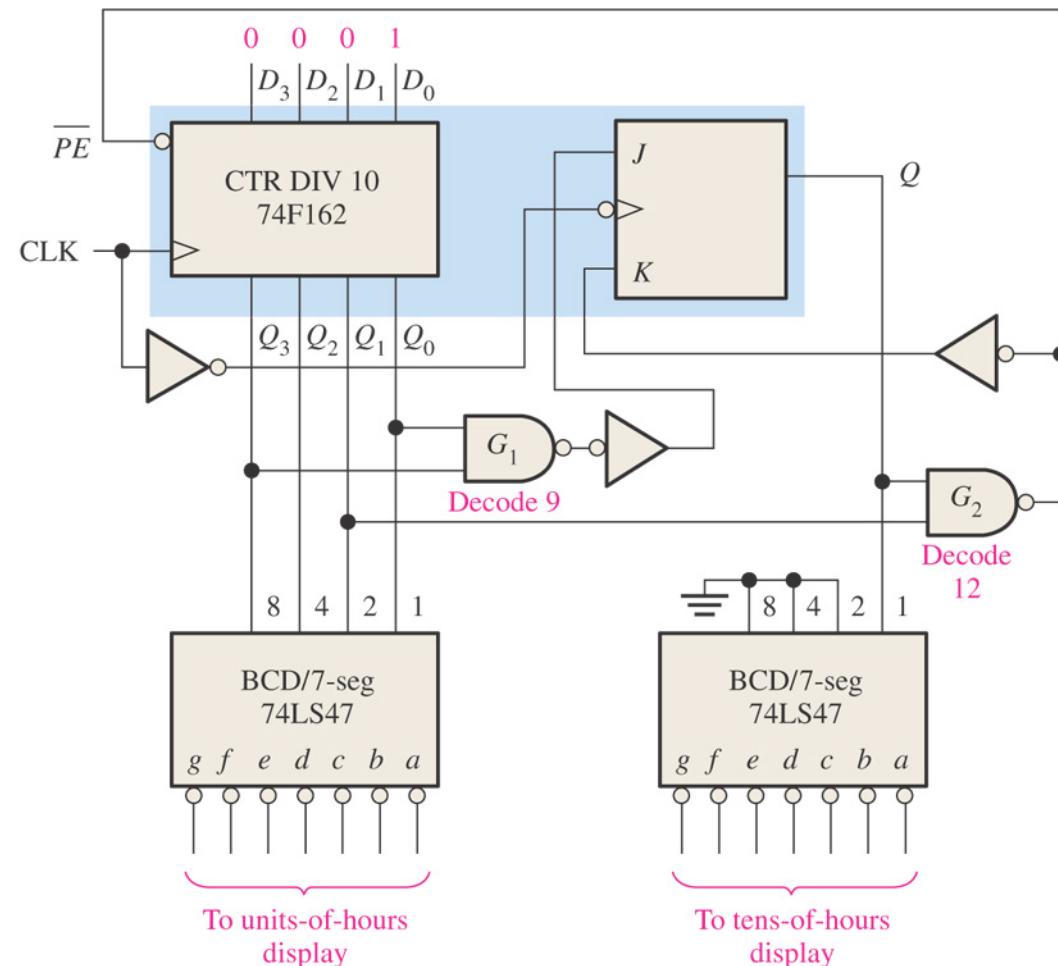


Diagrama lógico de conexión del divisor por 12 y de los decodificadores BCD a 7 segmentos para los visualizadores de las horas.



Sistemas Secuenciales Síncronos

Contadores: EJEMPLOS DE APLICACIÓN

SISTEMA DE CONTROL DE ENTRADA-SALIDA y ESTADO (para aparcamiento 100 coches de capacidad, por ejemplo)

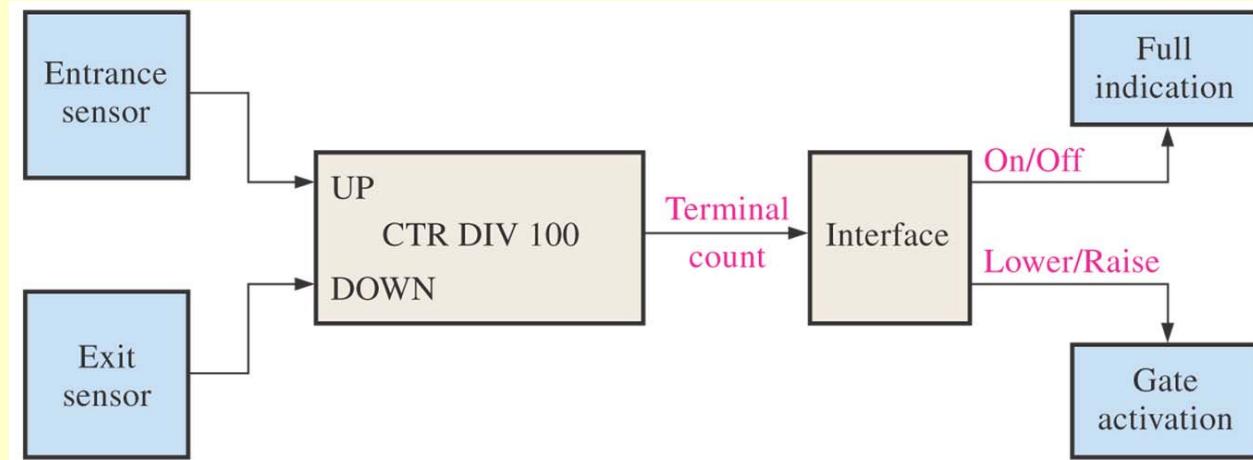
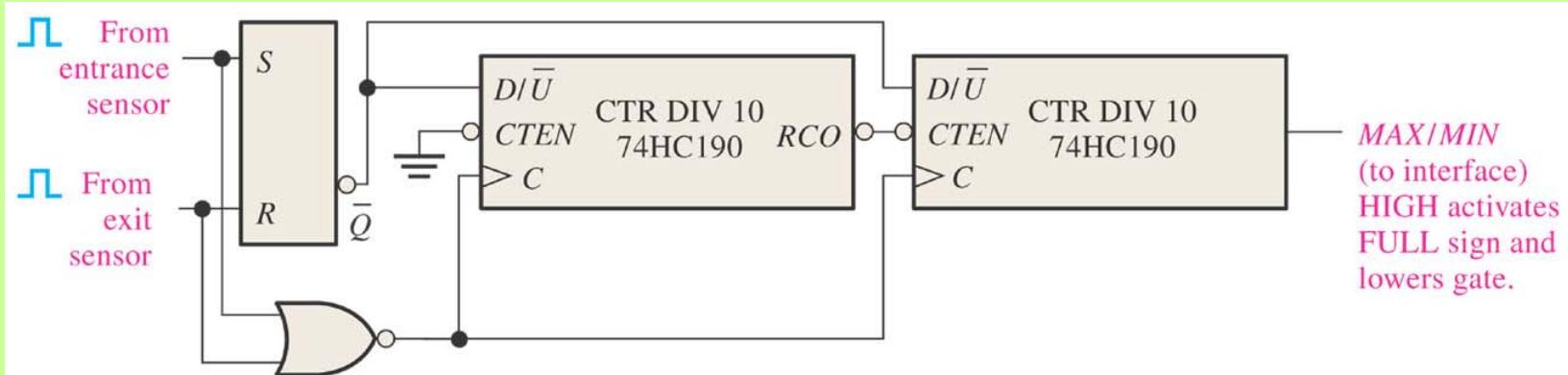


Diagrama de bloques general

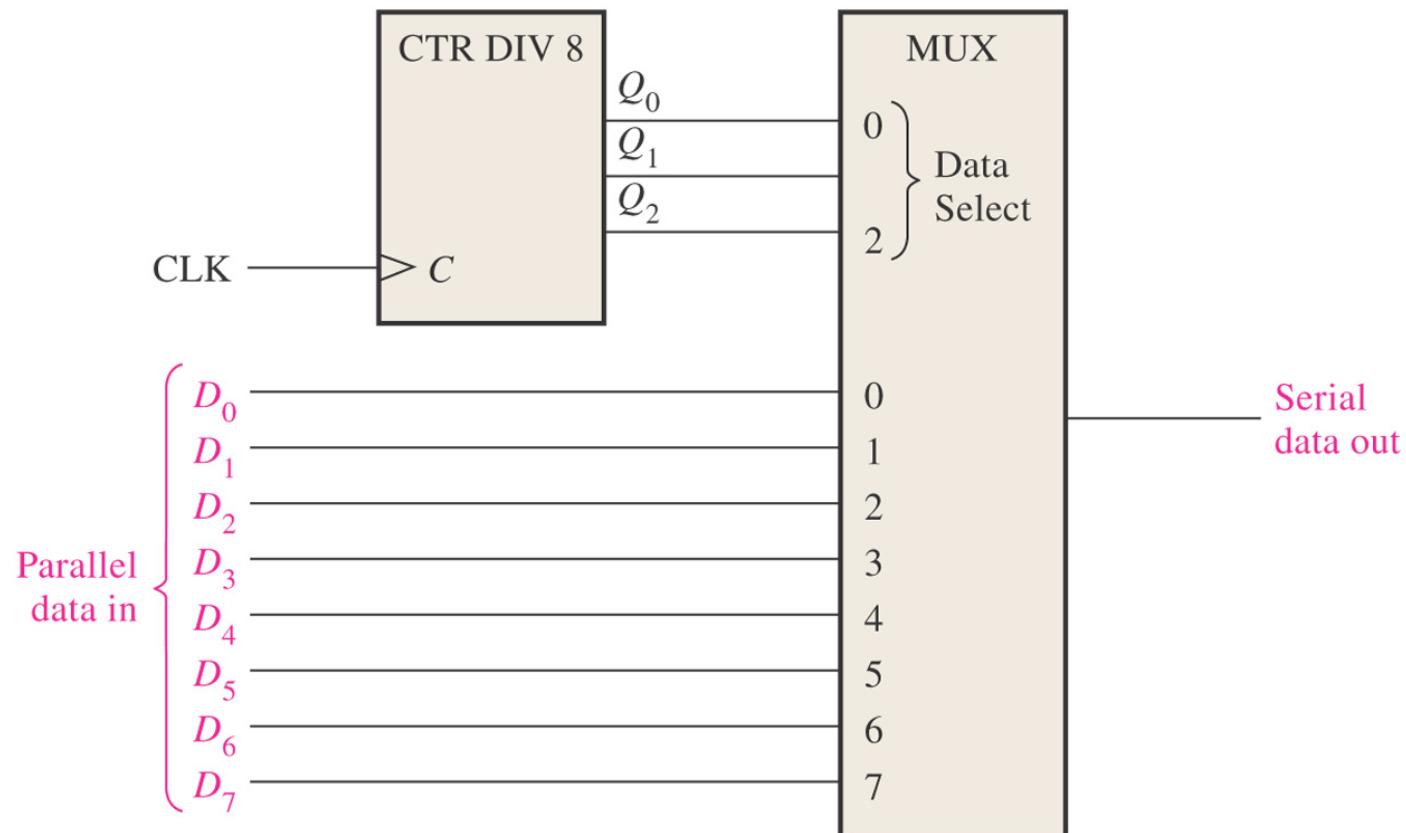


MAX/MIN
(to interface)
HIGH activates
FULL sign and
lowers gate.

Sistemas Secuenciales Síncronos

Contadores: EJEMPLOS DE APLICACIÓN

Conversión de datos paralelo-serie



Sistemas secuenciales

Registros de desplazamiento

Sistemas Secuenciales Síncronos

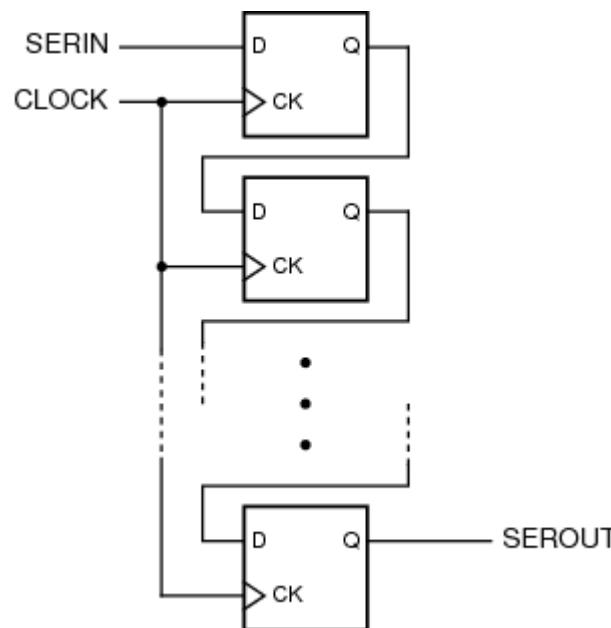
Registros de desplazamiento : Definición

Definición: Son sistemas formados por varios registros D de tal forma que la salida de uno es la entrada de dato del siguiente.

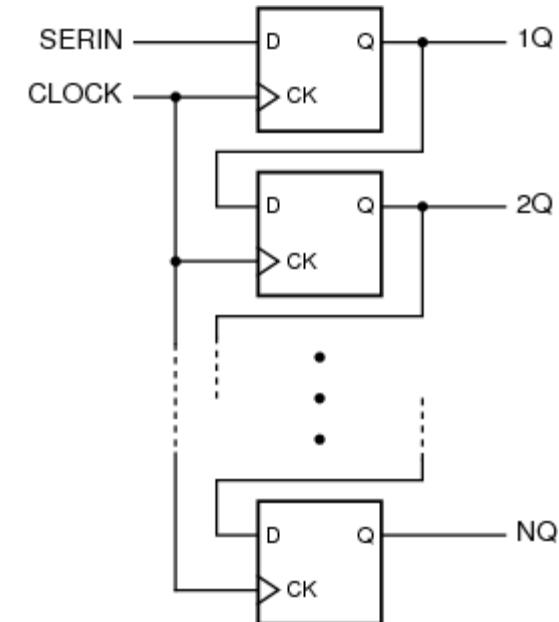
La señal de reloj es común para todos los biestables D.

A cada flanco de reloj activo, se copiará en cada biestable la salida del anterior biestable, teniendo una sensación de desplazamiento de los bits que van introduciéndose por el primer biestable

Corresponde a circuitos secuenciales síncronos cuyo diagrama de estados es un círculo cerrado de estados tipo Moore (las salidas coinciden con las variables de estado)



Las figuras muestran sistemas con entrada serie (por la entrada de dato del primer biestable) y salida serie (por la salida del último biestable) o salida paralelo (por todos los biestables) respectivamente.

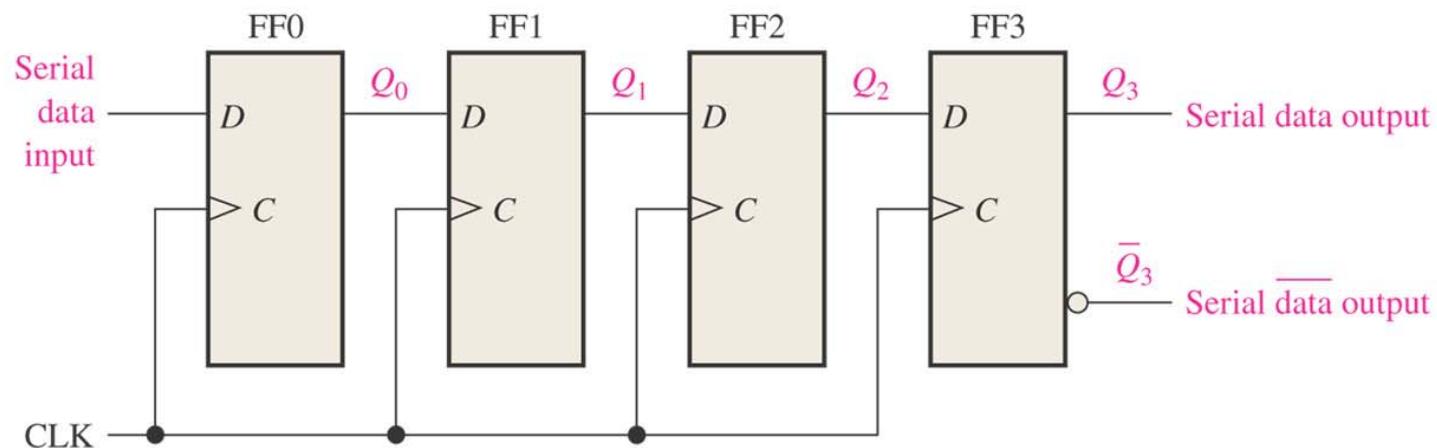
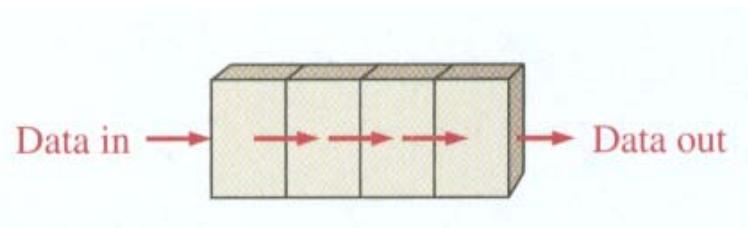


Sistemas Secuenciales Síncronos

Registros de desplazamiento

Entrada serie – Salida serie

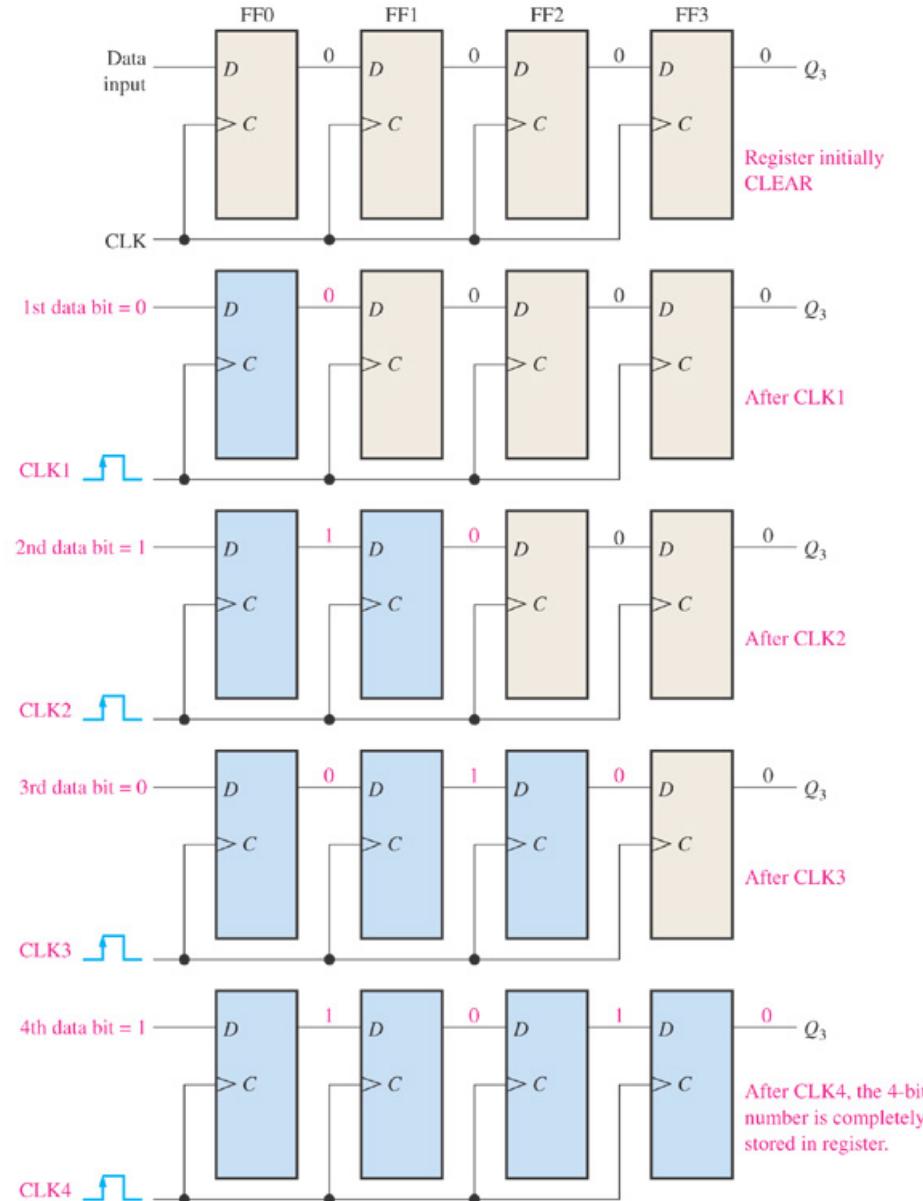
La salida aparecerá al cabo de 4 flancos activos de reloj



Sistemas Secuenciales Síncronos

Registros de desplazamiento Entrada serie – Salida serie

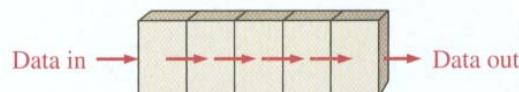
La salida aparecerá al
cabo de 4 flancos activos
de reloj



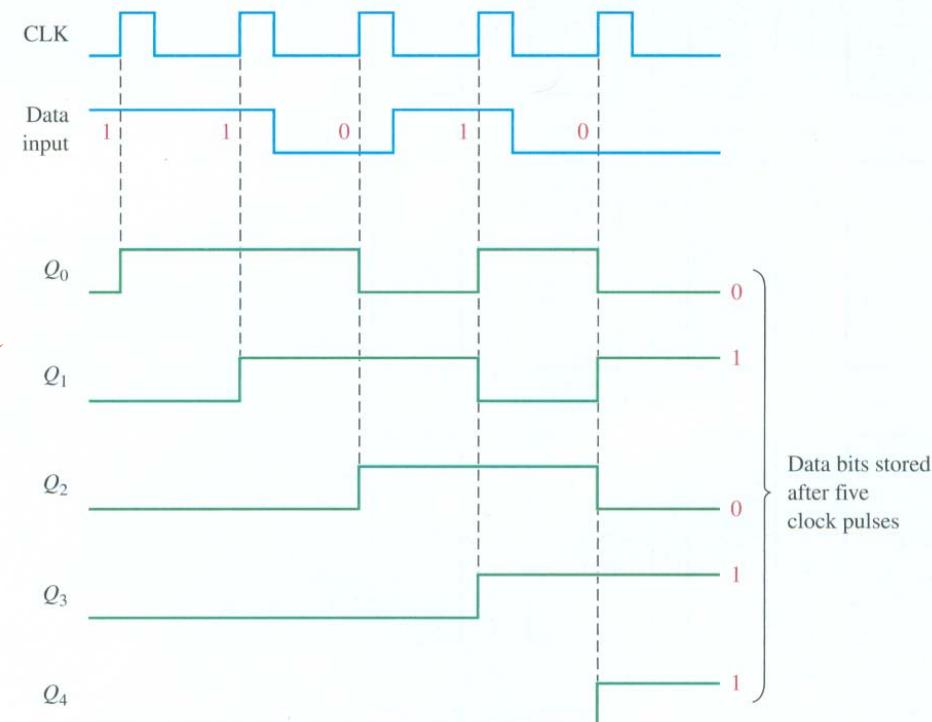
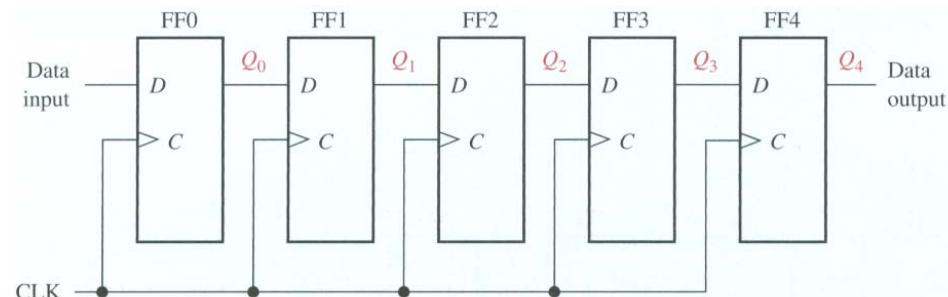
Sistemas Secuenciales Síncronos

Registros de desplazamiento Entrada serie – Salida serie

Versión con 5 biestables D
Diagrama de tiempos resultante



Se parte de que
inicialmente están
todos los
biestables a 0

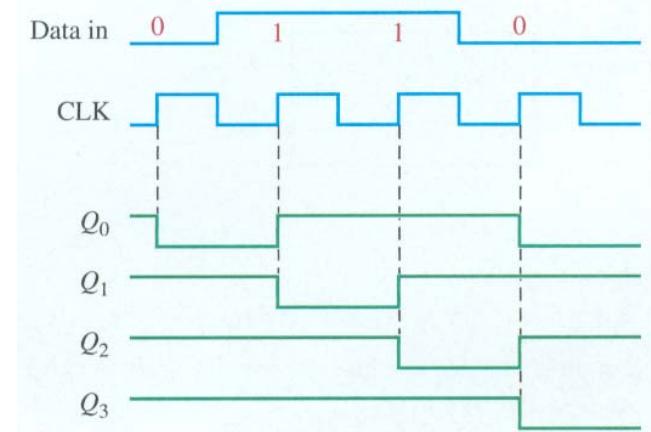
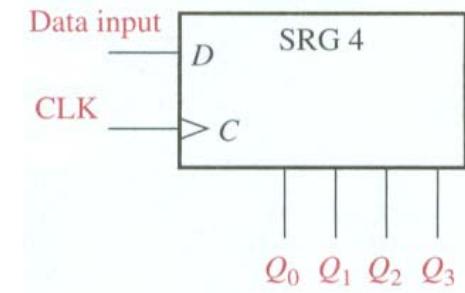
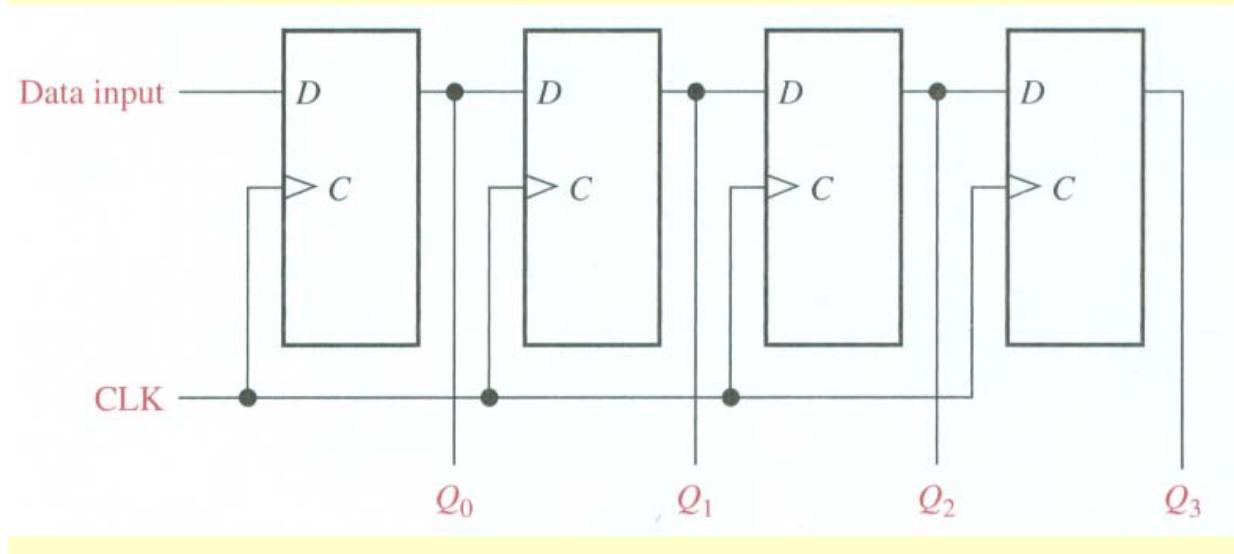
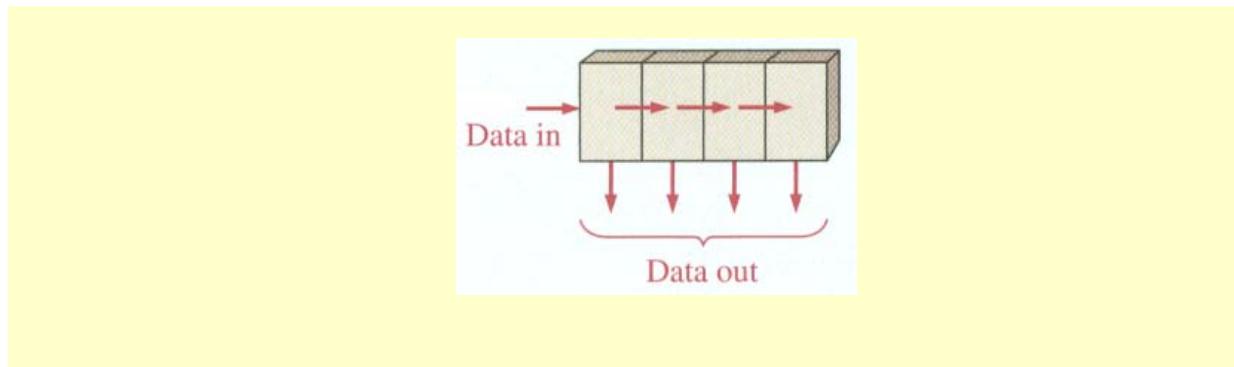


Sistemas Secuenciales Síncronos

Registros de desplazamiento

Entrada serie – Salida paralelo

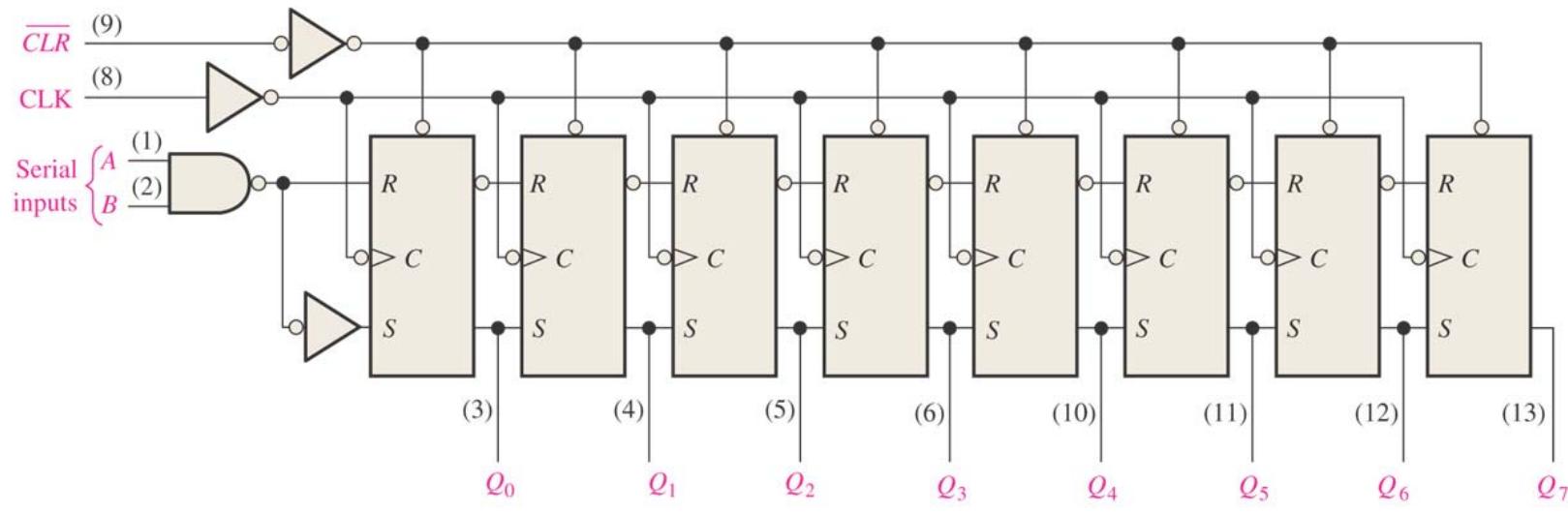
La salida está formada por todas las salidas de los biestables.



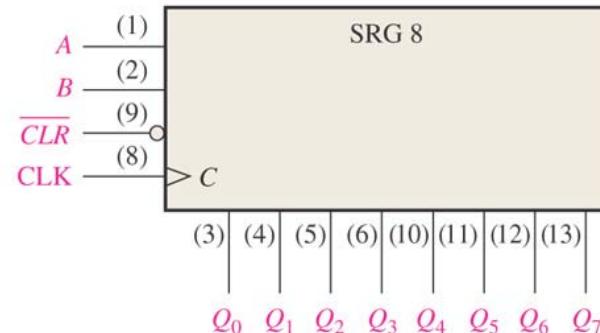
Sistemas Secuenciales Síncronos

Registro de desplazamiento MSI

Entrada serie – Salida paralelo de 8 bits 74x164



(a) Logic diagram

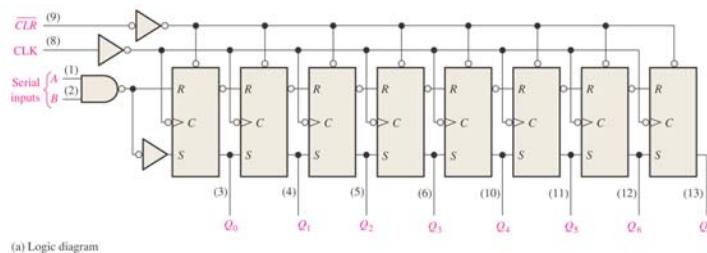


(b) Logic symbol

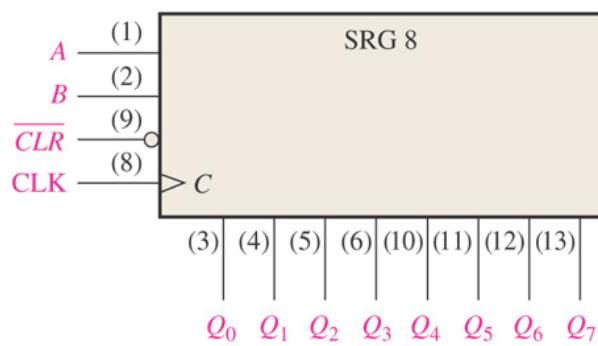
Sistemas Secuenciales Síncronos

Registro de desplazamiento MSI

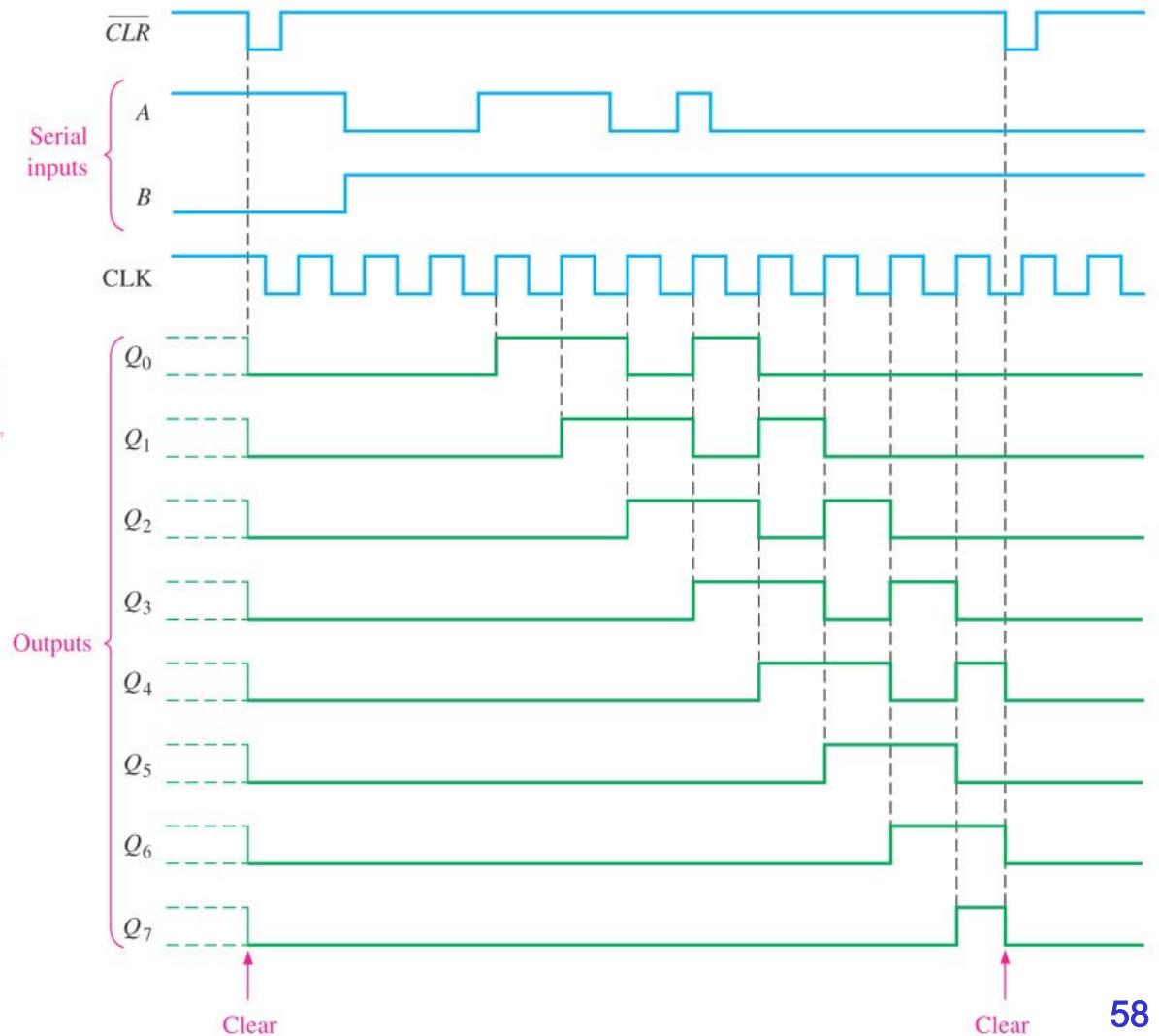
Entrada serie – Salida paralelo de 8 bits 74x164



(a) Logic diagram



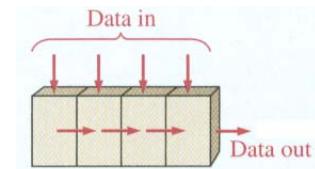
(b) Logic symbol



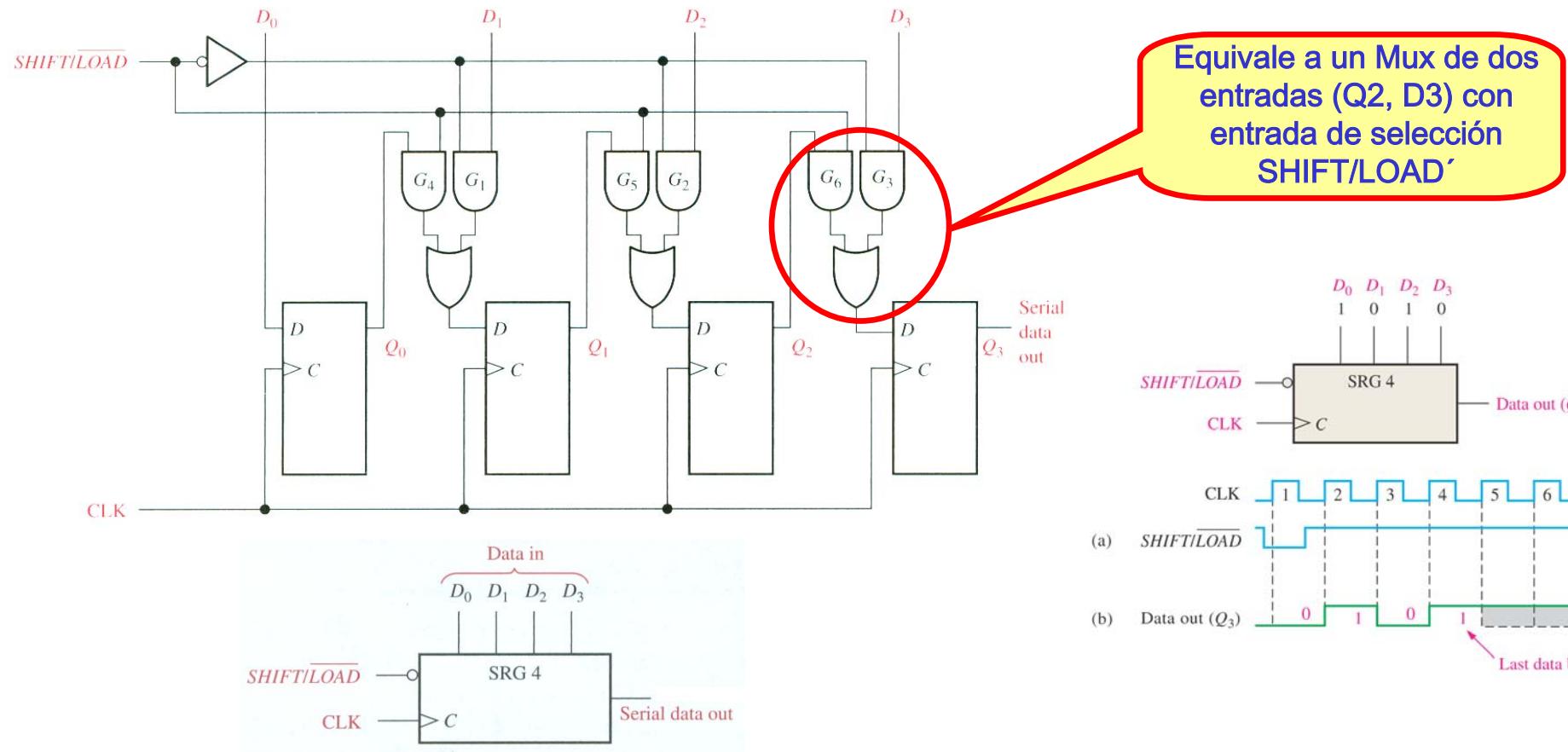
Sistemas Secuenciales Síncronos

Registros de desplazamiento

Entrada paralelo – Salida serie



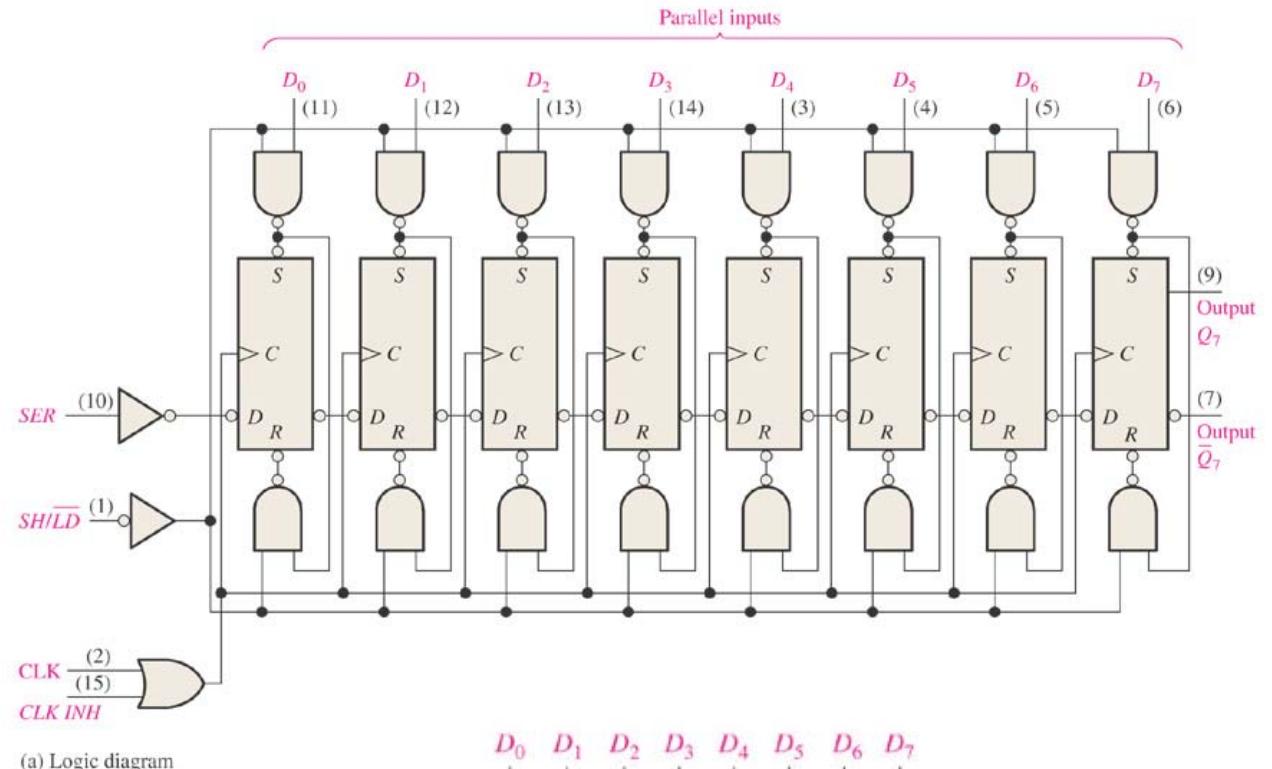
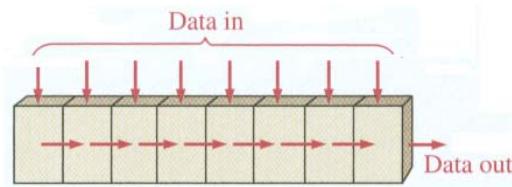
La entrada a cada biestable puede ser o bien por un dato de entrada (entrada paralelo) o por la salida del biestable anterior (registro de desplazamiento) seleccionándose una o la otra mediante la señal SHIFT/LOAD'.



Sistemas Secuenciales Síncronos

Registro de desplazamiento MSI

Entrada paralelo – Salida serie de 8 bits 74x165



(a) Logic diagram

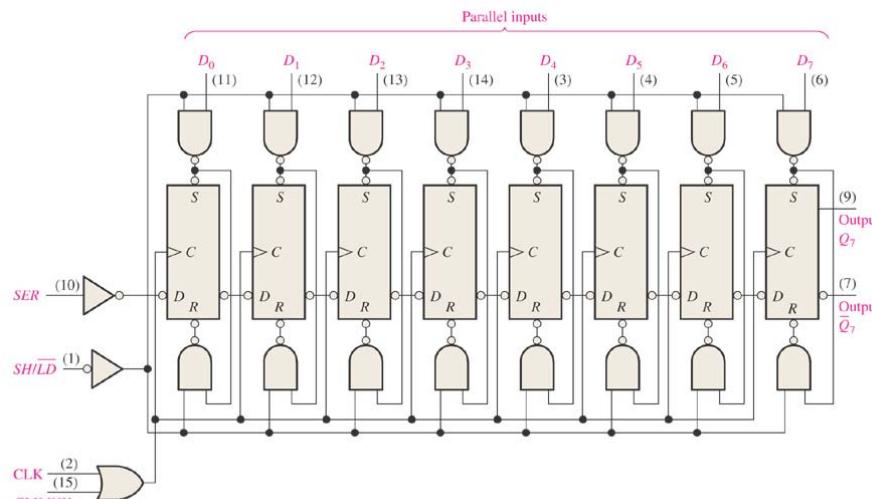


(b) Logic symbol

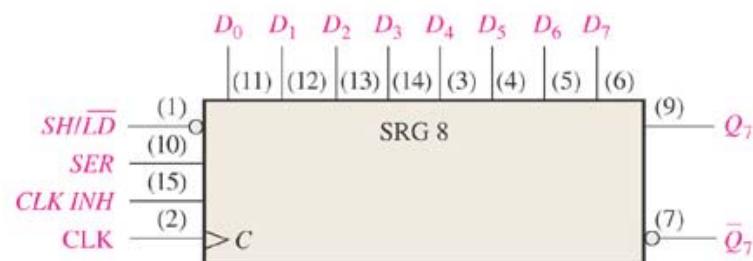
Sistemas Secuenciales Síncronos

Registro de desplazamiento MSI

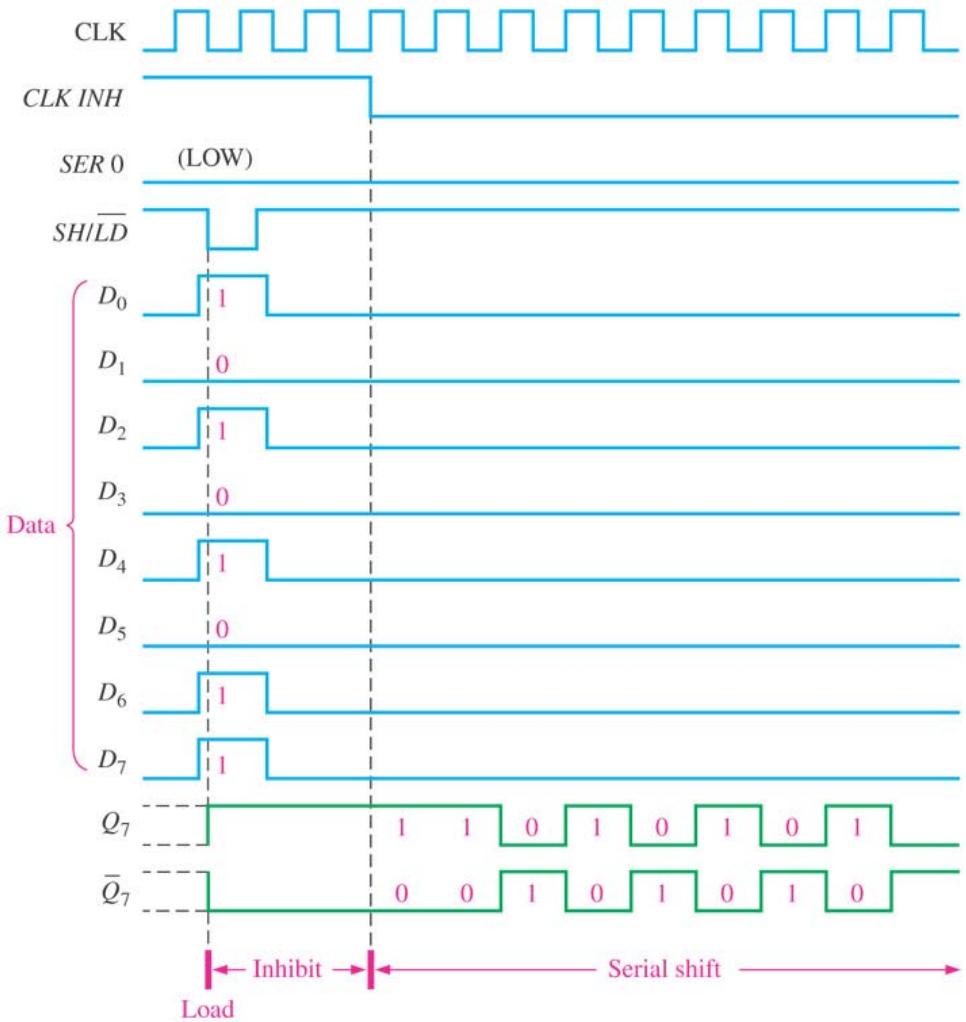
Entrada paralelo – Salida serie de 8 bits 74x165



(a) Logic diagram



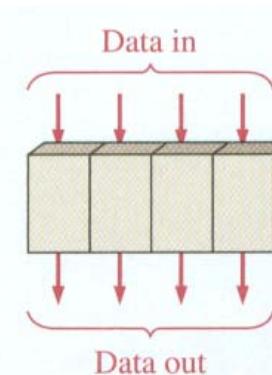
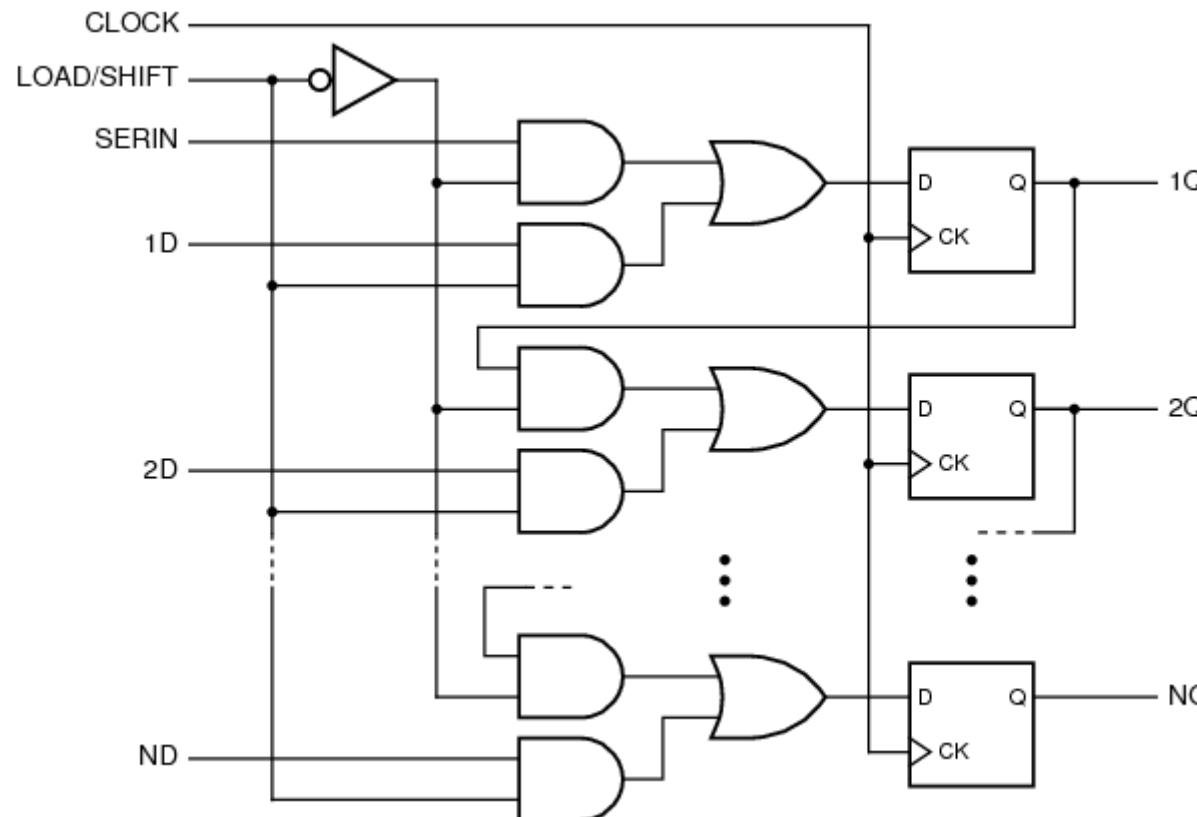
(b) Logic symbol



Sistemas Secuenciales Síncronos

Registros de desplazamiento

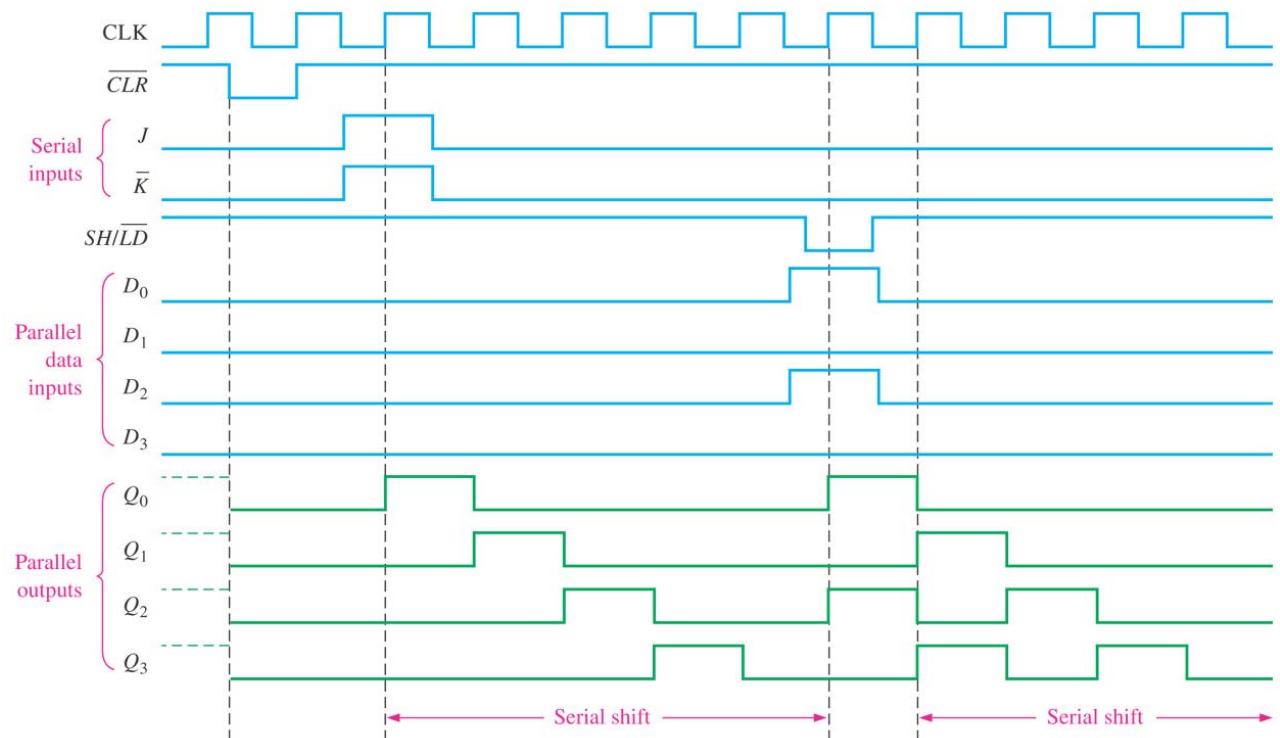
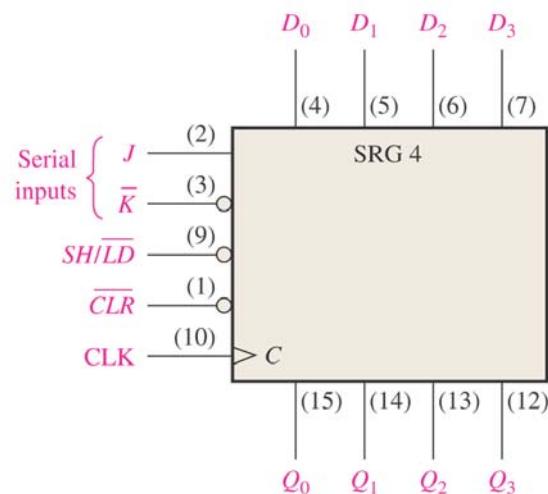
Entrada paralelo – Salida paralelo



Sistemas Secuenciales Síncronos

Registro de desplazamiento MSI

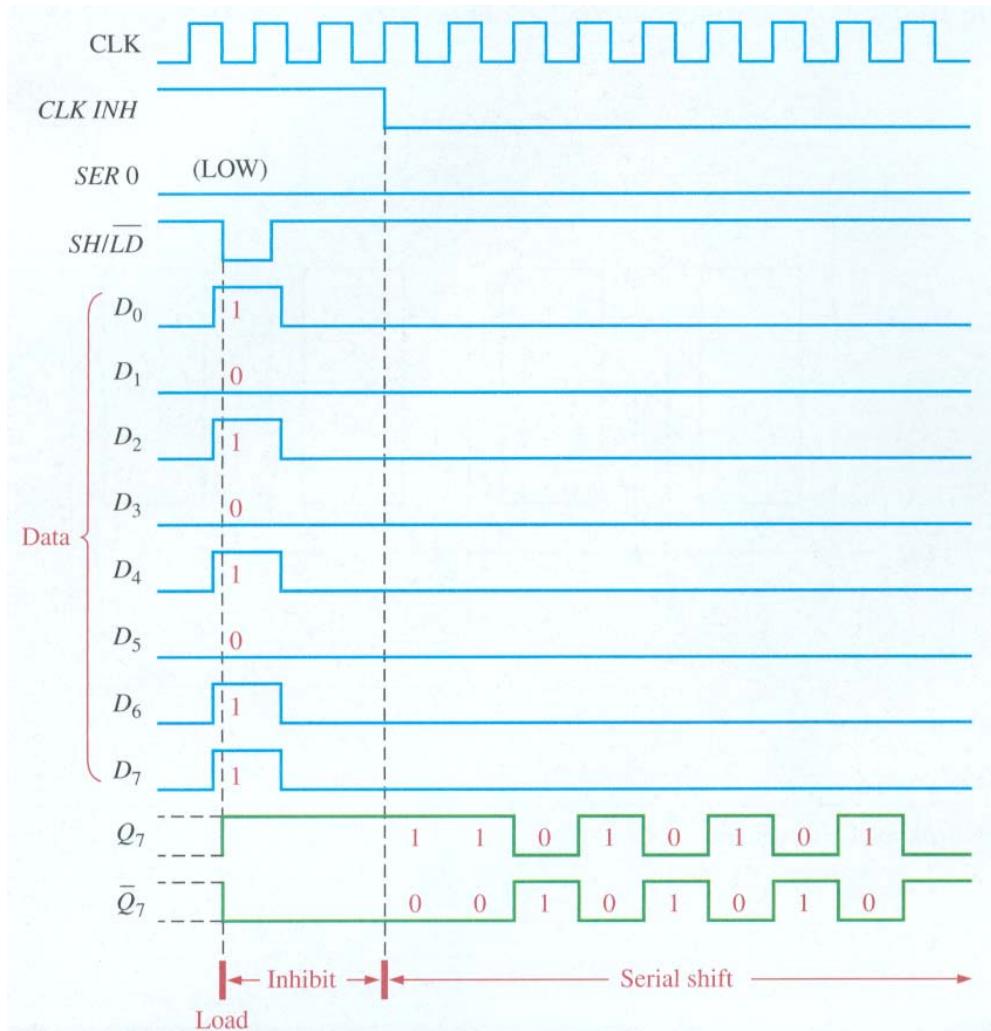
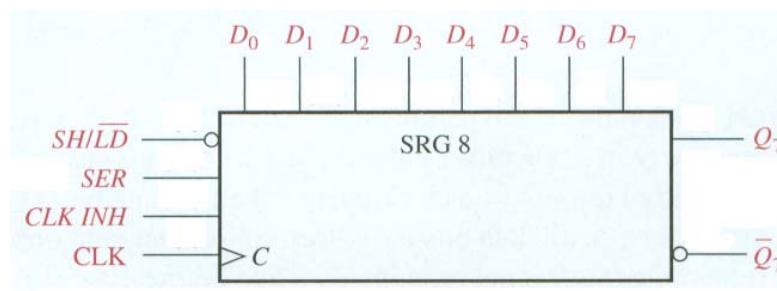
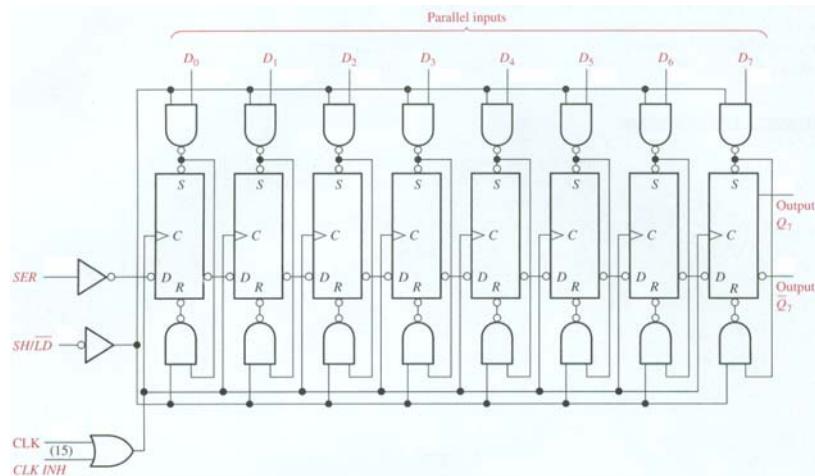
Entrada paralelo – Salida paralelo de 4 bits 74x195



Sistemas Secuenciales Síncronos

Registro de desplazamiento MSI

Entrada paralelo – Salida serie de 8 bits 74x165



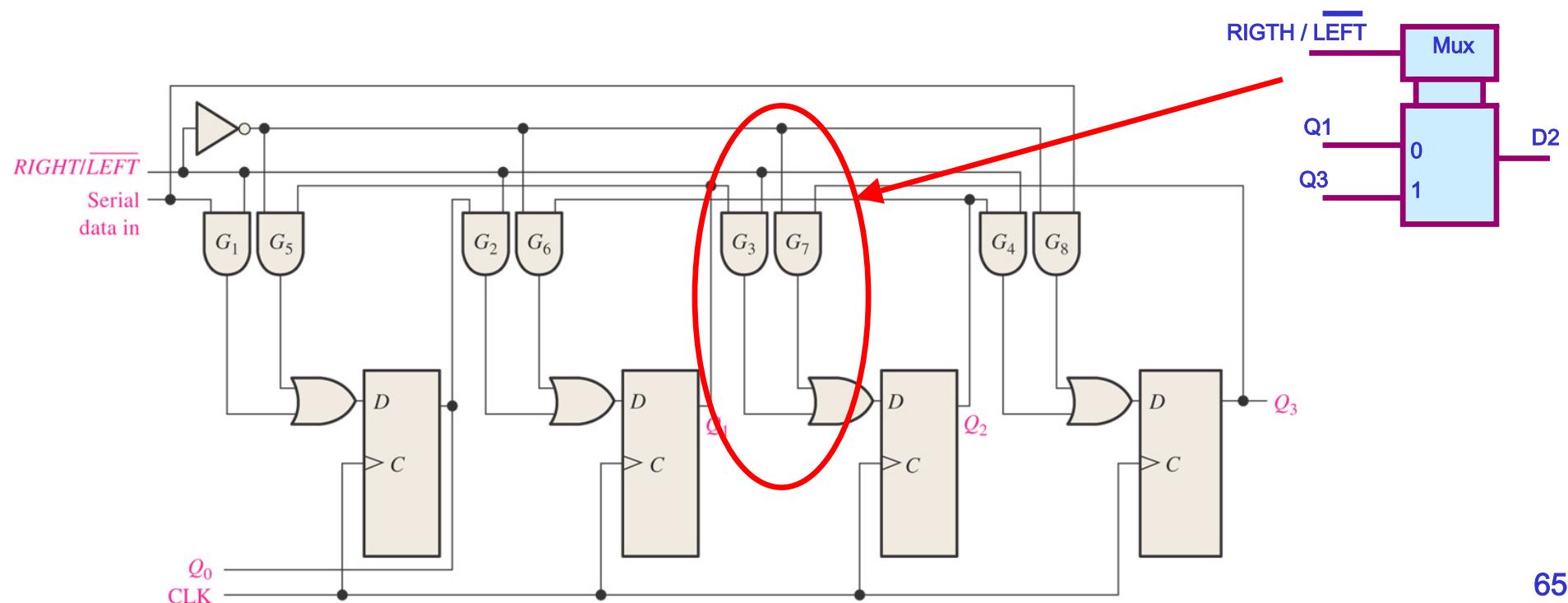
Sistemas Secuenciales Síncronos

Registro de desplazamiento

Registro de desplazamiento bidireccionales

La entrada de dato de cada biestable es la salida de un MULTIPLEXOR por el que se puede seleccionar que ese dato corresponda a la salida del biestable anterior o posterior.

Seleccionando uno u otro mediante la entrada de selección RIGTH / $\overline{\text{LEFT}}$ se consiguen desplazamientos en uno u otro sentido.



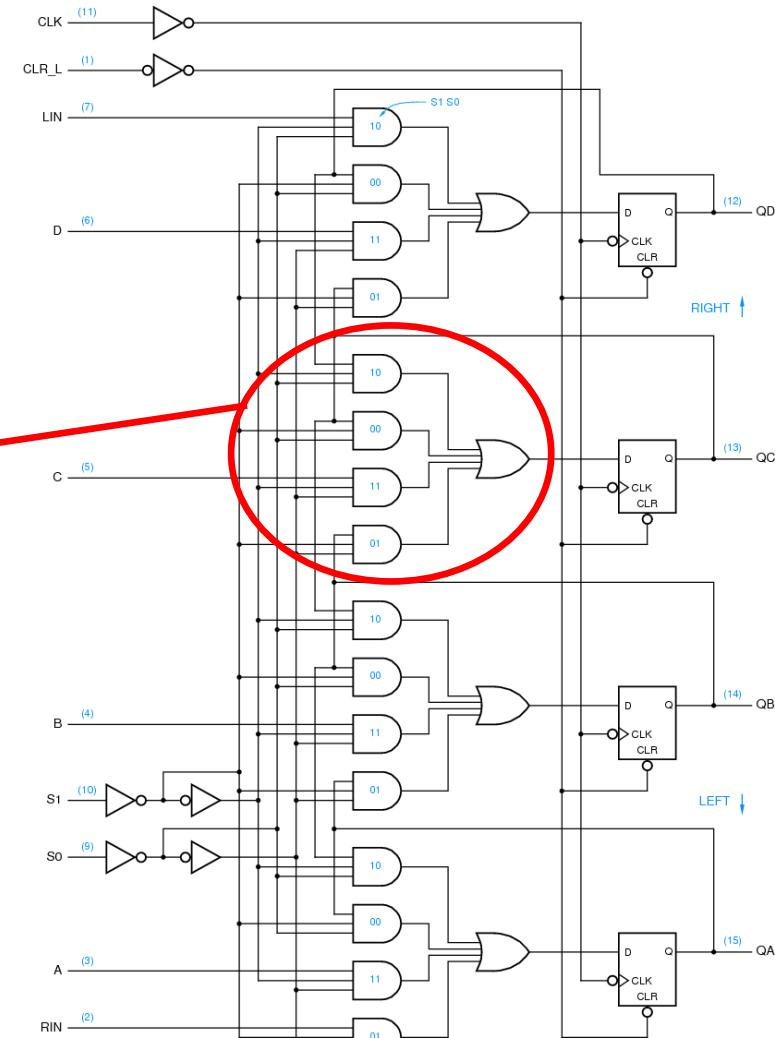
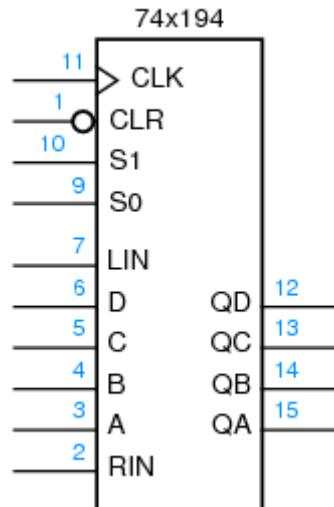
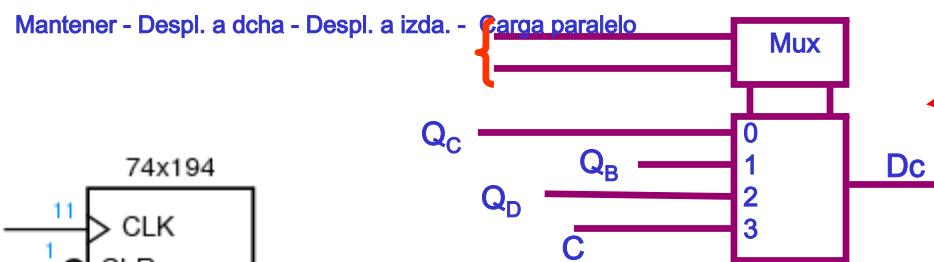
Sistemas Secuenciales Síncronos

Registro de desplazamiento MSI

Registro de desplazamiento bidireccional universal 74x194

Function	Inputs		Next state			
	S1	S0	QA*	QB*	QC*	QD*
Hold	0	0	QA	QB	QC	QD
Shift right	0	1	RIN	QA	QB	QC
Shift left	1	0	QB	QC	QD	LIN
Load	1	1	A	B	C	D

Selección S1-S0

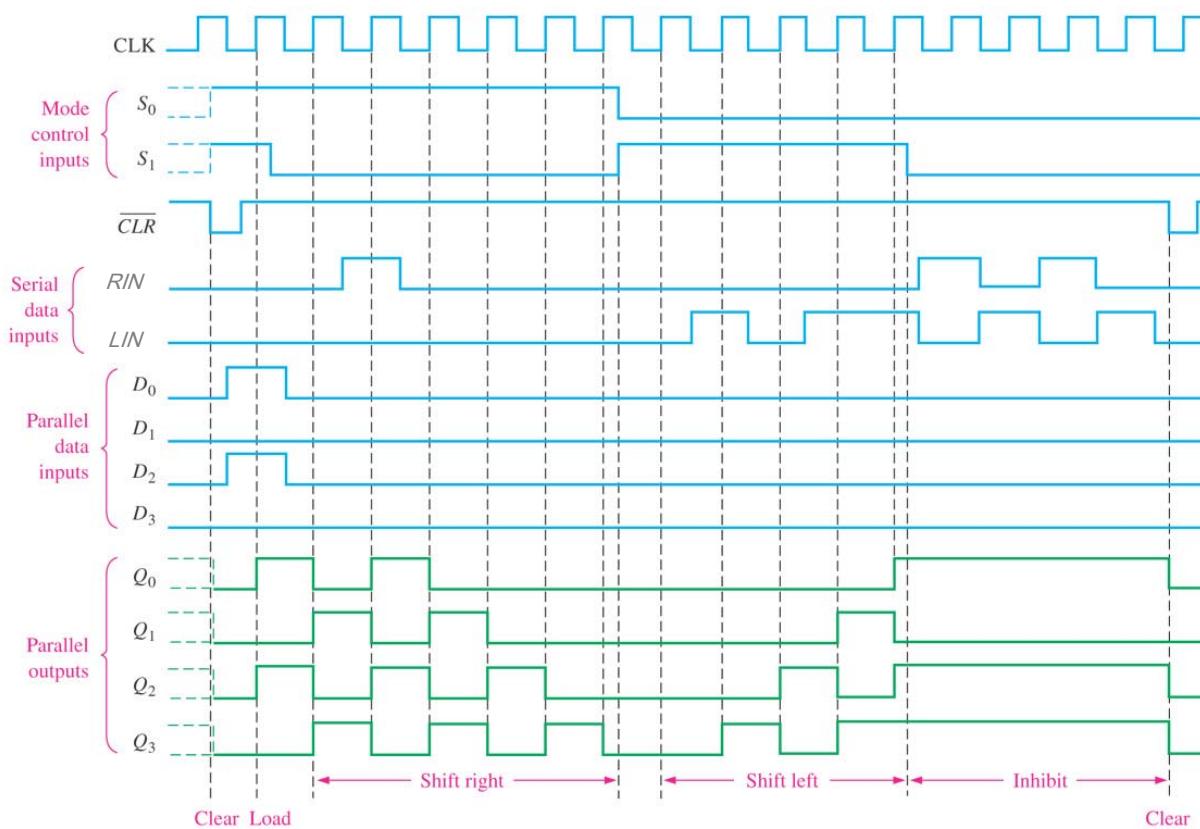
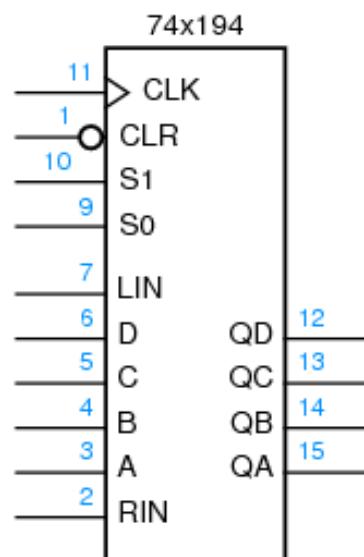


Sistemas Secuenciales Síncronos

Registro de desplazamiento MSI

Registro de desplazamiento bidireccional universal 74x194

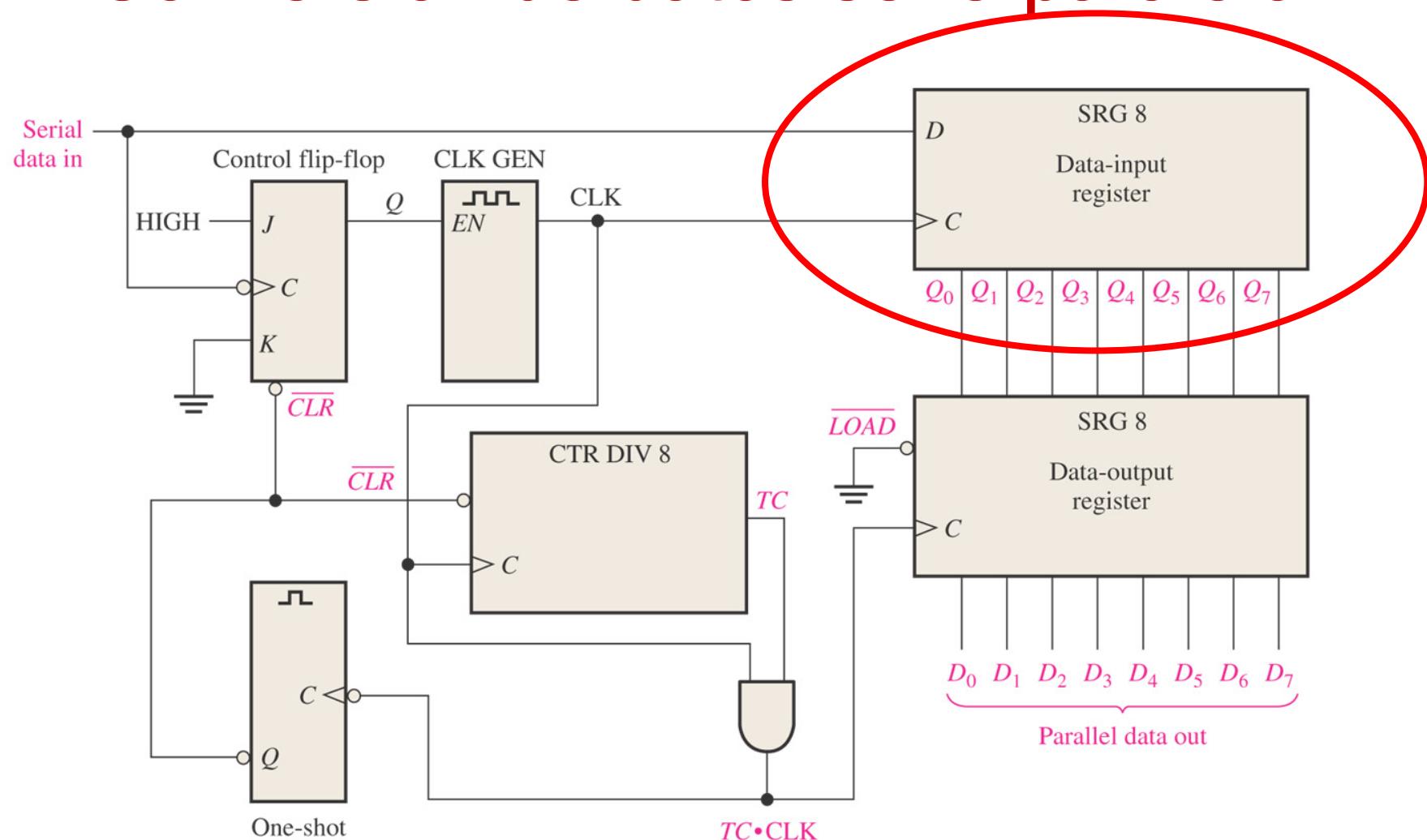
Function	Inputs		Next state			
	<i>S₁</i>	<i>S₀</i>	<i>QA*</i>	<i>QB*</i>	<i>QC*</i>	<i>QD*</i>
Hold	0	0	QA	QB	QC	QD
Shift right	0	1	RIN	QA	QB	QC
Shift left	1	0	QB	QC	QD	LIN
Load	1	1	A	B	C	D



Sistemas Secuenciales Síncronos

Registro de desplazamiento: Aplicaciones

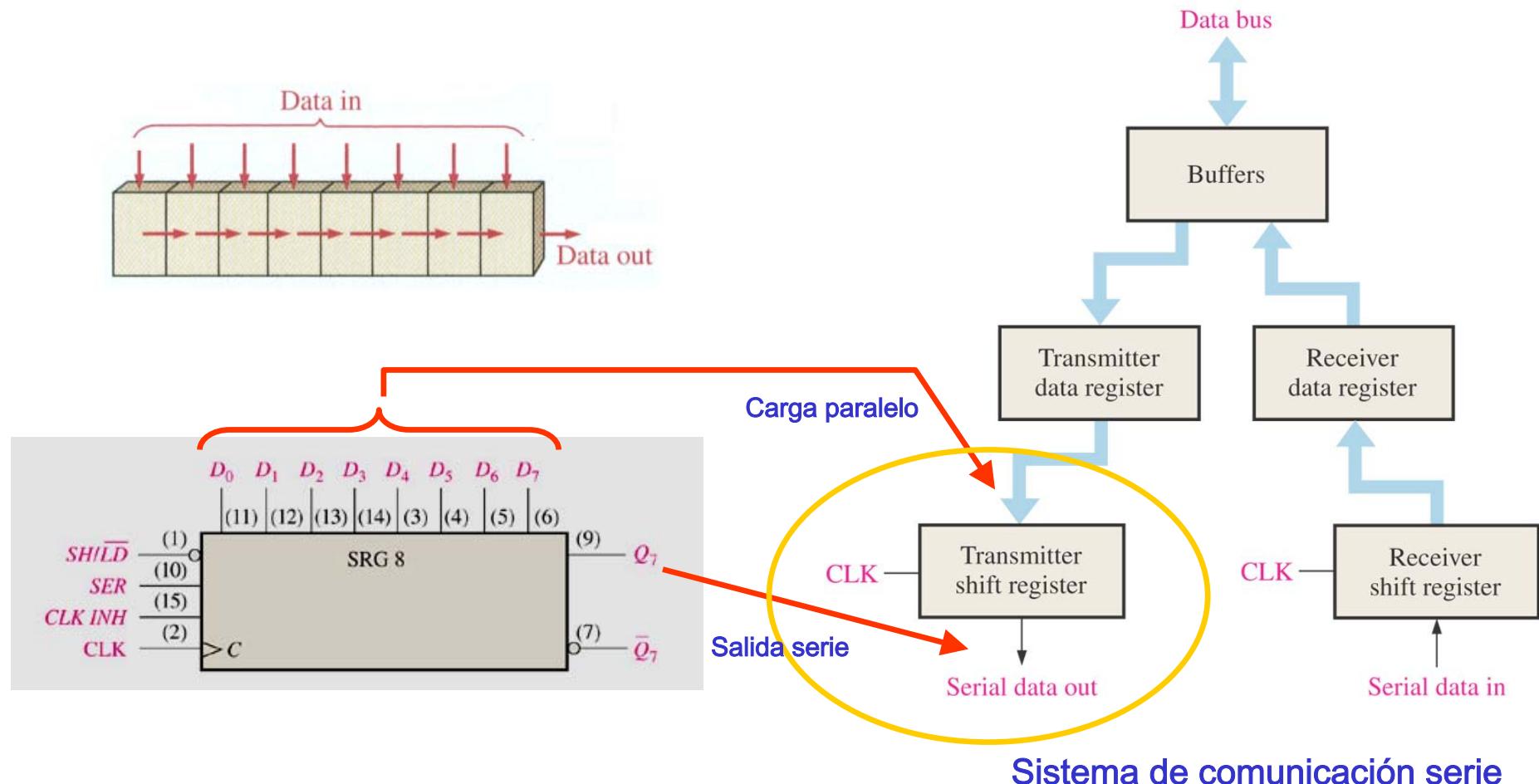
Conversión de datos serie-paralelo



Sistemas Secuenciales Síncronos

Registro de desplazamiento: Aplicaciones

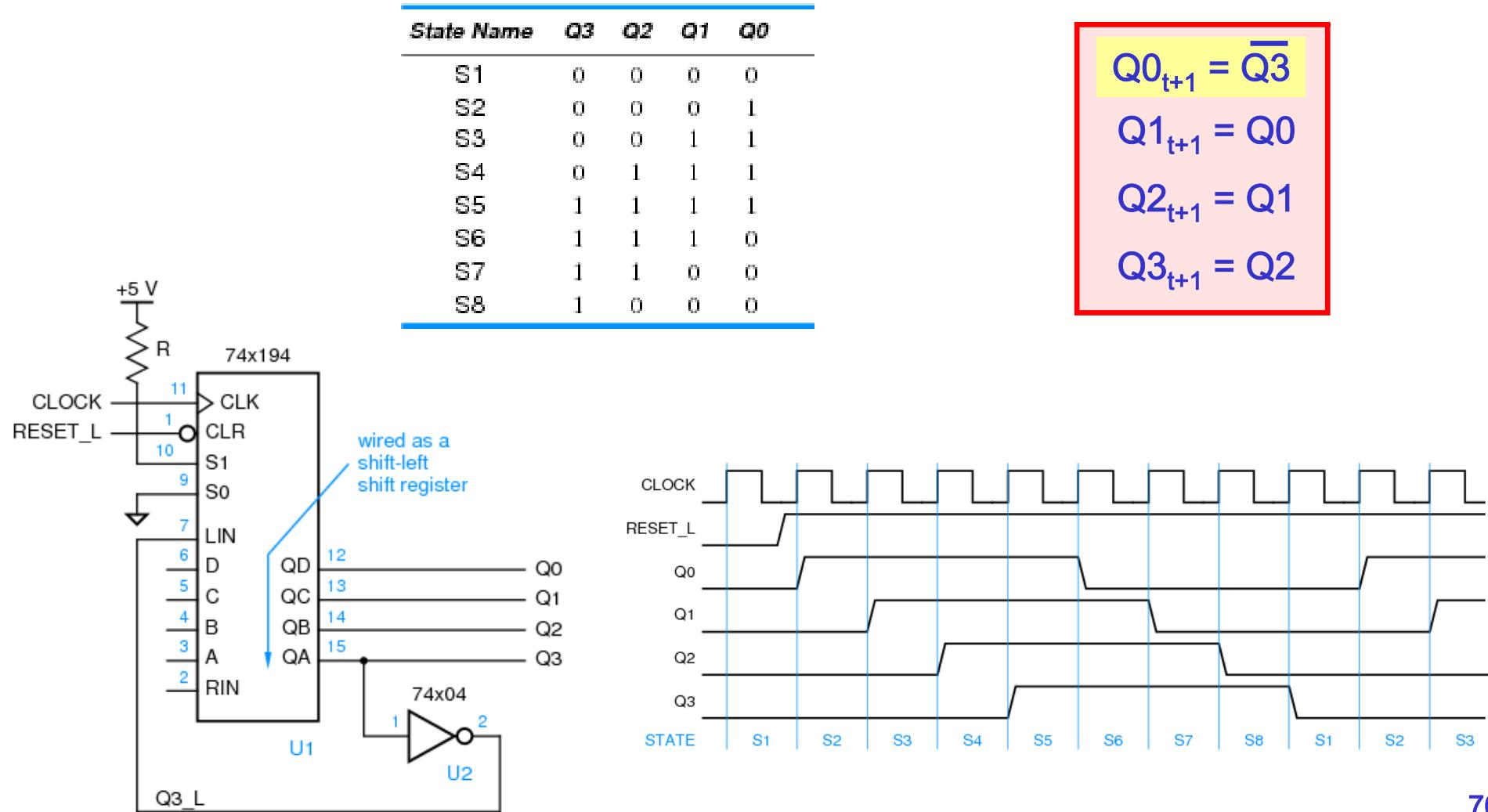
Conversión de datos paralelo-serie



Sistemas Secuenciales Síncronos

Registro de desplazamiento: Aplicaciones

Contador Johnson



Sistemas Secuenciales Síncronos

Registro de desplazamiento: Aplicaciones

Retardo en el tiempo

Los registros de desplazamiento de entrada serie y salida serie se utilizan para obtener en la salida la misma entrada retrasada en el número de etapas del registro de desplazamiento (número de biestables) multiplicado por el periodo del reloj

