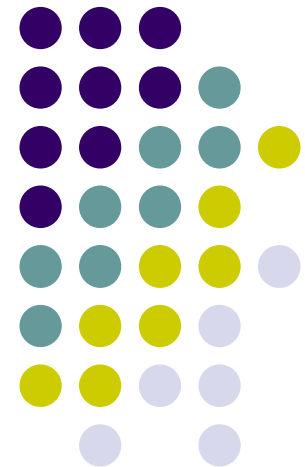
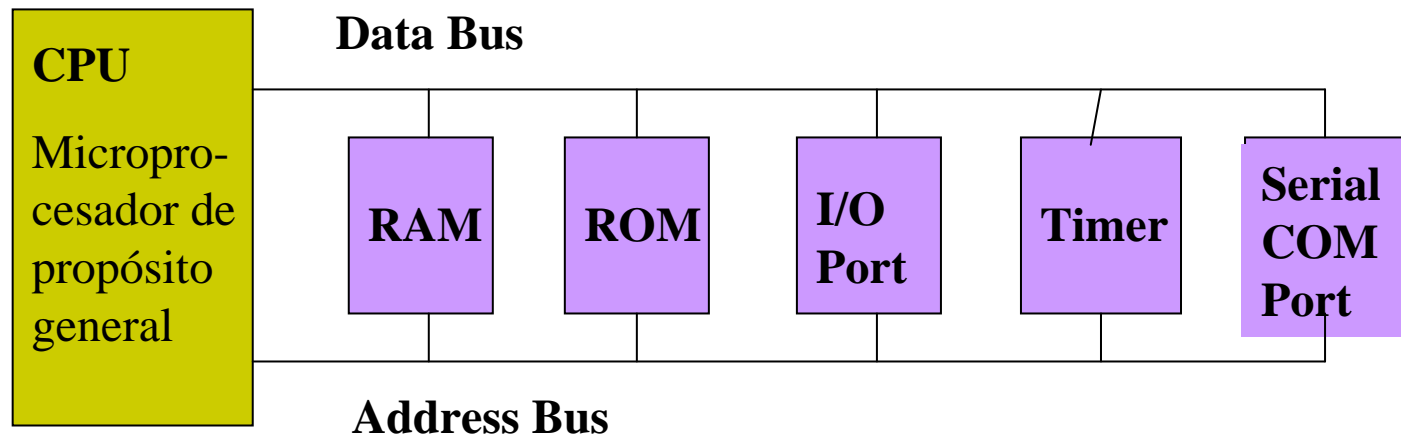


Microcontrolador 8051



CPU y Microcontrolador



CPU y Microcontrolador



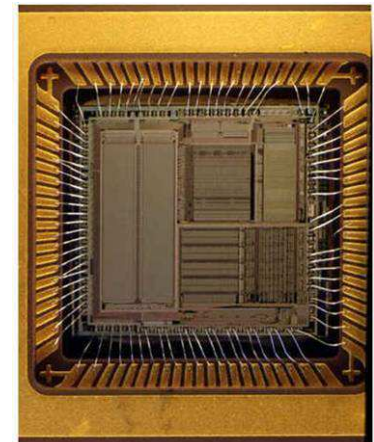
- A pequeño procesador
- On-chip RAM, ROM, I/O ports...
- Ejemplo 8051, EM78 y PIC 16X

CPU	RAM	ROM
I/O Port	Timer	Serial COM Port

Microcontrolador



← En un único chip



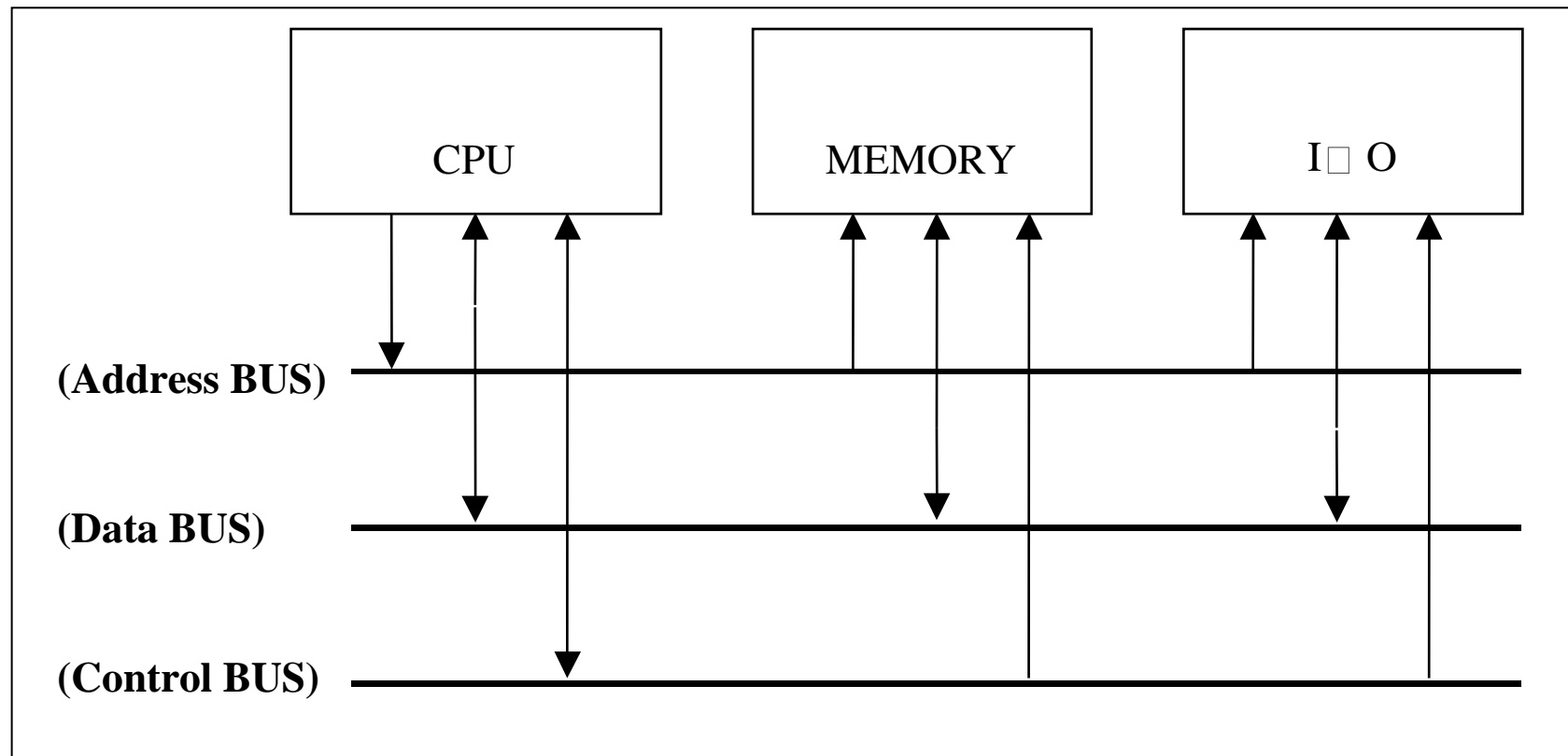
CPU v.s. Microcontrolador



bit	CPU
8	8085 Z80 6502 6800
16	8086 8088 68000 8087 80286 Z8000
32	80386 80486 68030 68040
64	Pentium 6X86 K6 Power PC

bit	Microcontroladores
8	MCS-48 MCS-51 6811 Z8 6805 PIC AVR
16	MCS-96 80186 80188 DSP320C2x
32	80386/EX DSP320C60 ARM

Tres Tipos de Buses



El Bus de direcciones (Address BUS)



Nº de líneas	Nº de direcciones	Capacidad	Definiciones
10 líneas	$2^{10}=1024$	1K byte	K=1024
11 líneas	$2^{11}=2048$	2K byte	
16 líneas	$2^{16}=65536$	64K byte	
20 líneas	$2^{20}=1024K$	1M byte	M=1024K
24 líneas	$2^{24}=16384K$	16K byte	
30 líneas	$2^{30}=1024M$	1G byte	
32 líneas	$2^{32}=4096M$	4G byte	G=1024M

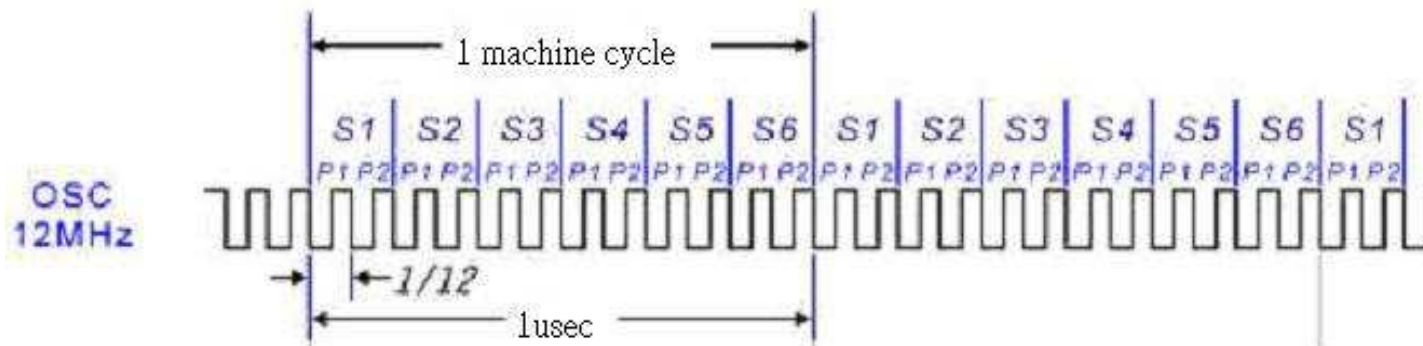
Los tiempos en el microcontrolador



Ciclo de reloj: Periodo de la señal del oscilador.

Ciclo máquina: Unidad base para medir el tiempo de ejecución de las instrucciones

Ciclo de instrucción: Tiempo de ejecución de una determinada instrucción.



Ejemplo: Para el microcontrolador base 8051, el oscilador del reloj puede ser de 12 Mhz.

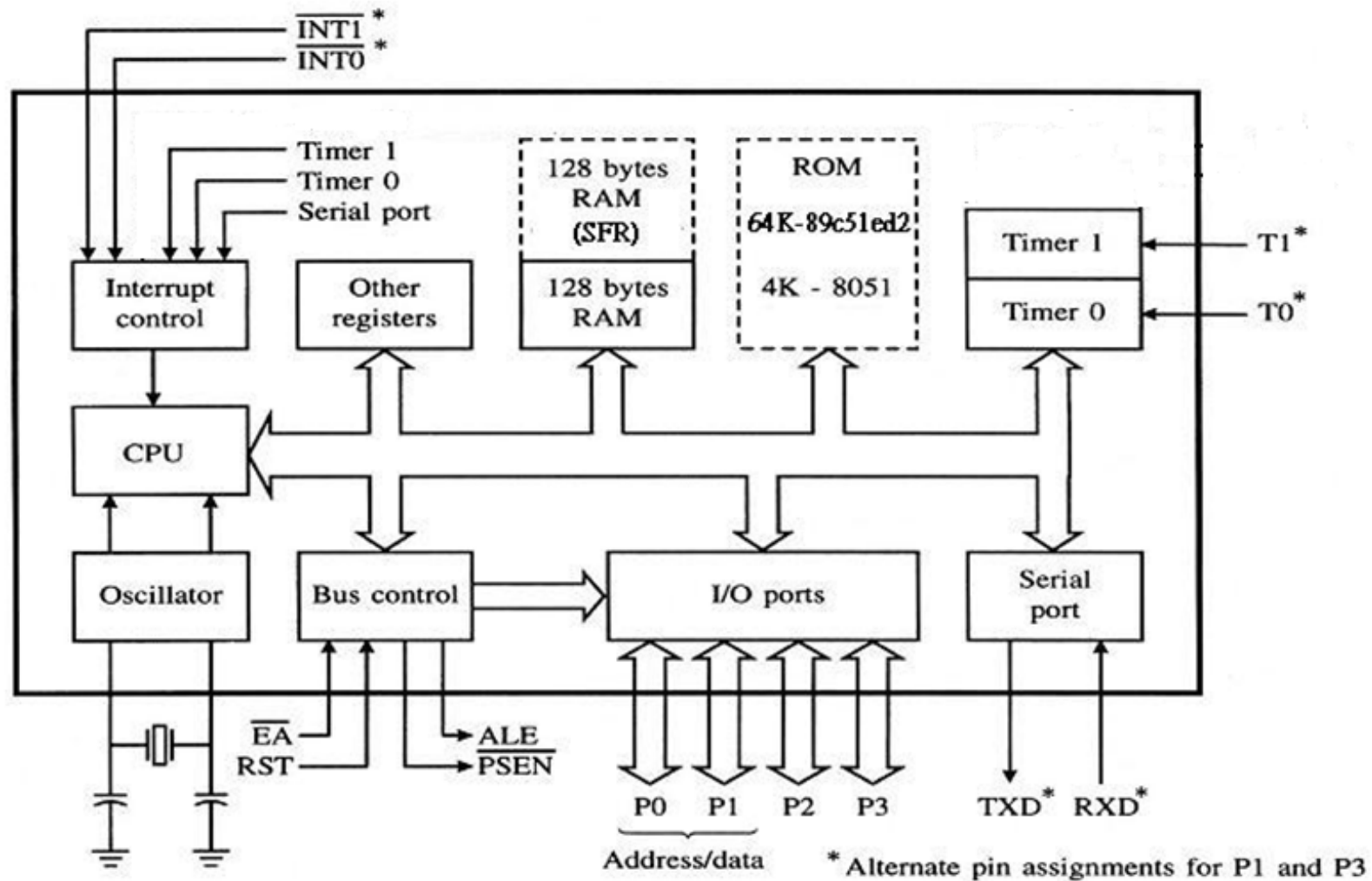
Su ciclo de reloj será de $1/12$ us.

Un ciclo máquina para el uC 8051 original es de 12 ciclos de reloj. En el ejemplo, será igual a $12 \times 1/12$ us = 1us

Una instrucción como MOV A, #32 tiene un ciclo de instrucción de 1 ciclo máquina, luego una duración de 1×1 us = 1 us.

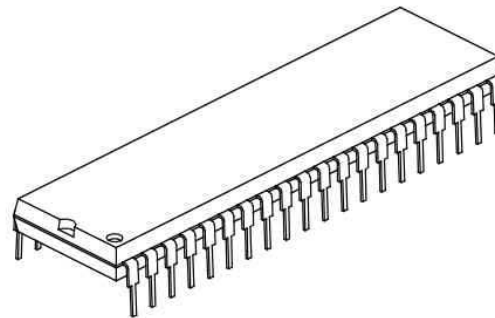


8051 Diagrama de bloques



8051 block diagram

8051 Packages



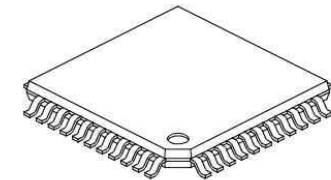
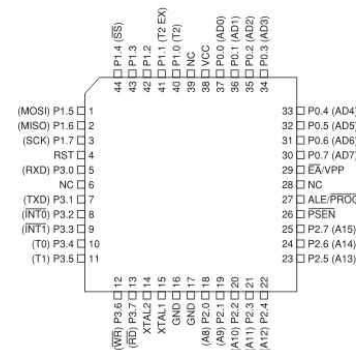
PDIP

PDIP □ Plastic Dual Inline Package

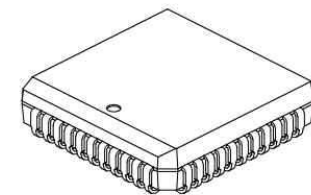
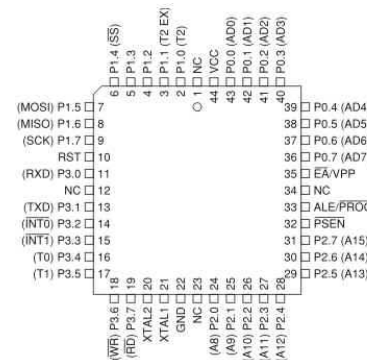
PLCC □ Plastic Leaded Chip Carrier



VQFP □ Very Quad Flat Pack



VQFP



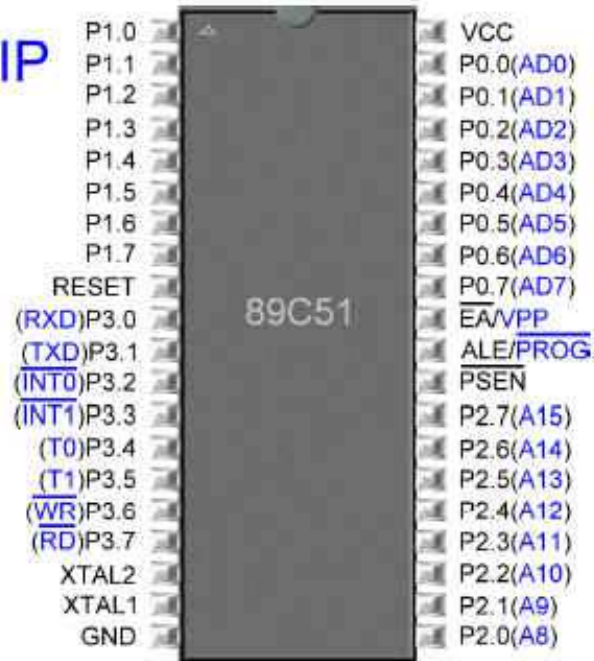
PLCC

DIP: Dual Inline Package
SMD: Surface Mount Device



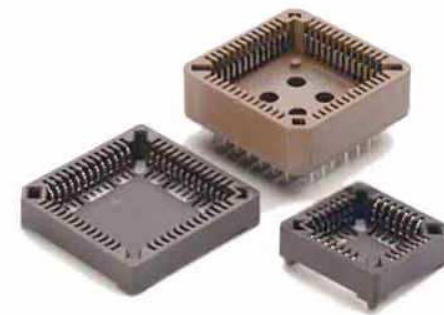
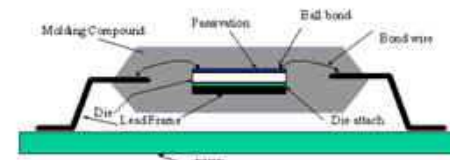
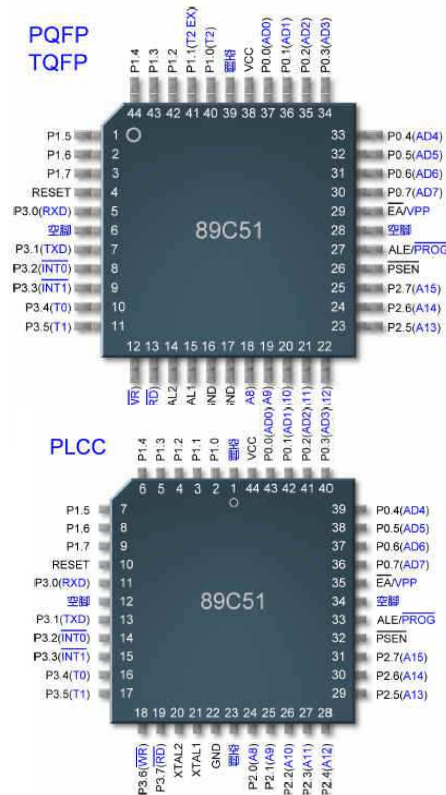
8051 Packages

PDIP



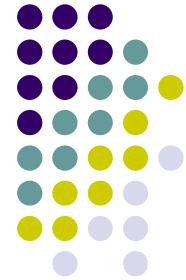
PDIP □ Plastic Dual Inline Package

PLCC □ Plastic Leaded Chip Carrier

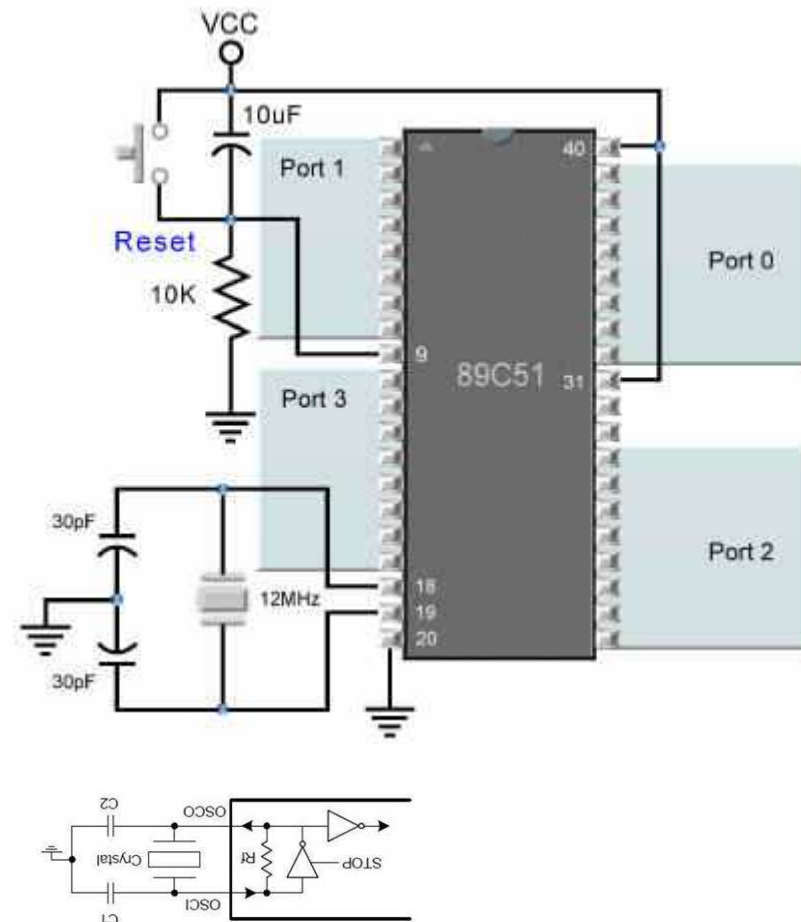
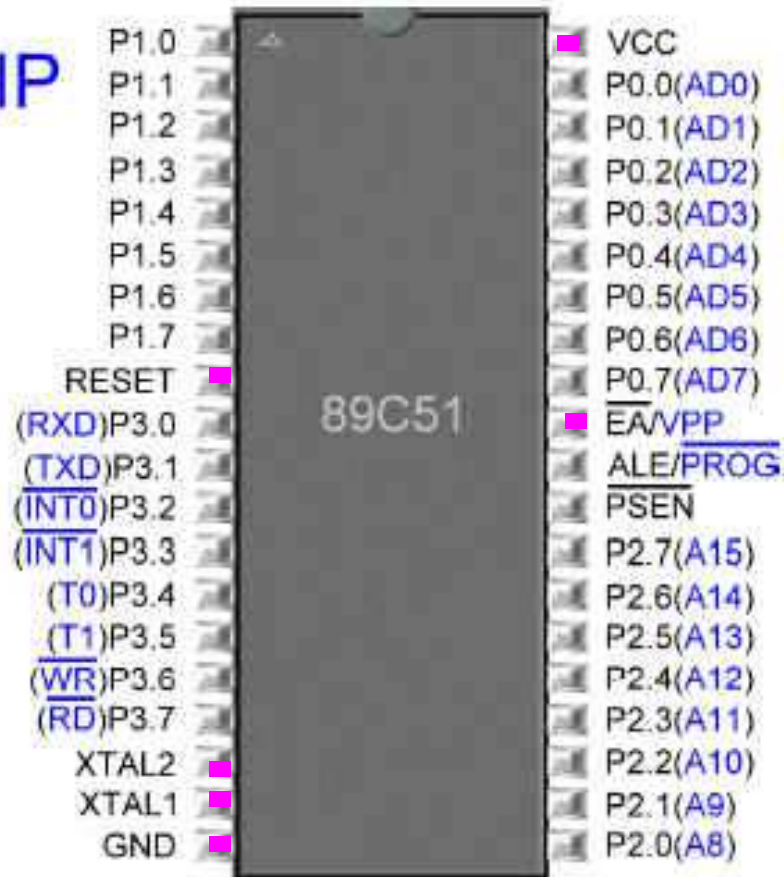


DIP: Dual Inline Package
SMD: Surface Mount Device

8051 Conexiones básicas



PDIP



8051 Pines



Para acceder a Memoria de Datos Externa

- /RD (Read data)
 - Señal de lectura de Memoria de Datos Externa.
- /WR (Write data)
 - Señal de escritura de Memoria de Datos Externa

Para leer Memoria de Programa Externa

- /PSEN (Program Store Enable)
 - Señal de lectura de Memoria de Programa
 - Cuando ejecuta programa desde ROM interna, /PSEN permanece a nivel alto.

8051 Pines



Para poder demultiplexar A0-A7 y D0-D7

- ALE (Address Latch Enable)
 - ALE para demultiplexar los buses de direcciones y de datos.
 - ALE=0, AD0-AD7 envía dato.
 - ALE=1, AD0-AD7 envía dirección.
 - El flanco descendente de ALE sirve para enclavar la parte baja de la dirección (A0-A7) mediante un registro externo.



8051 Pines

- /EA (External Access)
 - Si /EA está “alto”, el 8051 ejecuta el programa desde la ROM interna.
 - If /EA está “bajo”, el 8051 ejecuta el programa desde la ROM externa.
- Reset
 - Si la entrada Reset se mantiene activa **durante al menos dos ciclos máquina** los registros son cargados con 0, excepto:
 - Los puertos que son cargados con 1's (FFh)
 - El puntero de pila (SP) que se carga con 07h
 - El registro del puerto serie SBUF se carga con valor aleatorio.

Espacios de Memoria de Programa y Memoria de Datos

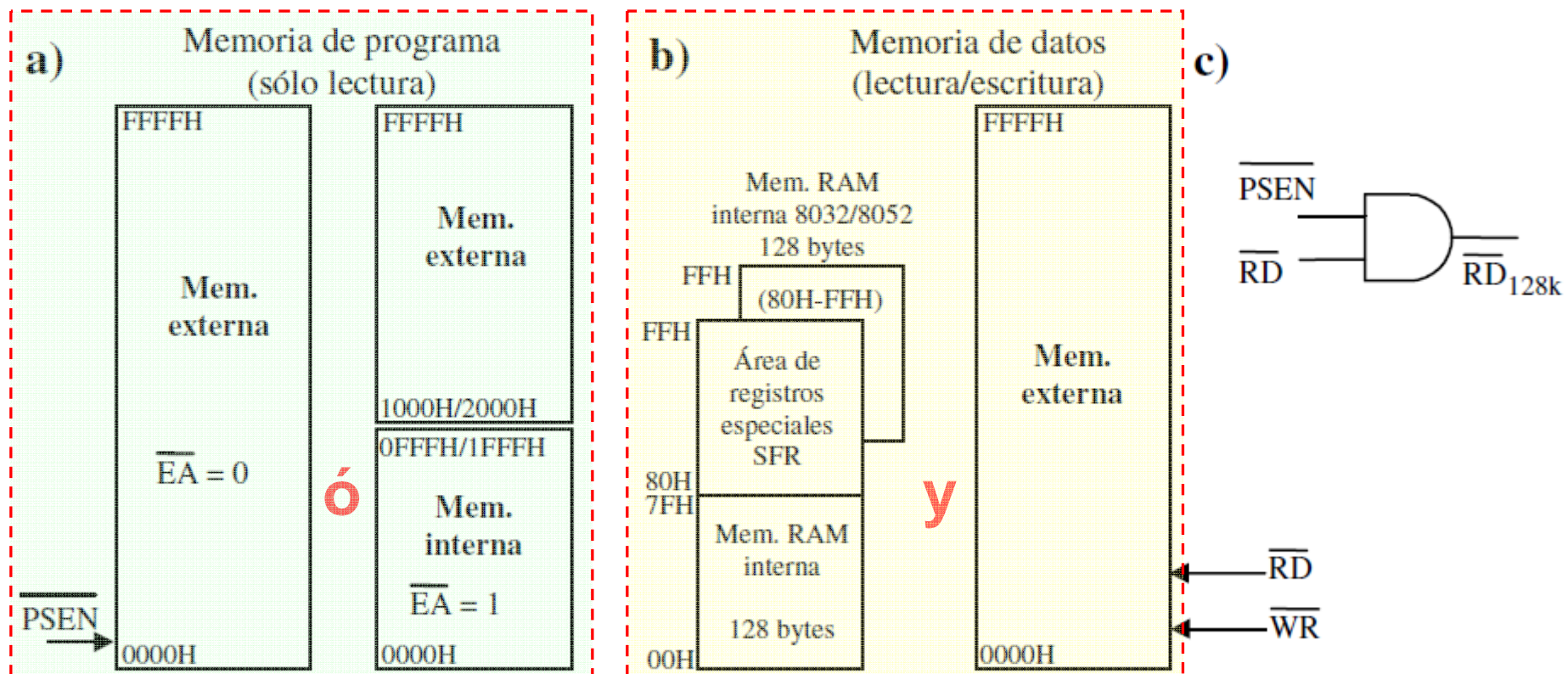
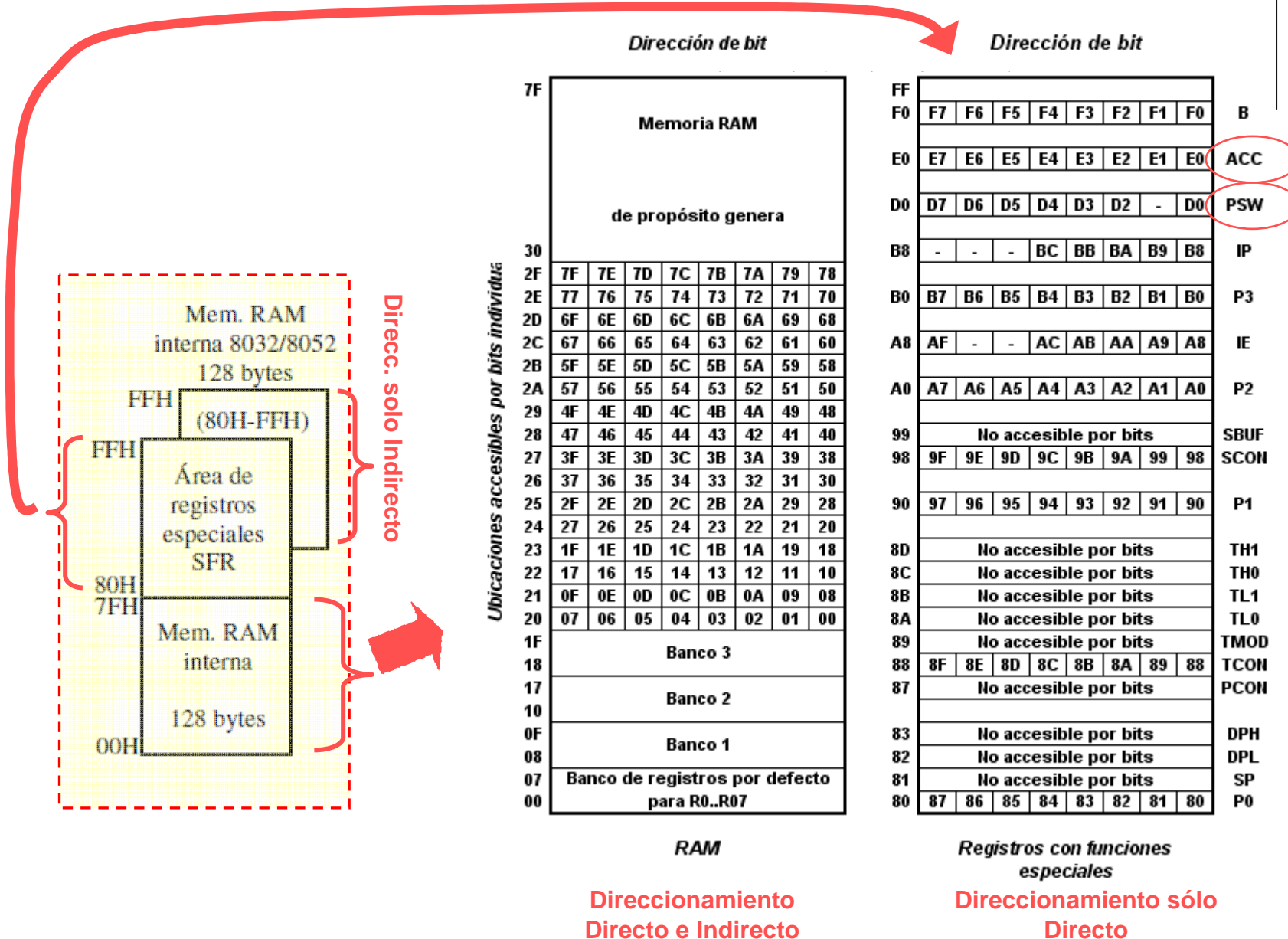
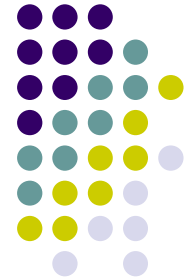


Fig. 3.5 Estructura de la memoria de la MCS-51

8051 Memoria RAM de Datos Interna



A decorative graphic in the bottom right corner consisting of a grid of colored dots in shades of purple, teal, yellow, and light blue, arranged in a pattern that tapers to the right.

Bit addressable locations

Byte
address

Bit address

7F	General purpose RAM							
30								
2F	7F	7E	7D	7C	7B	7A	79	78
2E	77	76	75	74	73	72	71	70
2D	6F	6E	6D	6C	6B	6A	69	68
2C	67	66	65	64	63	62	61	60
2B	5F	5E	5D	5C	5B	5A	59	58
2A	57	56	55	54	53	52	51	50
29	4F	4E	4D	4C	4B	4A	49	48
28	47	46	45	44	43	42	41	40
27	3F	3E	3D	3C	3B	3A	39	38
26	37	36	35	34	33	32	31	30
25	2F	2E	2D	2C	2B	2A	29	28
24	27	26	25	24	23	22	21	20
23	1F	1E	1D	1C	1B	1A	19	18
22	17	16	15	14	13	12	11	10
21	0F	0E	0D	0C	0B	0A	09	08
20	07	06	05	04	03	02	01	00
1F	Bank 3							
18								
17	Bank 2							
10								
0F	Bank 1							
08								
07	Default register bank for R0-R7							
00								

RAM



Registro de estado (PSW)

D7	D6	D5	D4	D3	D2	D1	D0
CY	AC	F0	RS1	RS0	OV	-	P

Selección del Banco de Registros activo mediante los bits RS1 y RS0 del Registro de estado PSW

RS1	RS0	Banco	Direcc.	Registros
0	0	RB0	00~07H	R0~R7
0	1	RB1	08~0FH	R0~R7
1	0	RB2	10~17H	R0~R7
1	1	RB3	18~1FH	R0~R7



Registro de estado (PSW)

D7	D6	D5	D4	D3	D2	D1	D0
CY	AC	F0	RS1	RS0	OV	UD	P

Número de bit	Mnemónico	Función																				
7	CY o C	<i>Bit de acarreo.</i> CY se pone a 1 lógico si en las instrucciones de suma o resta se produce acarreo en el bit séptimo. CY también está afectado por las instrucciones RRC, RLC, MUL, DA, JBC y CJNE.																				
6	AC	<i>Bit de acarreo auxiliar.</i> AC se activa si en las instrucciones de suma o resta se produce acarreo en el bit tercero.																				
5	F0	<i>Bit F0.</i> Este bit es de propósito general y definible por el usuario.																				
4:3	RS1:0	Estos dos bits permiten seleccionar el banco de registros que soportan los registros R0-R7. <table><tr><th>RS1</th><th>RS0</th><th>Banco</th><th>Direcciones</th></tr><tr><td>0</td><td>0</td><td>0</td><td>00H - 07H</td></tr><tr><td>0</td><td>1</td><td>1</td><td>08H - 0FH</td></tr><tr><td>1</td><td>0</td><td>2</td><td>10H - 17H</td></tr><tr><td>1</td><td>1</td><td>3</td><td>18H - 1FH</td></tr></table>	RS1	RS0	Banco	Direcciones	0	0	0	00H - 07H	0	1	1	08H - 0FH	1	0	2	10H - 17H	1	1	3	18H - 1FH
RS1	RS0	Banco	Direcciones																			
0	0	0	00H - 07H																			
0	1	1	08H - 0FH																			
1	0	2	10H - 17H																			
1	1	3	18H - 1FH																			
2	OV	<i>Bit de rebasamiento o overflow.</i> Este bit se pone a 1 lógico cuando se produce un error de <i>overflow</i> en operaciones de suma o resta. OV también se pone a 1 cuando el resultado de una multiplicación es mayor de un byte, o cuando se realiza una división por cero.																				
1	UD	<i>Bit UD.</i> Este bit es de propósito general y definible por el usuario.																				
0	P	<i>Bit de paridad.</i> Indica la paridad del acumulador. Se pone a 1 cuando el número de unos de A es impar, y a 0 cuando es par.																				

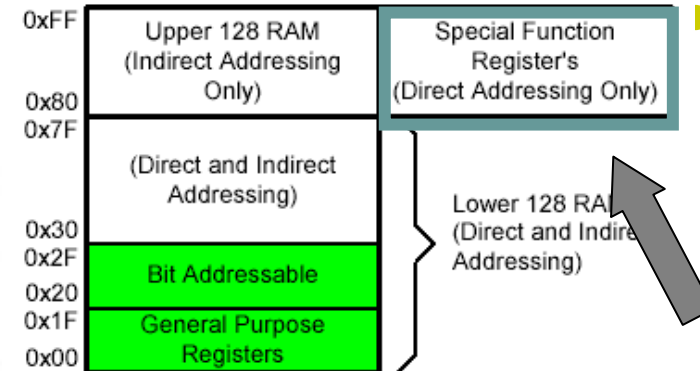
Special Function Register

Espacio SFR (80h –FFh) sólo dir. directo



Byte address	Bit address								
FF									B
F0	F7	F6	F5	F4	F3	F2	F1	F0	
E0	E7	E6	E5	E4	E3	E2	E1	E0	ACC
D0	D7	D6	D5	D4	D3	D2	-	D0	PSW
B8	-	-	-	BC	BB	BA	B9	B8	IP
B0	B7	B6	B5	B4	B3	B2	B1	B0	P3
A8	AF	-	-	AC	AB	AA	A9	A8	IE
A0	A7	A6	A5	A4	A5	A5	A5	A5	P2
99	not bit addressable								SBUF
98	9F	9E	9D	9C	9B	9A	99	98	SCON
90	97	96	95	94	93	92	91	90	P1
8D	not bit addressable								TH1
8C	not bit addressable								TH0
8B	not bit addressable								TL1
8A	not bit addressable								TL0
89	not bit addressable								TMOD
88	8F	8E	8D	8C	8B	8A	89	88	TCON
87	not bit addressable								PCON
83	not bit addressable								DPH
82	not bit addressable								DPL
81	not bit addressable								SP
80	87	86	85	84	83	82	81	80	P0

SPECIAL FUNCTION REGISTERS



- ACC (Accumulator)
- PSW (Program Status Word)
- IP (Interrupt priority control)
- IE (Interrupt enable control)
- I/O Port0~3
- SBUF (Serial buffer)
- SCON (Serial control).
- THx,TLx Registros de contadores/temporiz
- TMOD (Timer/Counter mode)
- TCON (Timer/Counter control)
- DPTR = {DPH,DPL} Data pointer
- SP (Stack pointer)

¡Espacio sólo direccionable mediante direccionamiento directo!

SFR (1)



Dir.	D7	D6	D5	D4	D3	D2	D1	D0	Registro	
F0h	7	6	5	4	3	2	1	0	B	
E0h	7	6	5	4	3	2	1	0	ACC	
D0h	CY	AC	F0	RS1	RS0	OV	-	P	PSW	
CDh	15	14	13	12	11	10	9	8	TH2	
CCh	7	6	5	4	3	2	1	0	TL2	
CBh	15	14	13	12	11	10	9	8	RCAP2H	
CAh	7	6	5	4	3	2	1	0	RCAP2L	
C8h	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C_T2	CP_RL2	T2CON	
	-	-	-	PS	PT1	PX1	PT0	PX0	IP	
B0h	P37	P36	P35	P34	P33	P32	P31	P30	P3	
	EA	-	-	ES	ET1	EX1	ET0	EX0	IE	
A0h	P27	P26	P25	P24	P23	P22	P21	P20	P2	

Posiciones que terminan en 0 o en 8 son direccionables bit a bit.

SFR (2)



99h	7	6	5	4	3	2	1	0	SBUF
98h	SM0	SM1	SM2	REN	TB8	RB8	TI	RI	SCON
90h	P17	P16	P15	P14	P13	P12	P11	P10	P1
8Dh	15	14	13	12	11	10	9	8	TH1
8Ch	15	14	13	12	11	10	9	8	TH0
8Bh	7	6	5	4	3	2	1	0	TL1
8Ah	7	6	5	4	3	2	1	0	TL0
89h	GATE	C/T	M1	M0	GATE	C/T	M1	M0	TMOD
88h	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	TCON
87h	SMOD	-	-	-	GF1	GF0	PD	IDL	PCON
83h	15	14	13	12	11	10	9	8	DPH
82h	7	6	5	4	3	2	1	0	DPL
81h	7	6	5	4	3	2	1	0	SP
	P07	P06	P05	P04	P03	P02	P01	P00	P0

1-41

Posiciones que terminan en 0 o en 8 son direccionables bit a bit.

Valor después de RESET



Register	Value in Binary
*ACC	00000000
*B	00000000
*PSW	00000000
SP	00000111
DPTR	
DPH	00000000
DPL	00000000
*P0	11111111
*P1	11111111
*P2	11111111
*P3	11111111
*IP	8051 XXX00000
	8052 XX000000
*IE	8051 0XX00000
	8052 0X000000
TMOD	00000000
*TCON	00000000
*+T2CON	00000000
TH0	00000000
TL0	00000000
TH1	00000000
TL1	00000000
+TH2	00000000
+TL2	00000000
+RCAP2H	00000000
+RCAP2L	00000000
*SCON	00000000
SBUF	Indeterminate
PCON	HMOS 0XXXXXXX
	CHMOS 0XXX0000

X = Undefined
 * = Bit Addressable
 + = 8052 only