

---

# SETR-E2 Conception de circuits

## Document de conception contrôleur d'interruptions

---

Louison Gouy et Mathis Briard  
October 9, 2022



ÉCOLE POLYTECH DE NANTES  
ELECTRONIQUE ET TECHNOLOGIE NUMÉRIQUE

Enseignant référent : Sébastien LE NOURS

### Abstract

Abstract

## Contents

<b>1</b>	<b>Introduction</b>	<b>3</b>
<b>2</b>	<b>Cahier des charges</b>	<b>4</b>
2.1	Objectif du circuit . . . . .	4
2.2	Fonctionnalités attendues . . . . .	4
2.3	Utilisation du circuit . . . . .	4
2.4	Chronogrammes caractéristiques . . . . .	7
2.5	Contraintes du projet . . . . .	7
<b>3</b>	<b>Conclusion</b>	<b>8</b>
	<b>Acronyms</b>	<b>9</b>
<b>4</b>	<b>Appendix</b>	<b>11</b>

## List of Figures

1	Schéma de câblage de l'IP à concevoir, du contrôleur mémoire et du processeur	4
2	Entrées et sorties de l'IP à concevoir . . . . .	5
3	Planification du projet avec ses jalons . . . . .	7

## List of Tables

1	Sens et rôle des signaux . . . . .	6
---	------------------------------------	---

# 1 Introduction

Lorem ipsum

## 2 Cahier des charges

Cette partie présente le cahier des charges du périphériques. Elle intègre les quelques points fournis par le sujet auquel s'ajoutent les contraintes imaginées par les étudiants. ...

### 2.1 Objectif du circuit

Le contrôleur d'interruptions a l pour rôle d'informer le processeur sur l'occurrence d'une interruption valide. Il fournira alors l'adresse de la prochaine instruction à exécuter.

### 2.2 Fonctionnalités attendues

Les fonctions de service du circuit sont :

1. Masquer et démasquer chaque interruption individuellement
2. Contenir le vecteur d'exception
3. Etablir le niveau de priorité des interruptions
4. Ne fournir au Central Processing Unit (CPU) que les interruptions valides
5. Prendre en compte les priorités dans la génération des demandes au CPU

### 2.3 Utilisation du circuit

Il s'agit ici de donner l'utilisation du circuit en présentant le schéma de câblage du contrôleur d'interruptions ainsi que la définition des signaux logiques d'entrées et sorties. L'Intellectual property (IP) à concevoir s'interface avec le bus de données, le bus d'adresses ainsi qu'un ensemble de signaux de temporisation et de contrôle. Il est possible de retrouver des signaux de temporisation comme le nWAIT et des signaux de contrôle comme le nRST ou le RnW. Leur rôle est présenté table (1).

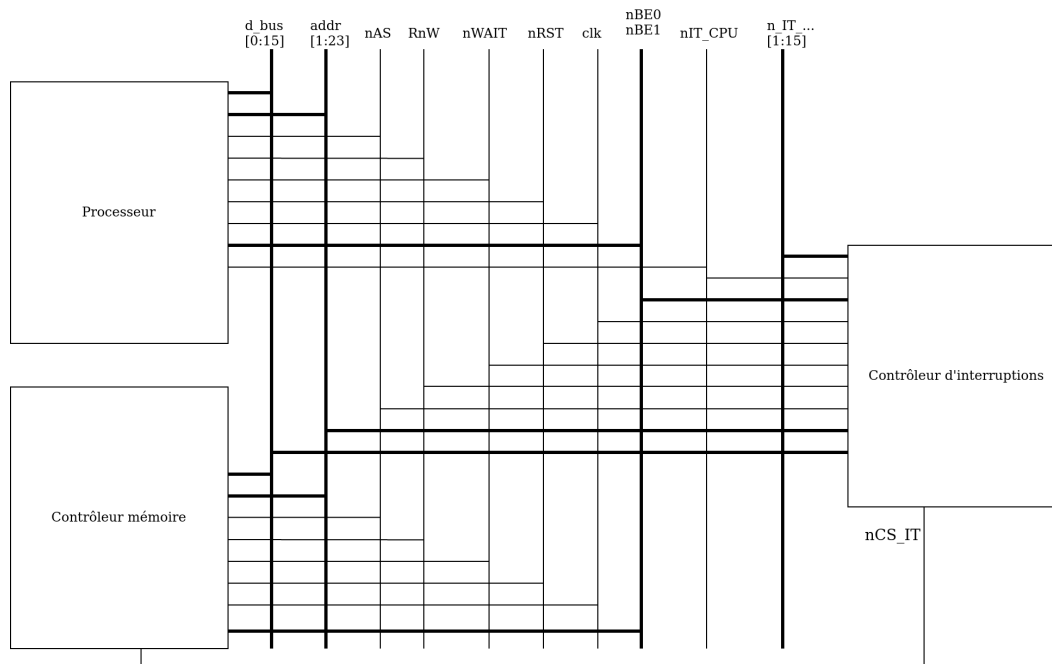


Figure 1: Schéma de câblage de l'IP à concevoir, du contrôleur mémoire et du processeur

Le contrôleur d'interruptions est également câblé avec plusieurs autres IPs du SoC. Il y a par exemple le processeur avec lequel le signal `nIT_CPU` est commun. D'autre part le contrôleur mémoire est connecté avec le contrôleur d'interruptions par le signal `nCS_IT`. L'ensemble des périphériques du SoC peut également envoyer un signal d'interruption représenté par `nIT_...`

Le schéma présenté ci-dessus ne précise pas le sens des signaux. Il n'est donc pas possible de savoir quelles sont les entrées et sorties du contrôleur d'interruptions. Également, les noms des 4 interruptions externes et des 11 autres provenant de divers périphériques ne sont pas donnés. La figure et le tableau suivant présentent les entrées et sorties du point de vue de l'IP à concevoir ainsi que le rôle de chaque signaux.

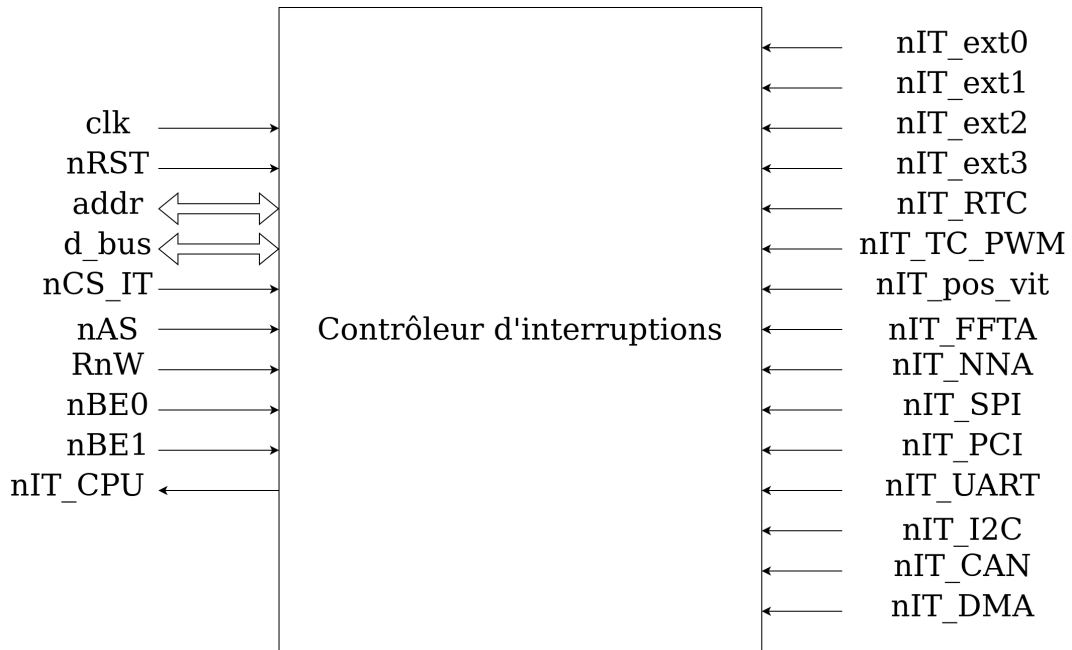


Figure 2: Entrées et sorties de l'IP à concevoir

Nom	Sens	Rôle
clk	Entrée	Signal d'horloge
nRST	Entrée	Signal de réinitialisation
addr	Entrée et sortie	Bus d'adresses
d_bus	Entrée et sortie	Bus de données
nCS.IT	Entrée	Signal de sélection du périphérique en cas d'opérations de lecture ou d'écriture
nAS	Entrée	Signal indiquant la présence d'une valeur sur le bus d'adresse
RnW	Entrée	Signal d'écriture ou de lecture 0 : écriture 1 : lecture
nBE0	Entrée	Signal indiquant la structure de la mémoire 0 : little-endian 1 : big-endian
nBE1	Entrée	Signal indiquant la taille de la donnée 0 : 8 bits 1 : 16 bits
nIT_CPU	Sortie	Signal pour le processeur avertissant qu'une interruption est demandée de la part d'un périphérique
nIT_ext0	Entrée	Signal d'interruption extérieure numéro 0
nIT_ext1	Entrée	Signal d'interruption extérieure numéro 1
nIT_ext2	Entrée	Signal d'interruption extérieure numéro 2
nIT_ext3	Entrée	Signal d'interruption extérieure numéro 3
nIT_RTC	Entrée	Signal d'interruption provenant du périphérique RTC
nIT_TC_PWM	Entrée	Signal d'interruption provenant du Timer et PWM
nIT_pos_vit	Entrée	Signal d'interruption provenant du périphérique de mesure position et vitesse
nIT_FFTA	Entrée	Signal d'interruption provenant de l'accélérateur transformée de Fourier discrète
nIT_NNA	Entrée	Signal d'interruption provenant de l'accélérateur réseau de neurones
nIT_SPI	Entrée	Signal d'interruption provenant du périphérique de communication SPI
nIT_PCI	Entrée	Signal d'interruption provenant du périphérique de communication PCI
nIT_UART	Entrée	Signal d'interruption provenant du périphérique de communication UART
nIT_I2C	Entrée	Signal d'interruption provenant du périphérique de communication I2C
nIT_CAN	Entrée	Signal d'interruption provenant du périphérique de communication CAN
nIT_DMA	Entrée	Signal d'interruption provenant du périphérique d'accès direct à la mémoire.

Table 1: Sens et rôle des signaux

Les noms des signaux présentent un suffixe n signifiant que ceux-ci sont actifs à l'état bas. Par exemple, le signal de sélection nCS.IT est actif à l'état bas. Ainsi un signal de sélection à l'état logique 0 signifie que le contrôleur d'interruptions est sélectionné pour une opération de lecture ou d'écriture dans un des registres.

Conventionner ces signaux comme actif à l'état bas n'est pas anodin. Historiquement,

pour des anciennes technologies Transistor-transistor logic (TTL), les signaux actifs à l'état bas sont davantage robustes aux bruits. À titre d'exemple, un signal de sélection CS actif à l'état haut sélectionne un périphérique lorsque celui-ci est à l'état logique 1. Pour des raisons purement physiques (glitch sur le signal, baisse de tension à cause de la résistivité des interconnexions, chute de l'alimentation à cause d'un fort tirage de courant), ce signal à l'état 1 peut passer à l'état de haute impédance Z voir même à l'état bas. Un tel problème causerait la perdre de données à lire où écrire mais plus généralement des problèmes de sécurité.

## 2.4 Chronogrammes caractéristiques

## 2.5 Contraintes du projet

La section qui suit traite de la gestion du projet. Il s'agit de préciser la planification du projet avec des divers livrables à fournir à des dates précises. La figure (3) ci-dessous est le plan de développement du projet. Les losanges bleus sont les jalons à fournir. La conception de cet IP a débuté le 5 octobre 2022 c'est-à-dire à la 40<sup>ème</sup> semaine de l'année. Le rendu de l'IP et du rapport de conception s'effectuera la semaine 49.

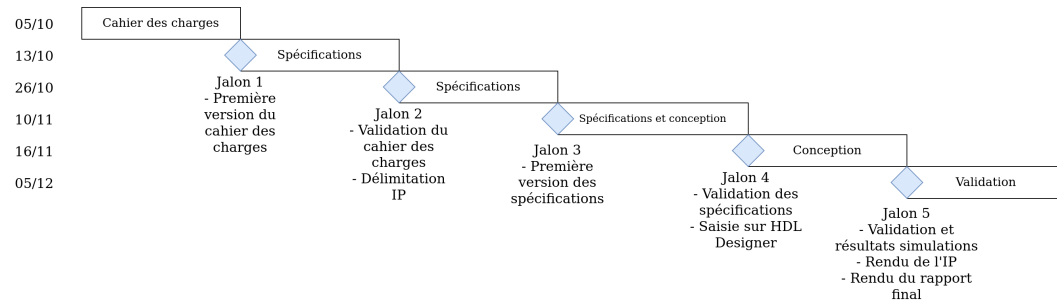


Figure 3: Planification du projet avec ses jalons

Également, le projet est contraint d'un point de vue ressources disponibles. La liste suivante présente les ressources attribuées pour la conception de ce contrôleur d'interruptions.

- 2 concepteurs
- Outils EDA de Mentor Graphics (propriété de Siemens EDA)
- Carte d'évaluation ZYNQ-7 basé sur un FPGA Zynq-7000

### **3 Conclusion**

Lorem ipsum



CPU  
IP  
TTL

## Acronyms

**CPU** Central Processing Unit 5

**IP** Intellectual property 5

**TTL** Transistor-transistor logic 5

[1]

## References

- [1] STMicroelectronics. Reference manual rm0376. Technical report, STMicroelectronics, February 2022.

## 4 Appendix