

Instituto Tecnológico de Costa Rica Área Académica de Ingeniería en Computadores (Computer Engineering Academic Area) Programa de Licenciatura en Ingeniería en Computadores (Licentiate Degree Program in Computer Engineering) Curso: CE-4302 Arquitectura de Computadores II (Course: CE-4302 Computer Architecture II) Profesor: M.Sc. Ing. Jefferson González Gómez. (Professor) Semestre: II, 2019 (Semester)	Quiz No. 3 (Quiz Test No.3) Fecha: 4 de octubre de 2019 (Date) Grupo: 1 (Group: 1) Tema: Paralelismo a nivel de datos (Topic: Data Level Parallelism) Tiempo: 30 minutos (Time: 30 minutes) Valor: 20pts. (Value: 20 pts.) Puntos obtenidos: 14,5 (Score) Nota: 72,5 (Percentage)
Nombre del (la) estudiante: <u>Alexis Garrido</u> (Student's full name) Carné: <u>7016085662</u> (Student's ID)	

INSTRUCCIONES GENERALES.

- Esta evaluación es individual.
- Se permite material de apoyo para esta evaluación siempre y cuando sea de manera escrita.
- Responda de forma clara y ordenada.
- Se recomienda responder este examen corto con lapicero. No se aceptarán reclamos en respuestas hechas a lápiz.
- No se permite el uso del celular para el desarrollo de este examen corto.

Conteste las siguientes preguntas de manera adecuada. Realice el planteo del problema y todos los procedimientos necesarios para llegar a la solución correcta.

1. Explique cómo la forma de implementación de las operaciones vectoriales en arquitecturas SIMD afecta el desempeño del sistema y el área del chip (5 pts)
2. En un arquitectura vectorial, explique cómo se maneja el control del flujo del programa para realizar ejecución condicional. Mencione además la razón por la que la mayoría de procesadores vectoriales no tienen acceso a saltos dentro de su arquitectura. (5 pts)
3. Con base en el siguiente código y asumiendo encadenamiento:

```
LDV V1, R1, #30
ADDV V1, V1, V2
MULVS V1, V2, R5
SUBV V3, V5, V1
LDV V0, R1, #80
DIVS V0, V3, R0
ADD V1, V0, V3
STRV V0, R4, #30
```

mul fpu

Determine: a) la cantidad de convoys (3 pts), b) el tiempo de ejecución para un tamaño de vector de 64 datos (3 pts), c) el desempeño del computador que ejecuta el código (en FLOPS), tomando como base una frecuencia de 1GHZ. Asuma que toda operación aritmética (suma, resta, multiplicación y división) es de punto flotante de 32 bits (4 pts).

① Existen varias unidades funcionales replicadas, por ejemplo, varias ALU. Esto permite que se realicen varias operaciones al mismo tiempo, o la misma operación dividida en módulos. Debido al aumento de componentes el área del chip incrementa (y su potencia también).
 2.5/8 + detalle, implementaciones → parásitos / segundos

② Las operaciones ~~se realizan~~ condicionales se realizan mediante ^{pre-} ~~cond~~ un vector booleano (VM) que define si la operación se ~~realiza~~ guarda en el vector resultante (igual se realiza la operación). Se guarda mediante un "AND" para condicionar el guardado. No se tiene acceso debido a que no es necesario y además retrasa a las operaciones a realizar ~~Además~~
 4/5
 ¿uno?

③

a) hay 3 convoys

3/3

b) 3 convoys x 64 ~~se~~

192 ciclos 3/3

c)

~~2 FLOP~~ 3 convoys
 3 chime

1 chime
 1 convoy

32 ciclos
 1 chime

~~1920 k~~
 1920

1 s.
 1×10^9 ciclos

?
 ¿verdad?

~~2 FLOP~~
 3 chime

1 chime
 64 ciclos

1 ciclo
 10^{-9} s

DSM FLOPS
 no entiendo

2/4.