

Instituto Tecnológico de Costa Rica
Área de Ingeniería en Computadores
Arquitectura de Computadores II
Prof. Ing. Jeferson González Gómez
II Semestre 2019

Práctica

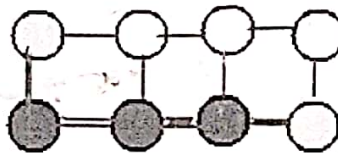
Problemas:

1. Se tiene un arreglo de N^2 procesadores con tecnología Intel Hyper Threading, interconectados por medio de una malla (procesadores conectados uno a uno entre filas y columnas, pero no de manera diagonal), en una matriz de $N \times N$. Si se desea obtener una mejora de 16, con respecto a un sistema uniprocador (original), cuál debe ser la fracción paralela de la aplicación si a) $N = 4$ y no se toma en cuenta la comunicación, b) $N = 4$ y se incluye un overhead de comunicación sobre el tiempo original, dado por función $f(h) = h/16$, donde h es la mayor cantidad de procesadores, entre cualquier procesador emisor y cualquier procesador receptor, incluidos en una ruta que posee menos de dos cambios de 90° en la trayectoria de comunicación), como se muestra a continuación, para un arreglo de 2×4 :

¿con un f_p 0,25

ganancia máx?

$$max = 8 \times \frac{1 - 0,25}{0,25} = 24$$



$h = 3$

$$\frac{4 \times 4}{3 \times 3} = 1,78$$

$$SP = \frac{1}{\frac{f_p}{SP} + (1 - f_p)}$$

$$4 \times 4 = 16$$

$$h = 3$$

$$2N^2 = P \quad SP = 16$$

$$\frac{h}{16}; h = 2N-3$$

$$SP = \frac{1}{\frac{1-0,25}{P} + 0,25 + f(h)}$$

2. Suponga que se tiene un sistema multiprocesador que requiere un tiempo de 100ns para accesos a memoria fuera de chip, en el que, al tener un acceso fuera de chip, los procesadores deben esperar el dato. La frecuencia de los procesadores es de 1GHz. Si el desempeño del computador original, en CPI (tomando en cuenta solamente accesos dentro del chip), es de 0.5 y el nuevo desempeño dado por compartir procesamiento es de 0.1 ¿Qué tan rápido es tener multiprocesadores sin comunicación entre sí (sin accesos fuera de chip) contra si el 0.5 % de las instrucciones requirieran accesos fuera de chip?, si a) todos los accesos locales son aciertos en caché (el tiempo de acceso se asume despreciable) b) se tiene un sistema con un nivel L1 de cache unificado, con un tiempo de acceso de 5ns y un porcentaje de desaciertos del 50%, y un nivel L2 unificado, con un porcentaje de desaciertos del 10%, un tiempo de acceso de 10ns y una penalidad de desacuerdo de 30ns. Tome en cuenta un porcentaje de instrucciones de acceso a memoria local del 20%.

3. Suponga que en un computador se desea obtener una mejora utilizando N procesadores, con tecnología Intel Hyper Threading, distribuidos en una configuración de anillo (cada procesador esta comunicado solamente con otro procesador, de forma que el ultimo procesador se comunica con el primero). Para un fracción serial del 10%, cuál es la cantidad de procesadores que maximiza la ganancia, si i) no se toma en cuenta el tiempo de comunicación, ii) se toma en cuenta un overhead de comunicación promedio, con respecto al tiempo original, dado por la función $f(h) = 0.005 \cdot \ln(h)$, donde h representa el valor máximo de procesadores intermedios (no toma en cuenta el procesador emisor ni el receptor) para llevar la información de un procesador a cualquiera de los otros? Haga una gráfica de la ganancia en función del número de procesadores, para al menos 8 puntos relevantes.

4. Tomando como base un protocolo MSI, diseñe un protocolo que agregue un estado O (owner). A este estado deberá transicionarse luego de que un procesador comparta un bloque, previamente designado como exclusivo, con otro procesador. En este nuevo protocolo, ante desaciertos de lectura de otros procesadores al bloque en estado O, el procesador dueño del bloque lo debe proveer, sin necesidad de realizar Writeback a memoria principal. Muestre la máquina de estados que implementa el nuevo protocolo con las transiciones y eventos producidos desde el mismo procesador y desde el bus. Diferencie ambos casos con colores distintos.