

Máquina simple jugadora de dados

1. Objetivos

1. continuar con el proceso de diseño de sistemas digitales
3. Comprender el funcionamiento de las máquinas de estado
4. realizar el montaje de máquinas de estado para resolver un problema de control electrónico utilizando circuitos de lógica LSI, MSI y/o dispositivos programables FPGA.

2. Descripción

Las máquinas de estado son sistemas flexibles que permiten no solo controlar elementos industriales sino también aplicaciones tan diversas como juegos. La idea central del proyecto es simular una máquina de estados finitos capaz de controlar un juego de dados.

Las reglas el juego

Considere una “*Máquina simple jugadora de dados*” cuyo comportamiento se describe por medio de las siguientes reglas:

- a. Cada vez que el jugador tira los dados, obtiene un número o puntuación N_i que se encuentra en el intervalo definido por $[2 \leq N_i \leq 12]$.
- b. Si en la primera jugada N_1 es igual a 7 u 11, el jugador gana.
- c. Si en la primera jugada se obtiene una puntuación N_1 diferente de 7 u 11, el juego continúa. En tal caso, además, el sistema recuerda la puntuación obtenida en la 1ª jugada.
- d. Si en las jugadas sucesivas el jugador obtiene la puntuación original por 2ª vez y antes de obtener 7 u 11, el jugador gana.
- e. Si el jugador obtiene un número o puntuación N_i igual a 7 u 11 en cualquier jugada sucesiva, el jugador pierde.
- f. Si en la 5ª jugada el jugador obtiene una puntuación N_i diferente de 7 u 11, el juego concluye con empate entre la máquina y el jugador.

3. Procedimiento

1. Deduzca el diagrama de flujo y el diagrama de estados de un controlador digital (**máquina de estados finitos**) que permita implementar la “*Máquina simple jugadora de dados*” antes descrita.
2. Deduzca el diagrama de bloques de la “*Máquina simple jugadora de dados*” que muestra el circuito del controlador y los dispositivos utilizados para la entrada de datos y la salida de resultados.
3. Deduzca el circuito requerido para implementar este controlador.
4. realice una simulación completa de la máquina de modo que se pueda realmente jugar en ella o implemente mediante FPGA o en multisim

4. FECHA ENTREGA LIMITE DE ENTREGA MIÉRCOLES 13 DE JUNIO 2018

Documentación a entregar ese día:

- a. Diagrama de flujo y/o estados
- b. Breve descripción de los pasos seguidos del diseño modular aplicados a este proyecto
- c. Diagramas de 2do, 4to y 5to nivel