

# Aplicaciones del MOSFET: Circuitos básicos CMOS

ELEMENTOS ACTIVOS  
EL-2207

# Objetivos

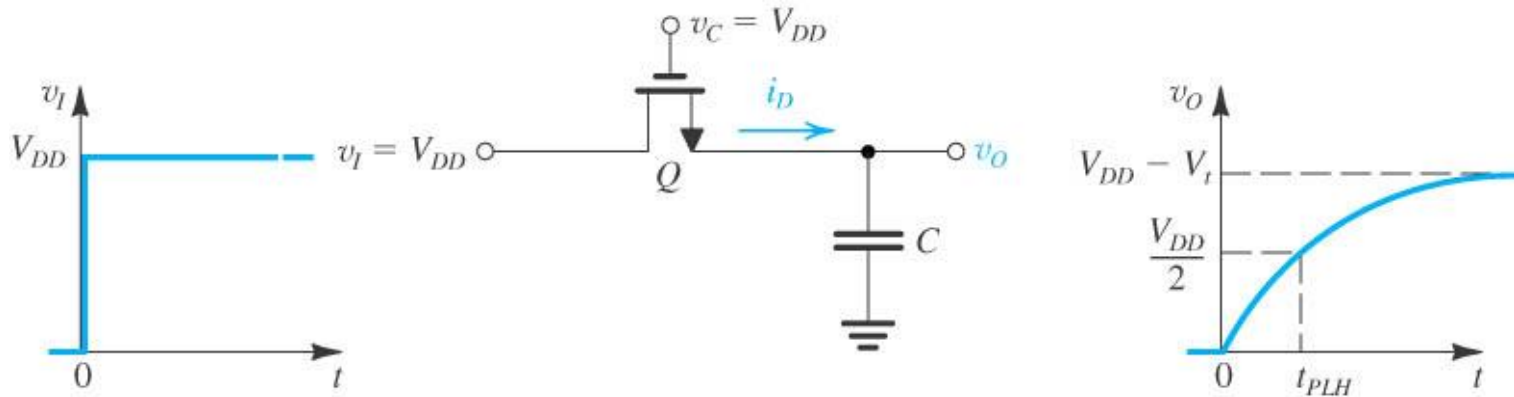
- **El transistor de efecto de campo MOSFET y la tecnología CMOS (8.5 semanas)**
  - Construcción, símbolo, clasificación.
  - Funcionamiento.
  - Curvas características y polarización.
  - Modelo del MOSFET para aplicaciones analógicas.
  - Modelo del MOSFET para aplicaciones digitales.
  - Capacitancias internas y modelos de alta frecuencia.
  - Aplicaciones: El FET como interruptor: interruptor serie, paralelo, inversor lógico y compuertas lógicas básicas
  - Escalamiento de MOSFETs
- **Objetivo**
- Conocer el comportamiento y modelado del transistor de efecto de campo MOSFET, así como sus principales aplicaciones.

# Ecuaciones I-V del MOSFET

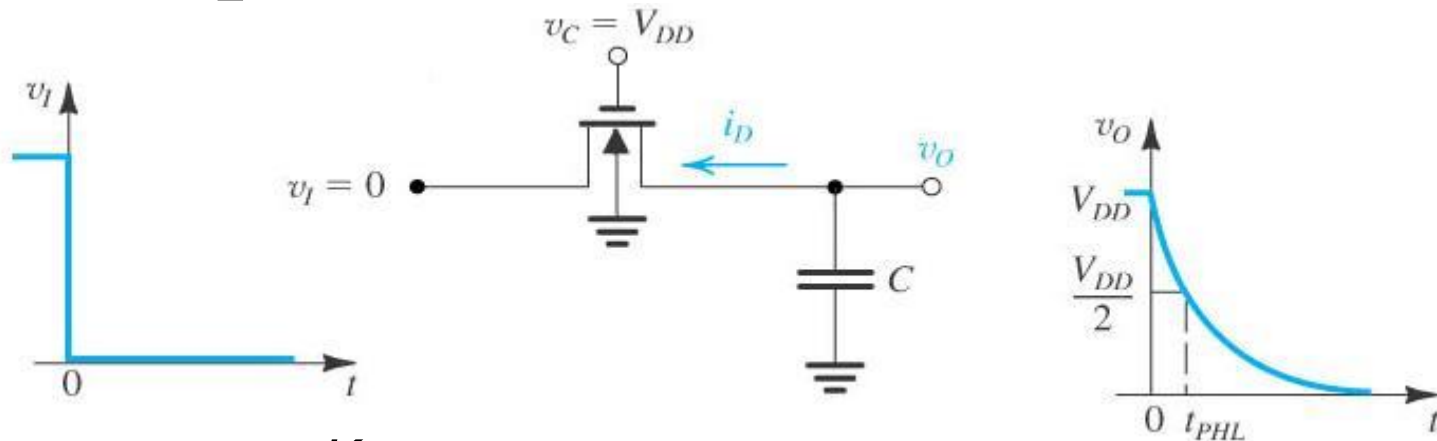
Región	NMOS	PMOS
Corte (Sub-umbral)	$V_{GS} < V_{TH} \quad S = m \cdot V_T \cdot \ln 10$ $I_D = I_{D0} e^{\frac{V_{GS}-V_{TH}}{m \cdot V_T}}$ $I_D = I_{D0} e^{\frac{(V_{GS}-V_{TH}) \ln 10}{S}}$	$V_{SG} <  V_{TH}  \quad S = m \cdot V_T \cdot \ln 10$ $I_D = I_{D0} e^{\frac{V_{SG}- V_{TH} }{m \cdot V_T}}$ $I_D = I_{D0} e^{\frac{(V_{SG}- V_{TH} ) \ln 10}{S}}$
Región Lineal (triódo)	$V_{GS} \geq V_{TH}, \quad V_{DS} < V_{GS} - V_{TH}$ $I_D = K \left( V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) V_{DS}$	$V_{SG} \geq  V_{TH} , \quad V_{SD} < V_{SG} -  V_{TH} $ $I_D = K \left( V_{SG} -  V_{TH}  - \frac{V_{SD}}{2} \right) V_{SD}$
Saturación (sin modulación de canal) $\lambda = 0$	$V_{GS} \geq V_{TH}, \quad V_{DS} \geq V_{GS} - V_{TH}$ $I_D = \frac{K}{2} (V_{GS} - V_{TH})^2$	$V_{SG} \geq  V_{TH} , \quad V_{SD} \geq V_{SG} -  V_{TH} $ $I_D = \frac{K}{2} (V_{SG} -  V_{TH} )^2$
Saturación (con modulación de canal) $\lambda = 1/V_A$	$V_{GS} \geq V_{TH}, \quad V_{DS} \geq V_{GS} - V_{TH}$ $I_D = \frac{K}{2} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$	$V_{SG} \geq  V_{TH} , \quad V_{SD} \geq V_{SG} -  V_{TH} $ $I_D = \frac{K}{2} (V_{SG} -  V_{TH} )^2 (1 + \lambda V_{SD})$

# MOSFET como Interruptor Serie: NMOS

- En el primer caso, el transistor se ve afectado por el efecto de substrato

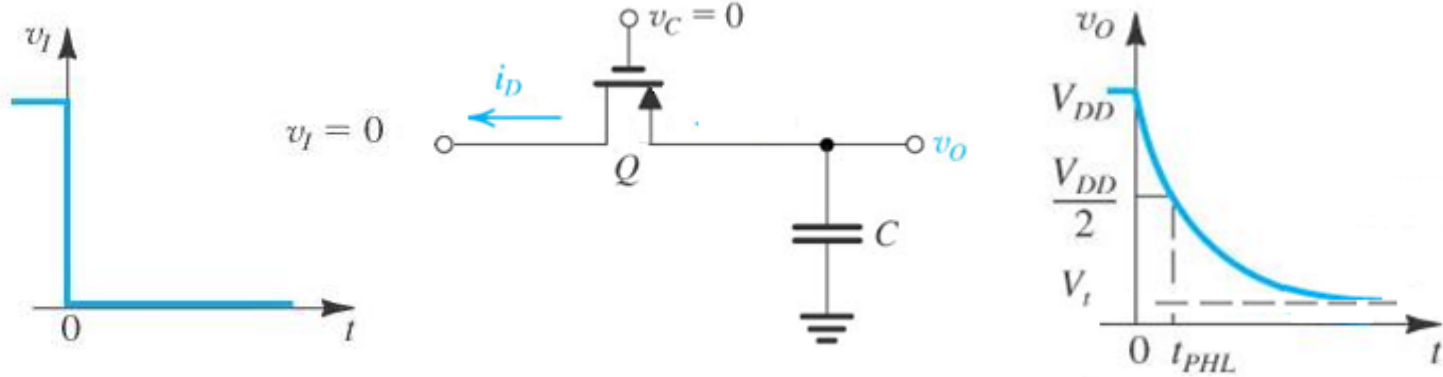


$$I_D = \frac{K}{2} (V_{DD} - v_o - V_{TH})^2, V_{TH} \text{ incluyendo efecto de substrato}$$



$$I_D = \frac{K}{2} (V_{DD} - V_{TH0})^2, V_{TH0} \Rightarrow \text{no efecto de substrato}$$

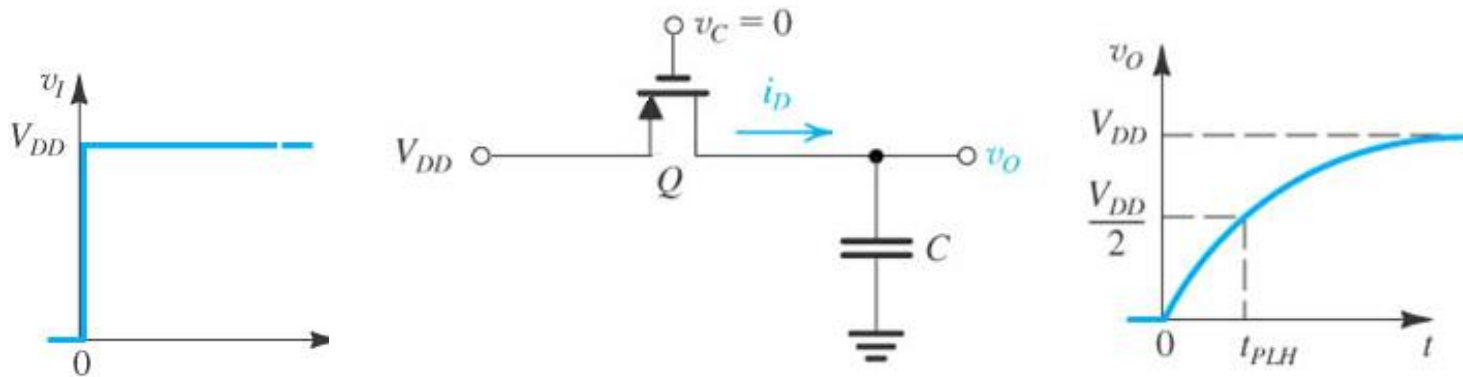
# PMOS como Interruptor Serie



$$I_D = \frac{K}{2}(v_o - V_{TH})^2, V_{TH} \text{ incluyendo efecto de substrato}$$

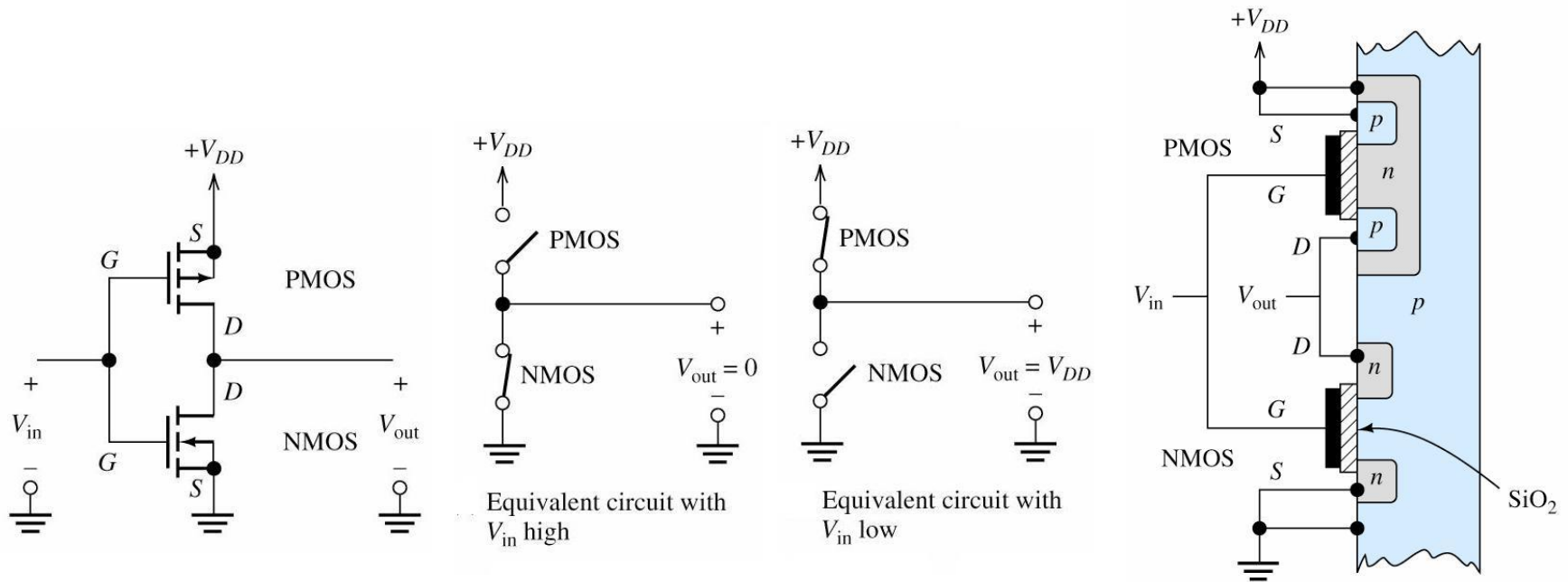
- En el segundo caso, el transistor se ve afectado por el efecto de substrato

$$I_D = \frac{K}{2}(V_{DD} - V_{TH0})^2, V_{TH0} \Rightarrow \text{no efecto de substrato}$$



# Inversor CMOS

CMOS: Complementary Metal Oxide Semiconductor (1963)  
Circuitos con transistores PMOS y NMOS



$V_{in} > V_{THN}$  ,  $V_{in} = V_{DD} \Rightarrow$  NMOS activado, PMOS inactivo

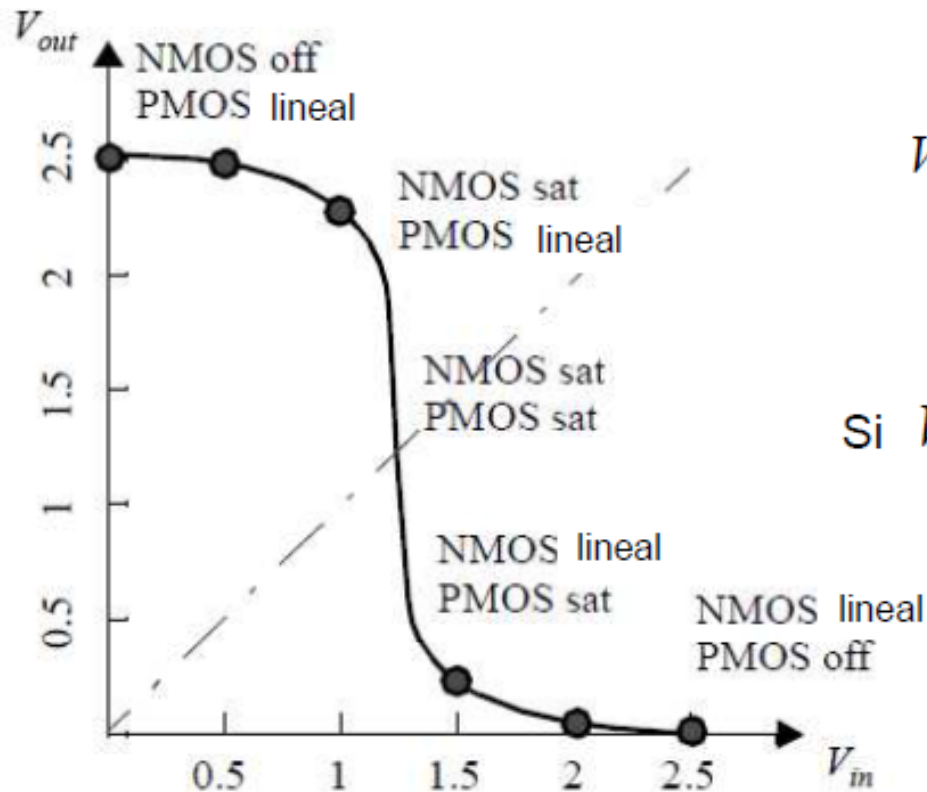
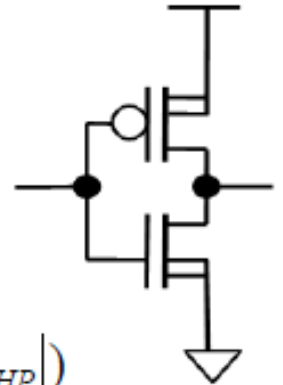
$\Rightarrow V_{out} = 0V$ : NMOS en región lineal, PMOS en región de corte

# Curva de Transferencia de Tensión

Punto de disparo  $V_{SP}$  de un inversor = cuando  $V_{out} = V_{in}$

$$V_{SG,P} = V_{DD} - V_{in} = V_{SD,P}$$

$$V_{GS,N} = V_{in} = V_{DS,N}$$

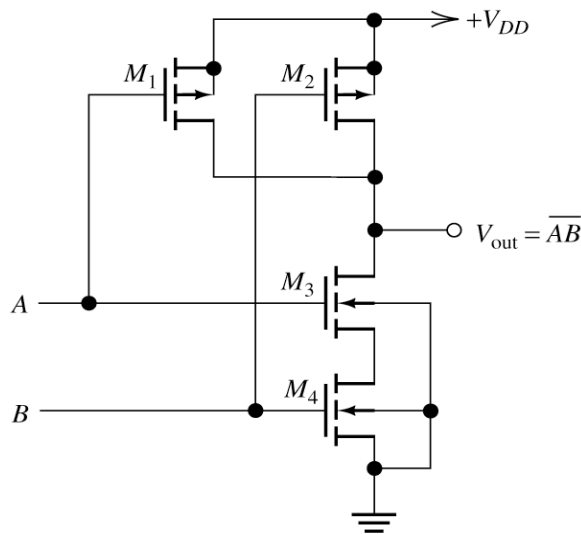


$$V_{in} = \frac{V_{THN} + \sqrt{\frac{K_P}{K_N}} (V_{DD} - |V_{THP}|)}{1 + \sqrt{\frac{K_P}{K_N}}}$$

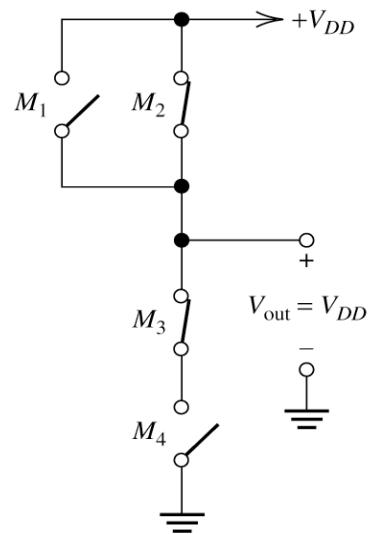
Si  $V_{in} = \frac{V_{DD}}{2} = V_{out}$  = inversor simétrico

Para lograr un inversor simétrico, deben compensarse las diferencias de movilidades de huecos y electrones ajustando las dimensiones de los transistores

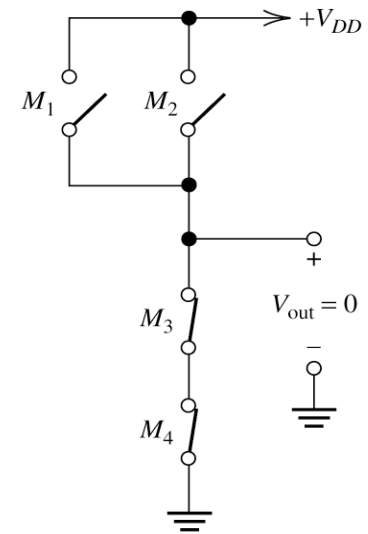
# Compuertas Lógicas: Compuerta NAND



(a) Circuit diagram



(b) A high and B low



(c) Both A and B are high

**Figure 12.32** Two-input CMOS NAND gate.

Entrada lógica	Voltaje de entrada	Salida lógica	Voltaje de salida
A=0, B=0	$V_A=0, V_B=0$	1	$V_{DD}$
A=0, B=1	$V_A=0, V_B=V_{DD}$	1	$V_{DD}$
A=1, B=0	$V_A=V_{DD}, V_B=0$	1	$V_{DD}$
A=1, B=1	$V_A=V_{DD}, V_B=V_{DD}$	0	0



# Compuertas Lógicas: Compuerta NOR

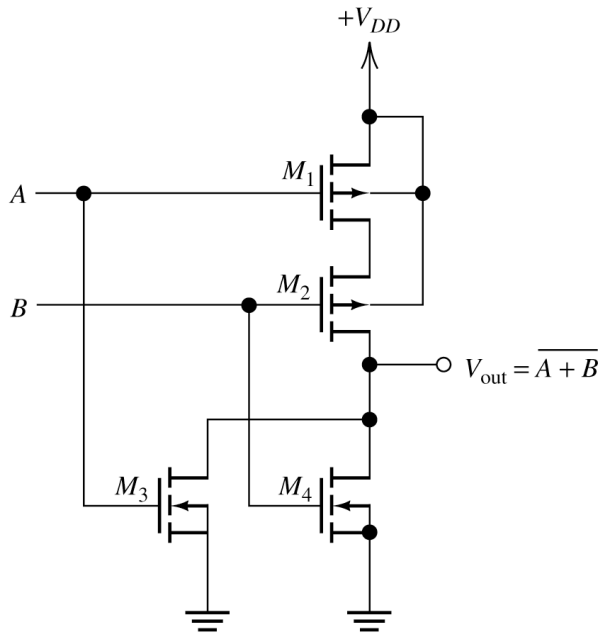
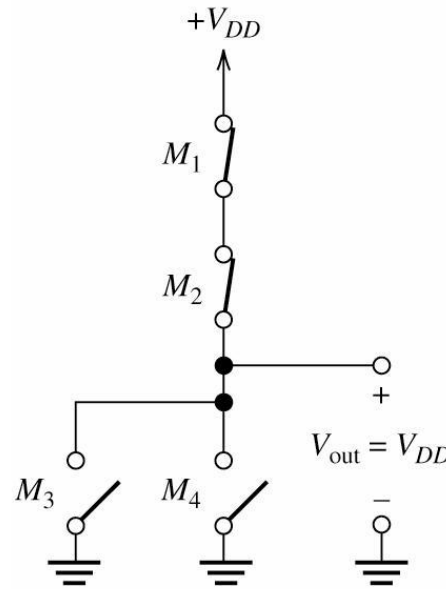
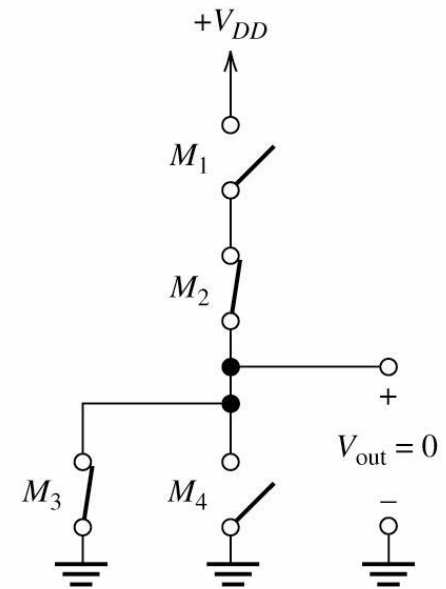


Figure 12.33 Two-input CMOS NOR gate.



(a) A and B both low



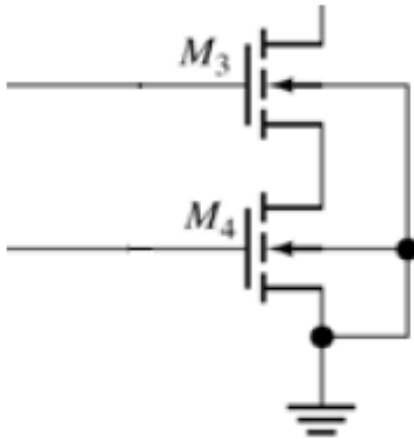
(b) A high and B low

Entrada lógica	Voltaje de entrada	Salida lógica	Voltaje de salida
A=0, B=0	$V_A=0, V_B=0$	1	$V_{DD}$
A=0, B=1	$V_A=0, V_B=V_{DD}$	0	0
A=1, B=0	$V_A=V_{DD}, V_B=0$	0	0
A=1, B=1	$V_A=V_{DD}, V_B=V_{DD}$	0	0

# Arreglos de Transistores

Todo transistor tiene una resistencia asociada, reflejada en las regiones lineal y de saturación por el parámetro de transconductancia. Por lo tanto:

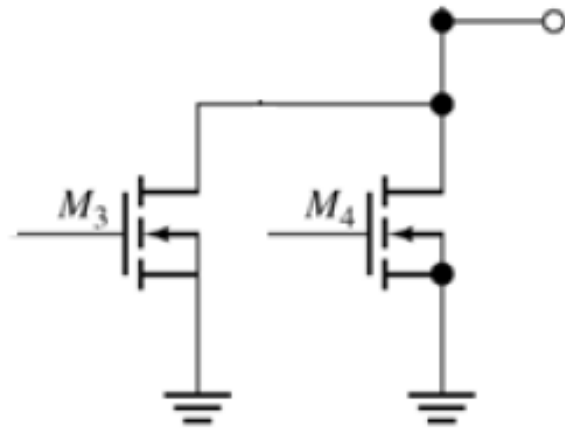
Transistores en serie



= como conductancias en serie

$$K_{eq} = \left( \sum_{i=1}^n \frac{1}{K_i} \right)^{-1}$$

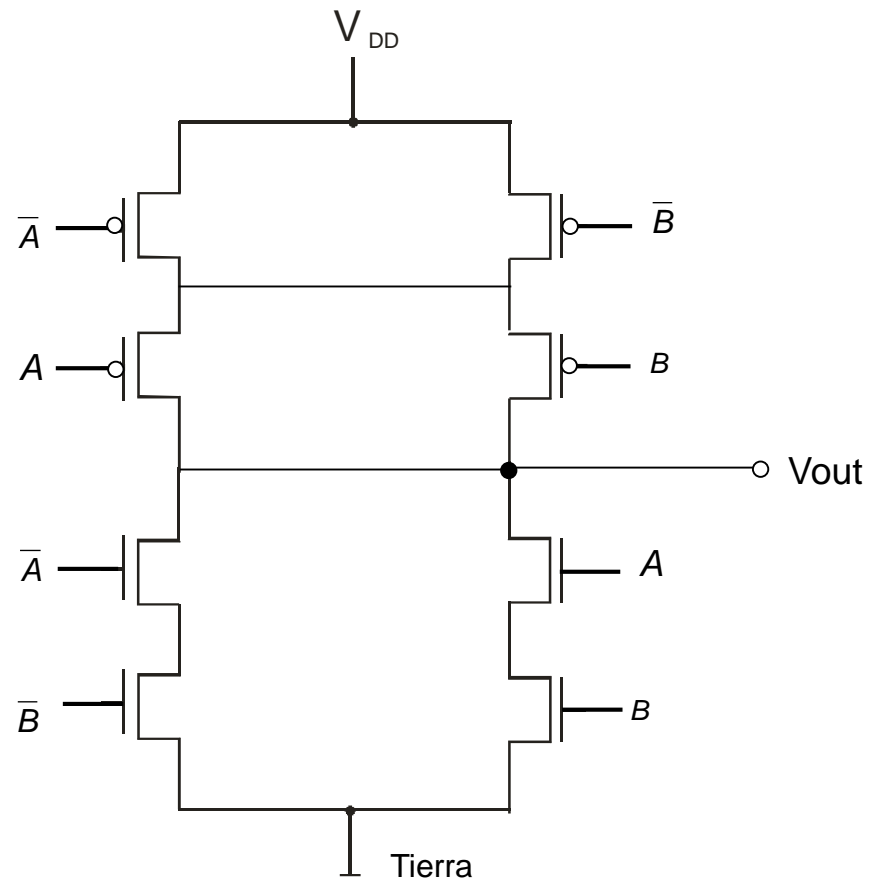
Transistores en paralelo



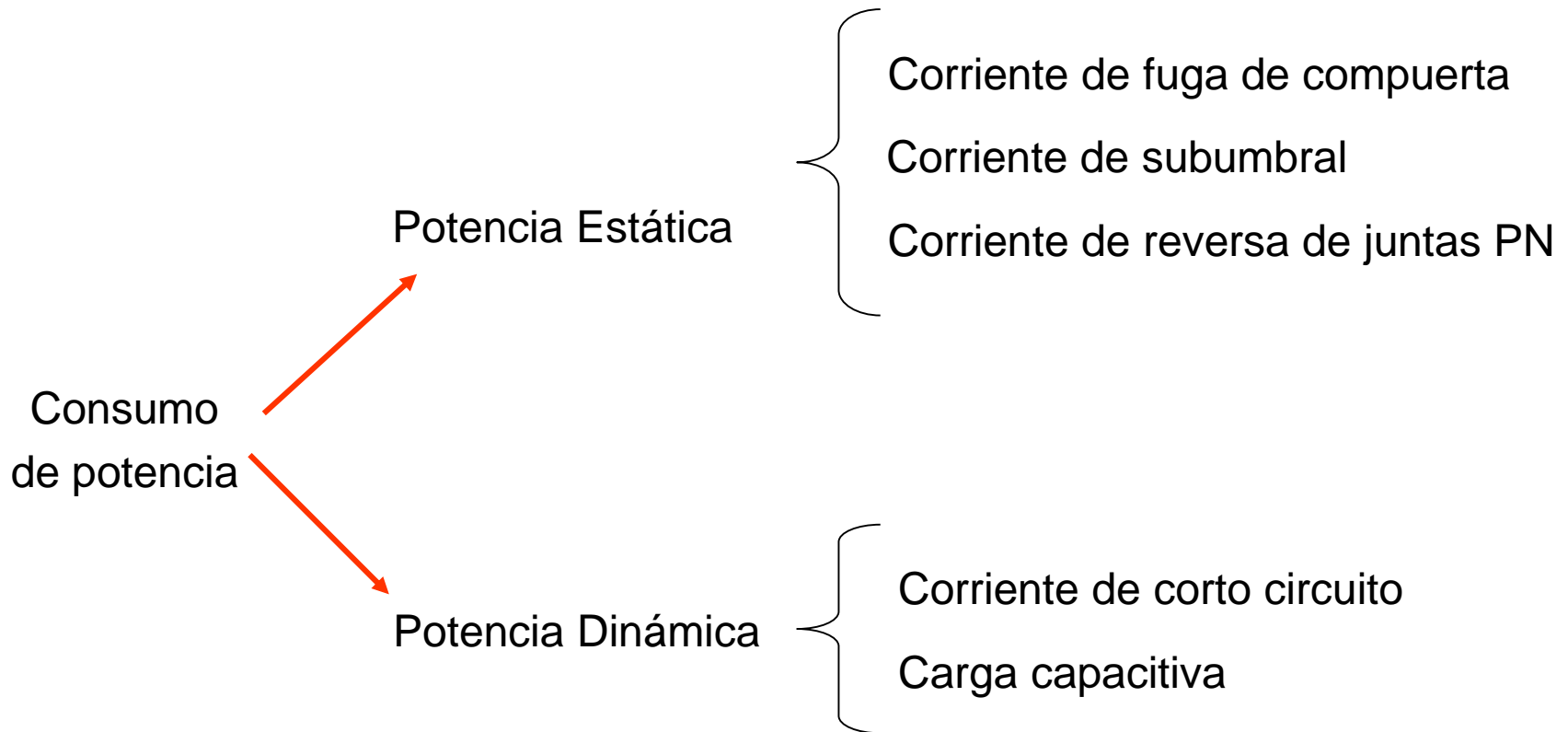
= como conductancias en paralelo

$$K_{eq} = \sum_{i=1}^n K_i$$

# ¿Cuál es la función lógica de este circuito?



# Consumo de Potencia

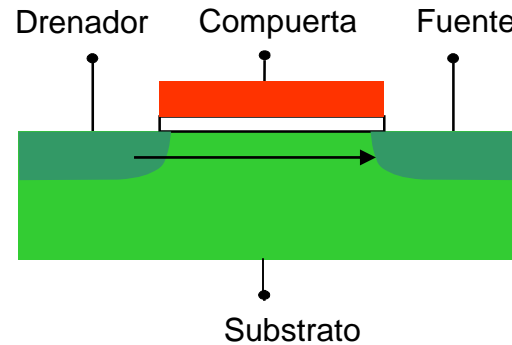


En general, en los circuitos integrados,

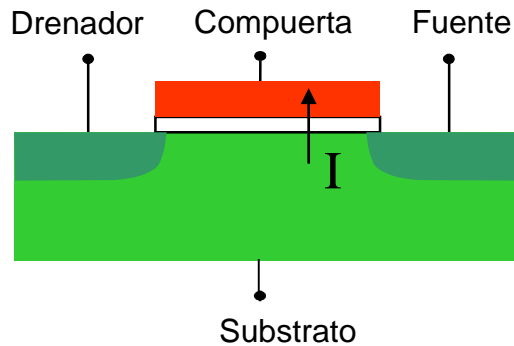
Disipación por carga capacitiva  $\gg$  Potencia corto circuito  $\gg$  Potencia estática

# Potencia Estática

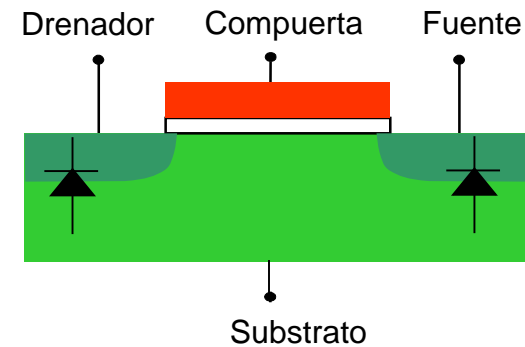
Corriente de subumbral ( $V_{GS} < 0$ )



Corriente de fuga de compuerta

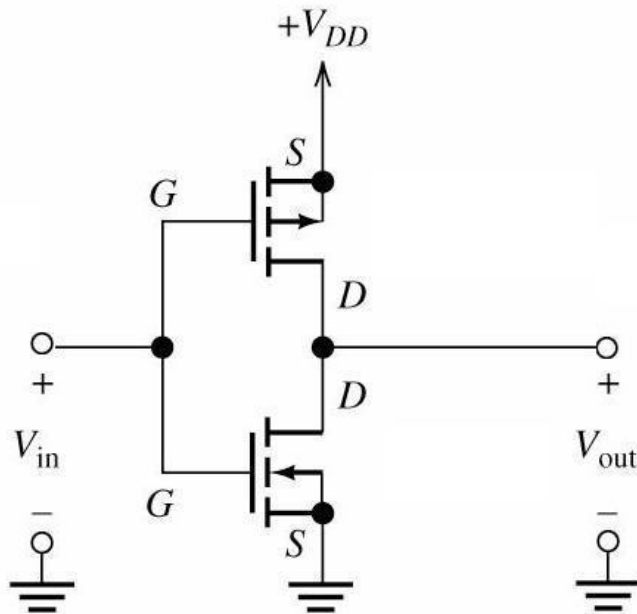


Corriente de reversa de juntas PN



# Potencia Dinámica

- Potencia dinámica debido a corriente de corto circuito



Para  $V_{IN}=V_{OUT}$  ambos transistores operan en saturación

$\Rightarrow$  ambos transistores conducen, permitiendo un flujo de corriente de  $V_{DD}$  a tierra

$\Rightarrow$  Corriente de corto circuito

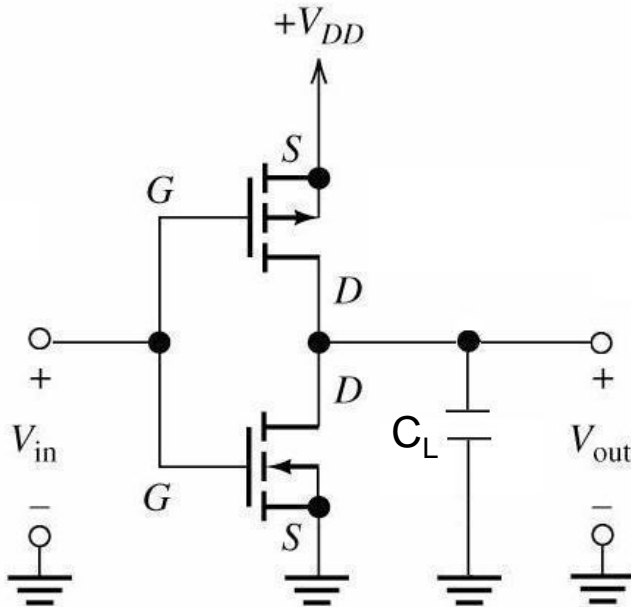
Potencia disipada: 
$$P_{SC} = I_{SC} \cdot V_{DD} = \frac{2}{3} \cdot K \cdot \frac{t_r}{T} \left( \frac{V_{DD}}{2} - V_{TH} \right)^3$$

$t_r$  : tiempo de subida (se asume  $t_r = t_f$ )

$T$ : período de  $V_{IN}$

# Potencia Dinámica

- Potencia dinámica debido a cargas capacitivas



Capacitancia de carga debido a:

- $C_{OX}$  de compuertas siguientes
- $C_{OX}$  propia
- $C_W$ , capacitancia parásita de interconexión

Representadas por  $C_L$

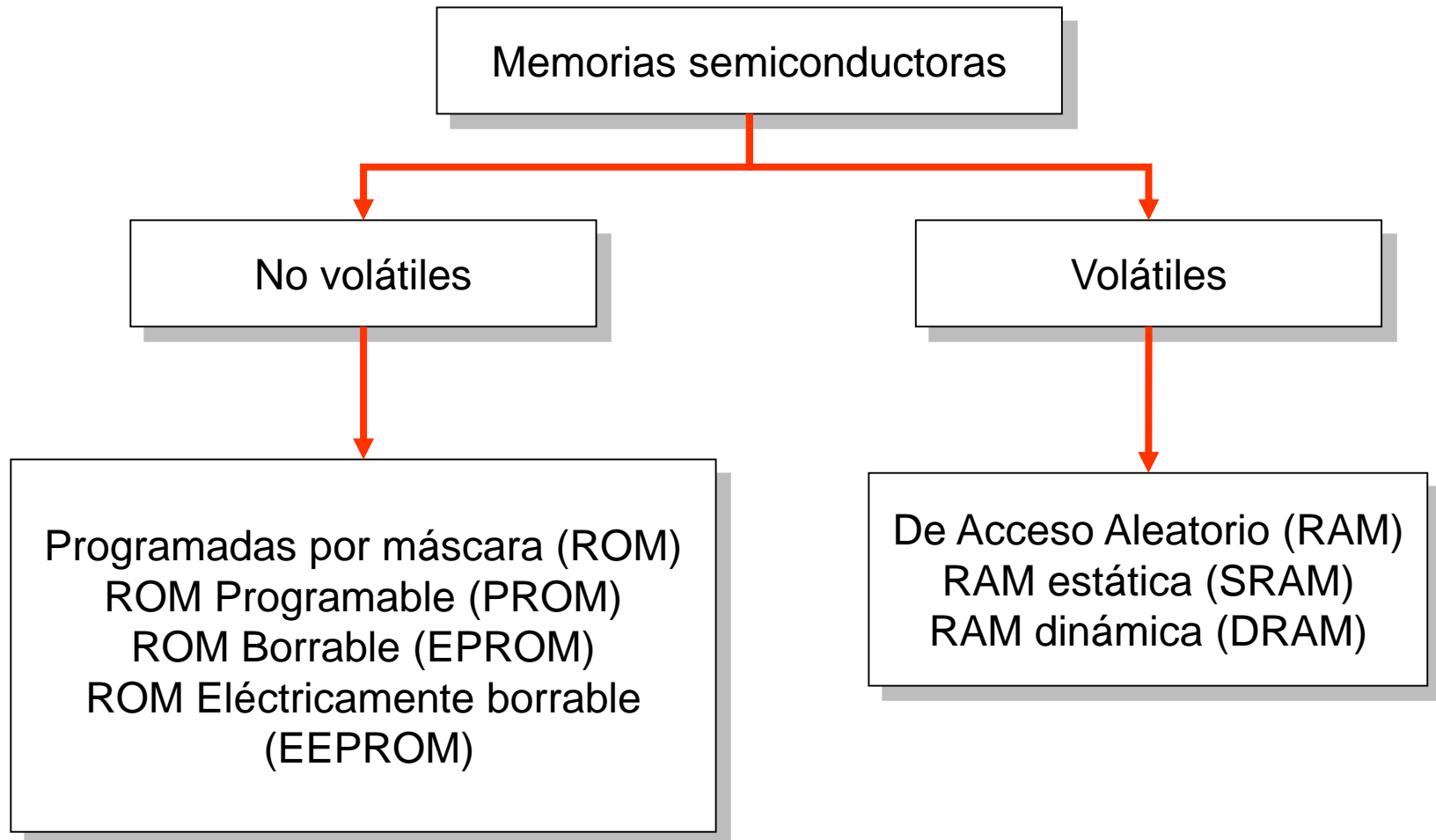
Potencia disipada: 
$$P_L = A \cdot f \cdot C_L \cdot V_{DD}^2$$

$f$  : frecuencia de conmutación,  $C_L$ : capacitancia de carga,  $A$ : factor de actividad

$A$ : factor de actividad = probabilidad de conmutación

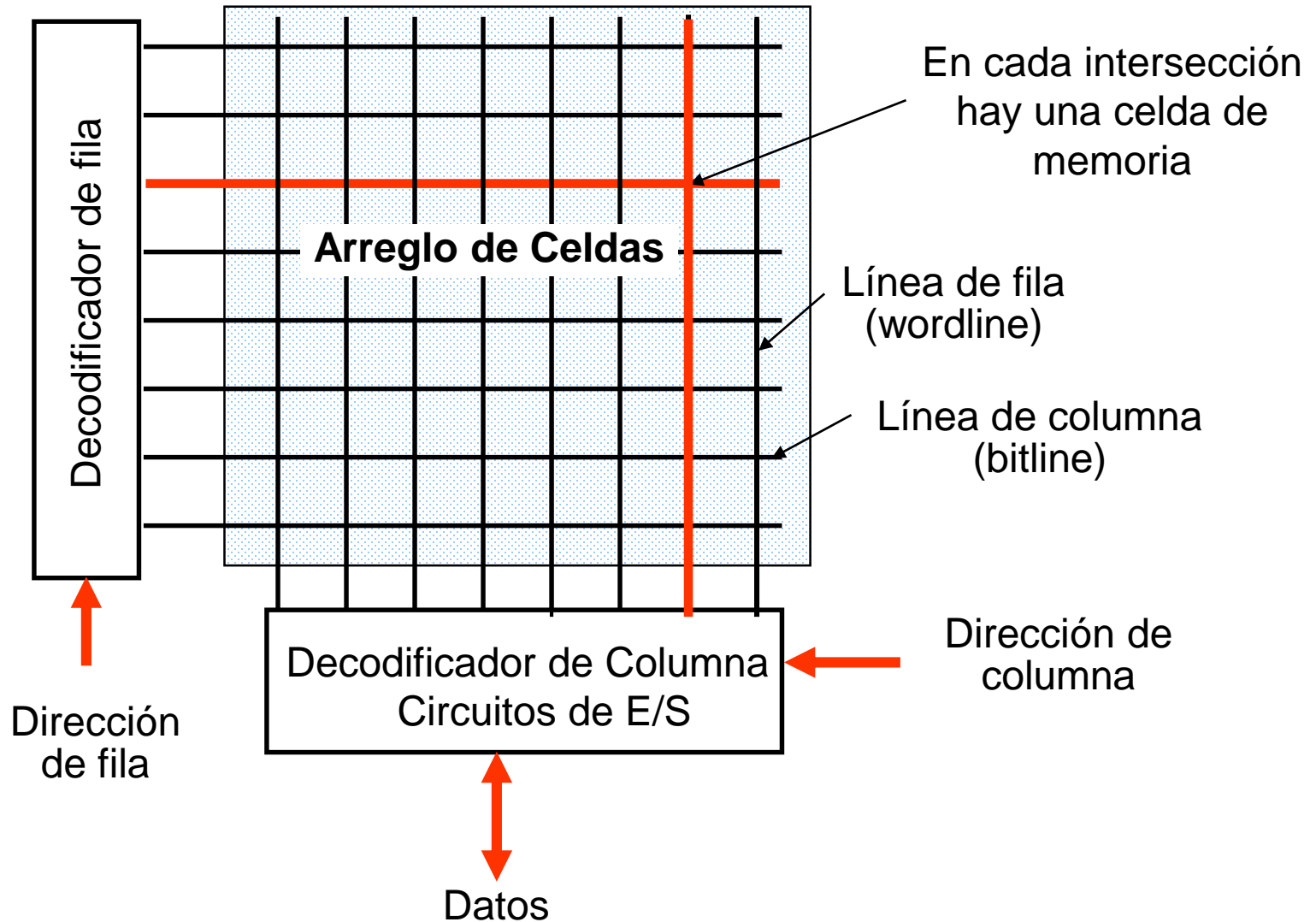
# Clasificación de Memorias

- Basadas en transistores MOSFET para lograr alta densidad

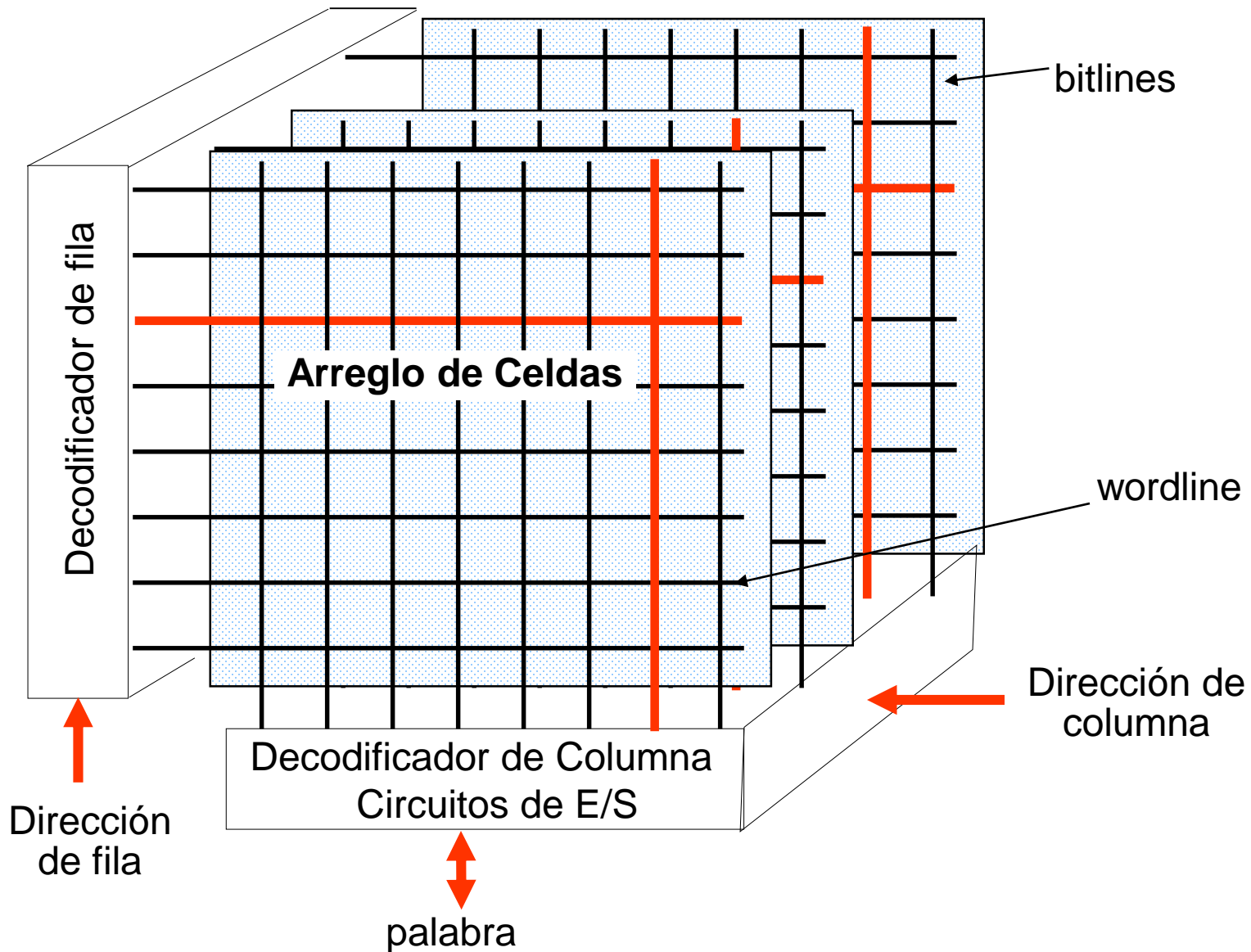




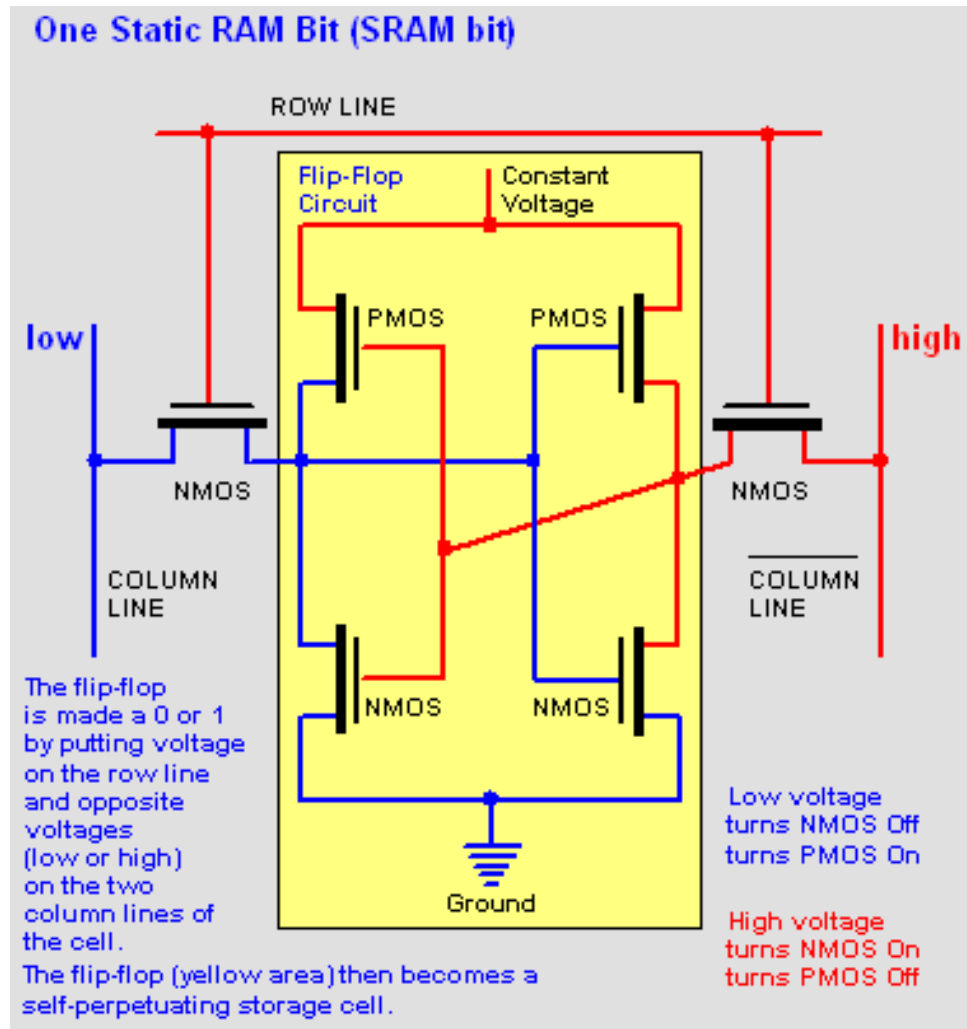
# Organización de Memorias



## Organización de una Memoria (2)



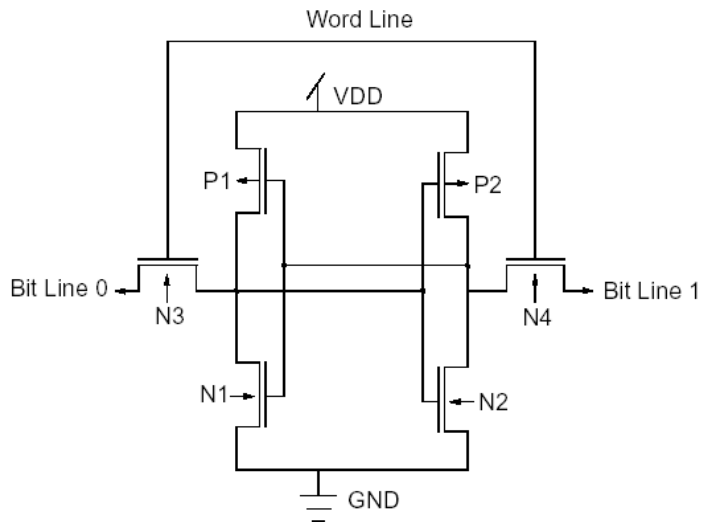
# Celda de Memoria SRAM



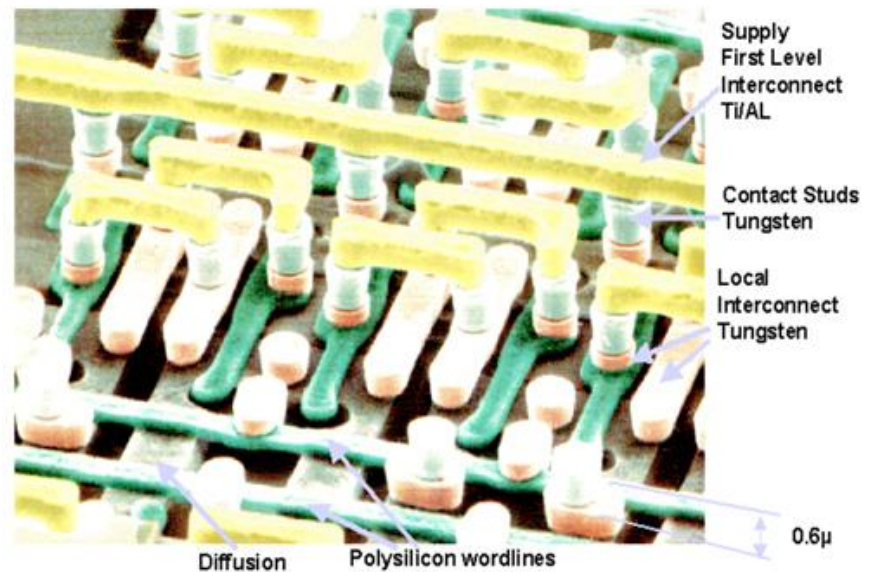
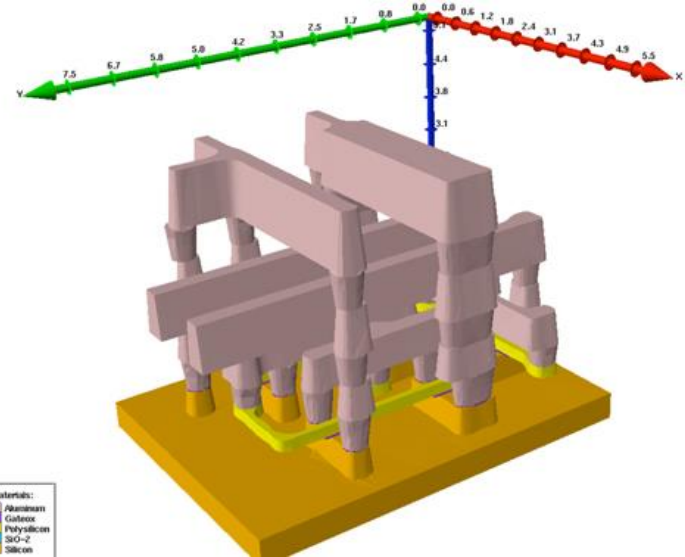
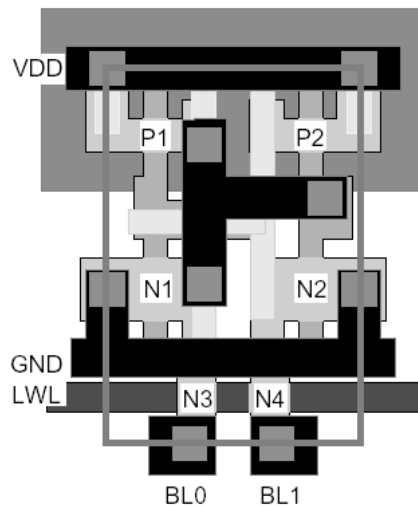
- Las memorias RAM son volátiles = pierden los datos al remover la alimentación
- SRAM: Static Random Access Memory
- Cada celda almacena un bit, se requieren 6 transistores por bit
- Celda SRAM: cerrojo
  - Dos inversores mutuamente acoplados
  - Dos transistores de acceso al cerrojo
- Transistores de línea de palabra conectan el cerrojo con los circuitos de lectura y escritura

# ¿Cómo se implementa una celda SRAM?

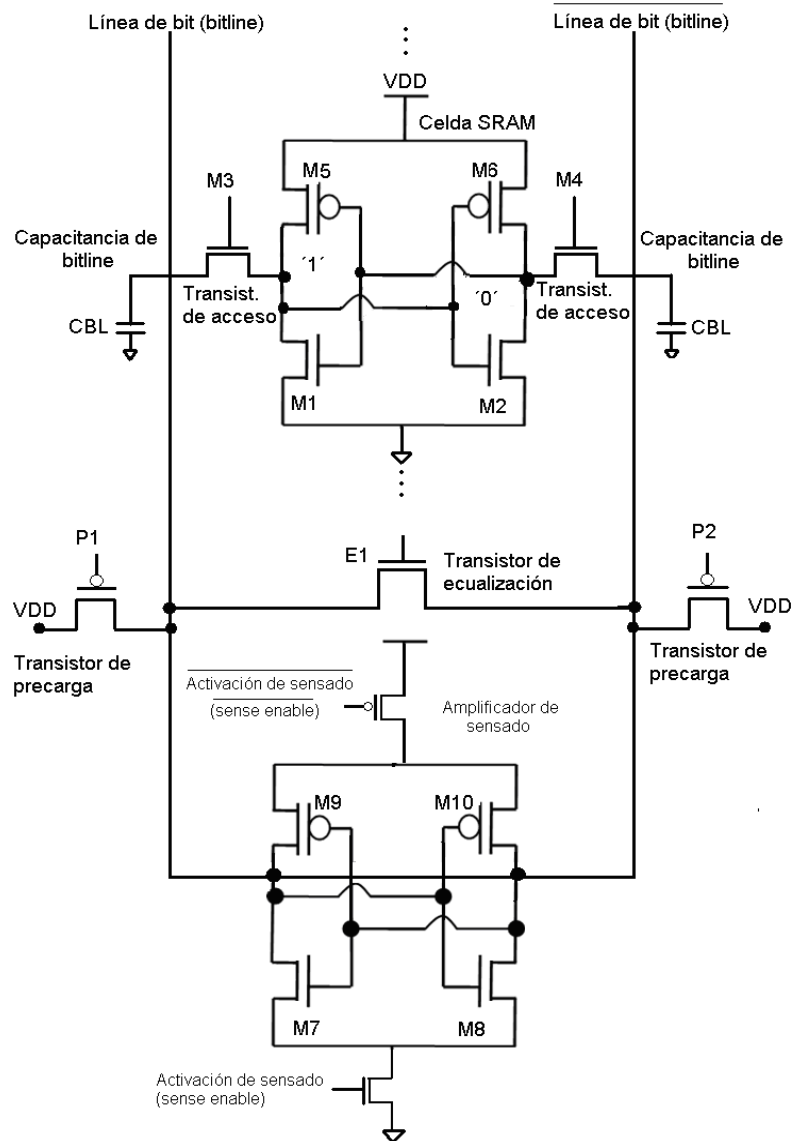
**Circuit Diagram**



**Cell Layout**



# Lectura de una celda SRAM



## Procedimiento de lectura

- Precargar las líneas de bit a  $V_{DD}$
- Igualar niveles de tensión de ambas líneas
- Desactivar precarga y ecualización
- Activar línea de palabra
- Esperar hasta que haya una diferencia de 100mV entre ambas líneas de bit
- Desactivar línea de palabra
- Activar amplificador de sensado
- Amplificar
- Transmitir el dato a la salida

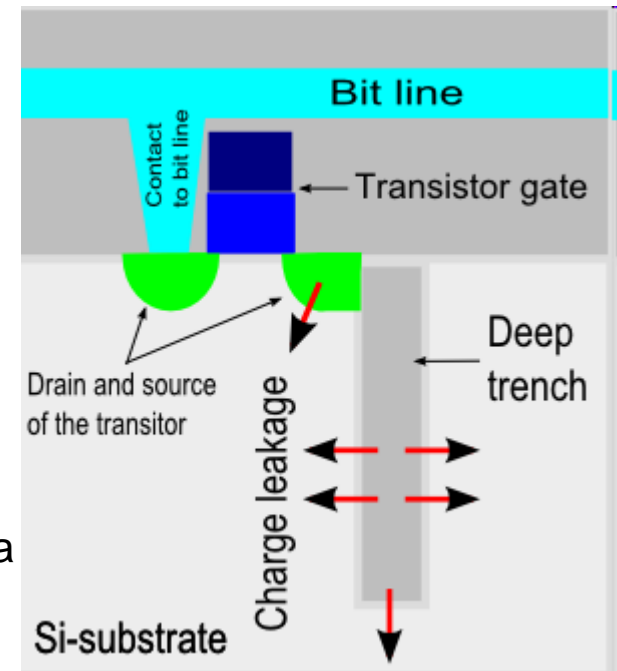
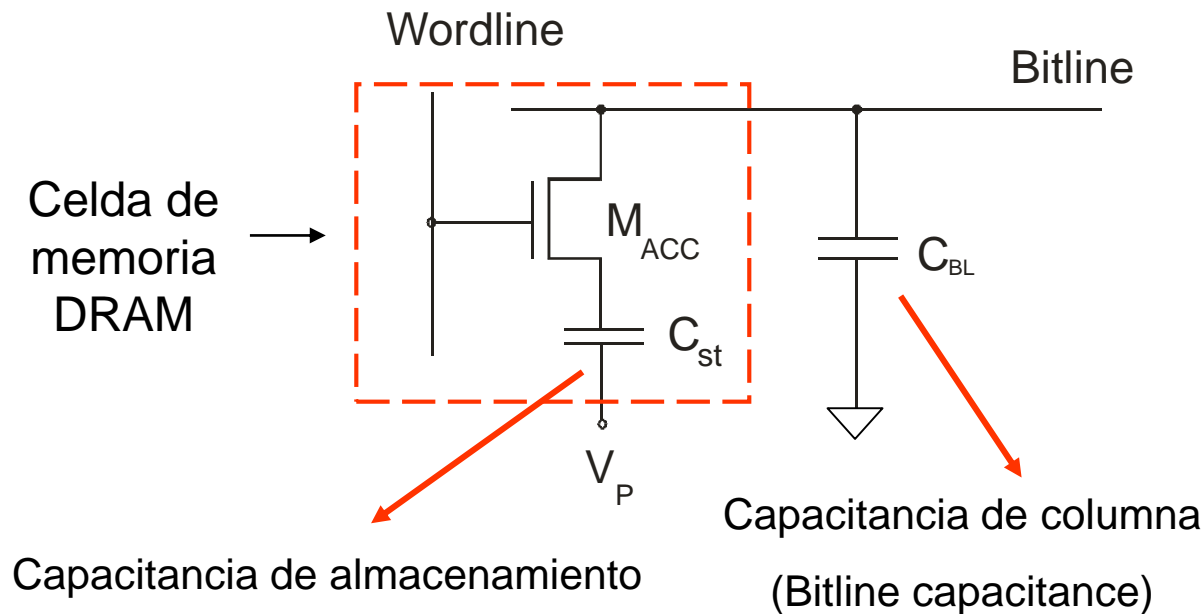
# Celdas de Memoria DRAM

DRAM: Dynamic Random Access Memory

Dato se guarda en un capacitor de almacenamiento: capacitor cargado = ,1',  
descargado = ,0'

El transistor de línea de palabra conecta el capacitor de almacenamiento con el  
circuito de lectura/escritura

Corriente de fuga descarga capacitor  $\Rightarrow$  dato debe reescribirse periódicamente=  
refrescamiento de datos



# Memorias no Volátiles

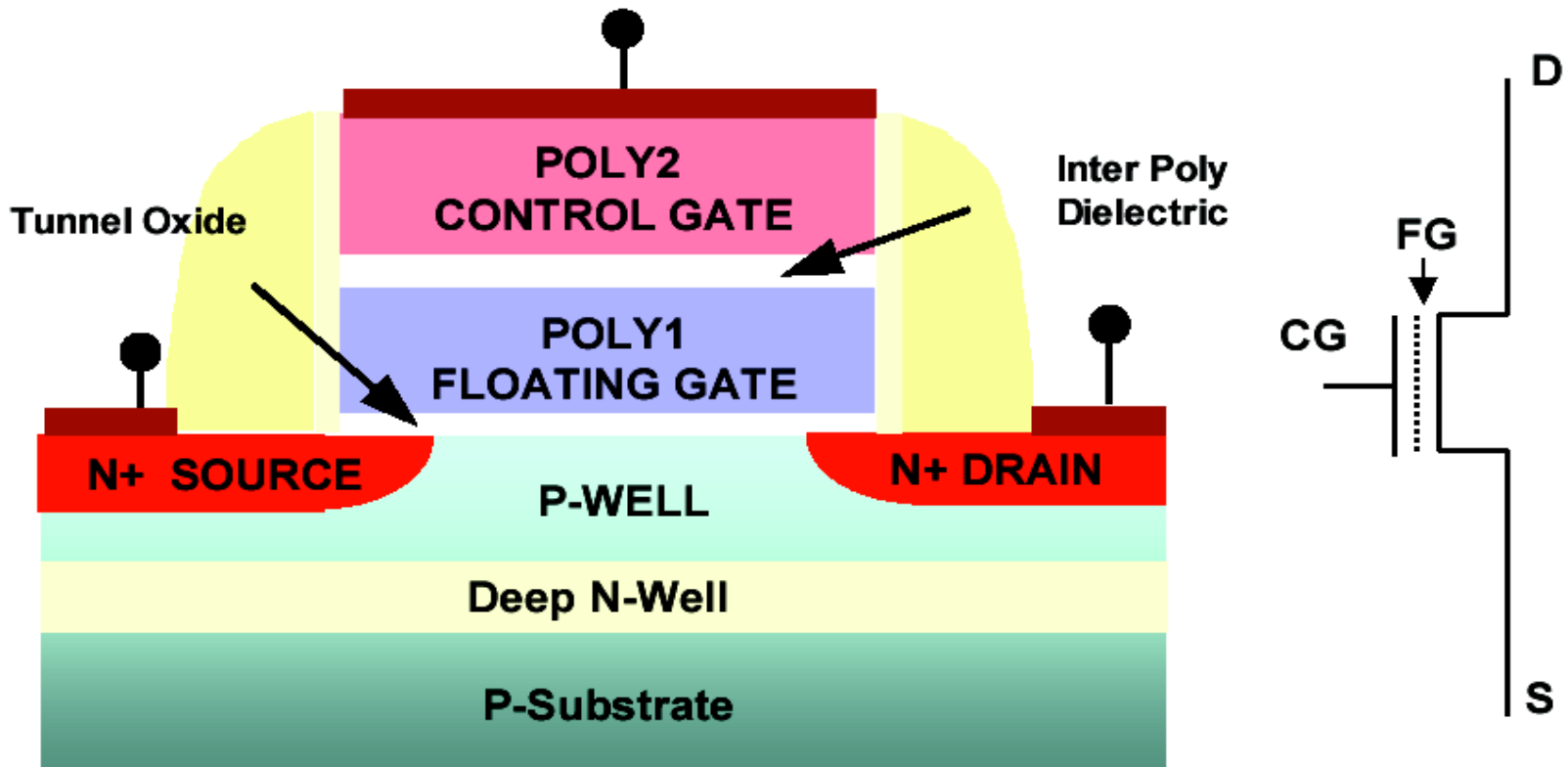
- No volátil = Mantienen los datos aún sin tensión de alimentación
- Se clasifican por sus métodos de programación y borrado
  - Programables o no por el usuario
  - Borrables eléctrica u ópticamente
- Principio de almacenamiento de datos:
  - Durante el proceso de fabricación
  - Por conexiones programables (ej: fusibles)
  - Por cambio de voltaje de umbral
- EEPROM y EPROM
  - Métodos eléctricos de escritura y borrado son destructivos
  - Número de ciclos de escritura-borrado es restringido (mínimo 100 mil)
  - Tiempo de retención de datos es restringido (mínimo 10 años)
  - FLASH es un tipo de EEPROM

# Clasificación de Memorias No Volátiles

Tipo	Costo	Programabilidad	Tiempo de programación	Tiempo de borrado
ROM	bajo	Por máscara	Semanas	No borrrable
PROM	bajo	Una vez, eléctricamente	Segundos	No borrrable
EPROM	Medio	Hasta 100 mil veces, eléctricamente	Segundos	20 minutos (luz UV)
Flash	Alto	Hasta 100 mil veces, eléctricamente	100 $\mu$ s	Por bloques, eléctricamente
EEPROM	Alto	Hasta 100 mil veces, eléctricamente	100 $\mu$ s	10 ms por byte, eléctricamente



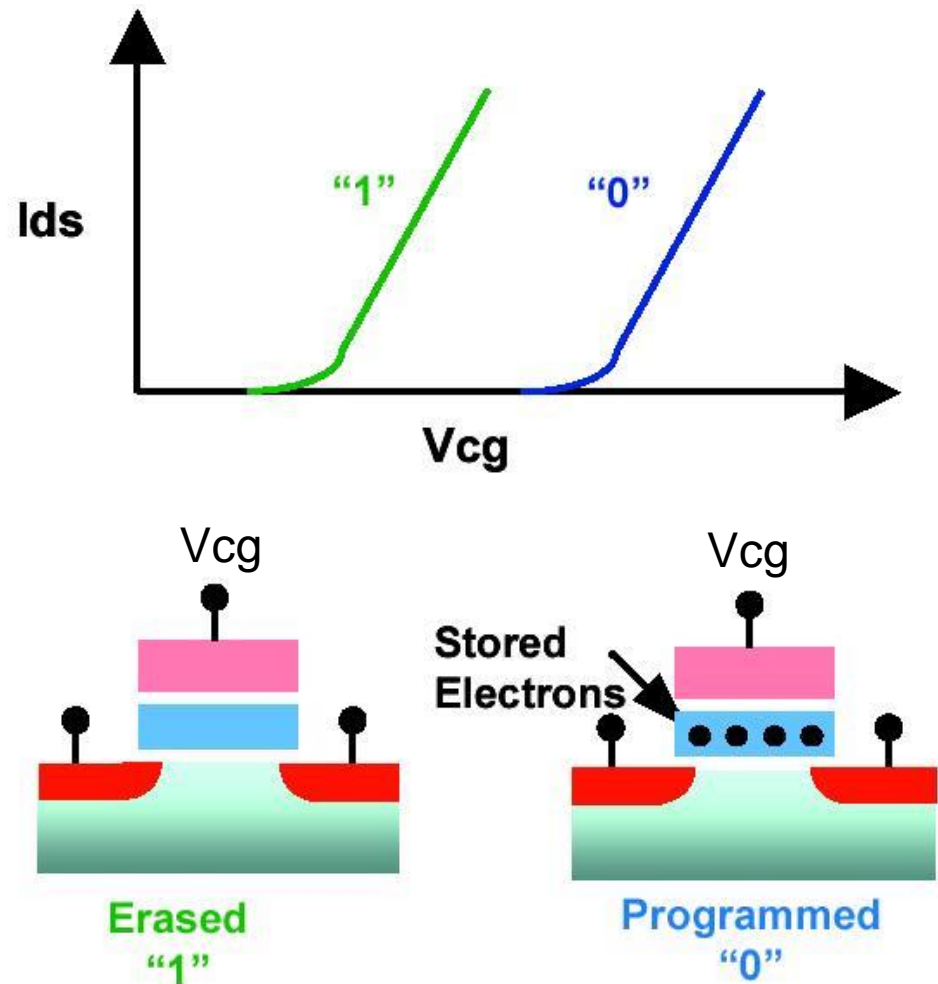
# Memoria no Volátil de Compuerta Flotante



- Poly 2 opera como compuerta del transistor
- Poly 1 opera como compuerta flotante para almacenamiento de portadores de carga
- Compuerta flotante: no hay contacto eléctrico directo

# EEPROM

- Almacenamiento de información se representa con cambios en el voltaje de umbral
- El cambio en el voltaje de umbral se logra inyectando portadores de carga en la compuerta flotante y extrayéndolos de ella
- Degradación de óxido limita número de ciclos de escritura-borrado y el tiempo de retención de datos
- Dos métodos principales de inyección y extracción:
  - Inyección de portadores de carga calientes
  - Fowler-Nordheim Tunneling



# Jerarquía de Memoria

