

Instituto Tecnológico de Costa Rica Área Académica de Ingeniería en Computadores (Computer Engineering Academic Area) Programa de Licenciatura en Ingeniería en Computadores (Licentiate Degree Program in Computer Engineering) Curso: CE-4302 Arquitectura de Computadores II (Course: CE-4302 Computer Architecture II) Profesor: M.Sc. Ing. Jeferson González Gómez. (Professor) Semestre: II, 2019 (Semester) Nombre de estudiante: <u>Alexis Gavriel</u> (Student's full name) Carné: <u>2016085662</u> (Student's ID)	I Examen Parcial (I Partial Exam) Fecha: 13 de septiembre de 2019 (Date) Grupo: 1 Valor: 40 pts. (Value: 40 pts.) Puntos obtenidos: <u>32</u> (Score) <u>80</u> Nota: _____ (Percentage) _____
---	---

INSTRUCCIONES GENERALES.

- Trabaje individualmente
- Utilice cuaderno de examen u hojas blancas numeradas para resolver la prueba
- Escriba de manera legible y ordenada
- Sea concreto con lo que se le pregunta
- Utilice bolígrafo para resolver la prueba. No se aceptarán reclamos sobre respuestas con lápiz
- El fraude se castiga según estipula el reglamento de enseñanza-aprendizaje del TEC
- Tiempo para resolver la prueba es de 2 horas.
- No se permite el uso de celulares o algún otro tipo de dispositivo móvil

1. Parte Única. Desarrollo. 40 puntos - (80 minutos)

A continuación, se le presentan preguntas de desarrollo, las cuales debe contestar correctamente de forma **detallada**. Muestre todo el procedimiento en los casos en que aplique.

1. Explique la importancia de manejar adecuadamente los recursos de un computador de multi-/muchos-núcleos con memoria compartida. Describa dos desafíos relacionados con el manejo de dichos recursos. (5 puntos) cc B/k
w 1.5
2. Explique la afinidad de caché como mecanismo para asignar tareas a procesadores en sistemas multiprocesador, así como la importancia de la aplicación de dicho mecanismo en la implementación de calendarizadores modernos. (5 puntos)
3. Suponga que se parte de un procesador escalar simple. Explique a detalle qué aspectos se debe modificar del procesador para que puede ejecutar la técnica de multihilo simultáneo. ¿Qué ventajas y desventajas traería esta modificación? (5 puntos)
4. Explique cómo la política de escritura de caché seleccionada en el diseño afecta a un sistema multiprocesador de memoria compartida con único bus. Tome en cuenta al menos dos aspectos para la explicación. (5 puntos)
5. Tomando como base un protocolo MSI, diseñe un protocolo que agregue un estado O (owner). A este estado deberá transicionarse luego de que un procesador comparta un bloque, previamente designado como exclusivo, con otro procesador. En este nuevo protocolo, ante desaciertos de lectura de otros procesadores al bloque en estado O, el procesador dueño del bloque lo debe proveer, sin necesidad de realizar *writeback* a memoria principal. Muestre la máquina de estados que implementa el nuevo protocolo con las transiciones y eventos producidos desde el mismo procesador y desde el bus. Diferencie ambos casos con colores o notaciones distintas. (8 puntos)

6. Suponga que se tiene un computador de aplicación específica uniprosesador, que ejecuta un programa de 20000 instrucciones en 10ms, a una frecuencia de reloj de 1MHz. Como ingeniero(a) en Computadores, a usted se le asigna la tarea de aumentar el desempeño del computador. Tras un análisis del programa por medio de la técnica perfilado, usted logró detectar que el programa tiene una fracción no mejorable del 25 %. Usted logró identificar dos opciones de mejora en el computador. La primera consiste en pasar a un esquema multi-núcleo con 4 procesadores y la segunda consiste en implementar la técnica de multihilo simultáneo sobre el procesador actual, para contar con un total de dos hilos. Además, se sabe que en la primera opción se agrega un retardo por comunicación entre los procesadores dado por $F(N) = 0,2 * \log_2 N$, donde N es el número de procesadores. Con base en el escenario planteado:
- Determine el mínimo tiempo teórico de ejecución que puede lograr la aplicación con cualquier mejora imaginable al computador. ¿Qué acciones podría proponer para disminuir aún más el tiempo? (5 puntos)
 - ¿Cuál de las dos opciones recomendaría usted como ingeniero(a) para mejorar el sistema? Justifique su decisión con cálculos y aspectos generales de la arquitectura de computadores. (5 puntos)
 - Determine el nuevo tiempo de ejecución del programa con la mejora planteada. (2 puntos)

1) esto es la **impugnación?** → no queda claro

Los procesadores multinúcleos con memoria compartida permiten acelerar y mejorar el tiempo de ejecución de algoritmos. El hecho de que se tiene una memoria compartida representa diversos desafíos:

Bloqueo de ~~datos~~ recursos: como la memoria es compartida solo 1 núcleo puede escribir en ella al mismo tiempo así que los otros deben esperar.

Repartición de tareas: Al hora de repartir las instrucciones de una tarea pueden existir dependencias de ~~que~~ una instrucción que necesite ejecutarse antes que otra, pero esta se encuentra en otro núcleo

Coherencia de datos: Cada núcleo tiene su propia caché y en ellas deben estar los datos más actualizados. Si un procesador modifica un dato que existe en otras cachés se debe resolver el conflicto.

Comunicación: Entre más núcleos existen hay más comunicación y se dificulta ~~para~~ la comunicación entre procesadores y ~~se~~ se incrementa la distancia física entre ellos.

Potencia: Entre más procesadores y más ~~recursos~~ existan se incrementa la energía consumida del sistema, esto si los procesadores agregados son iguales al principal.

2) La afinidad de caché se refiere a asignar tareas a procesadores considerando las tareas previamente asignadas a cada procesador. Si un procesador trabaja mucho sobre un conjunto de datos A, ~~en~~ cuando hay un conjunto de tareas que requieren el dato A, es mejor asignarlas al procesador mencionado, ya que habrán menos fallos ^{en caché} ~~en~~ a la hora de Leer/Escribir dicho conjunto A

impugnación cabal. vedando?

3/5

3) Para poder aplicar la técnica de multihilo simultáneo se debe modificar el procesador para ser Superescalar y que consigo permita la calendarización dinámica. Esto debido a que se debe aprovechar al máximo los recursos para usar manipular múltiples hilos. Además de la creación de buffers de instrucciones.

ventajas: Se oculta la latencia, ya que se reduce el

desperdicio vertical

se incrementa la cantidad de salidas de instrucciones esto debido a que hay más hardware que puede proveer distintas salidas al mismo tiempo.

desventajas: El diseño se complica y es difícil de hacer eficiente

El incremento de hardware produce que el consumo de potencia aumente.

Existe un LLP en los programas limitado que evita que se puede paralelizar todo

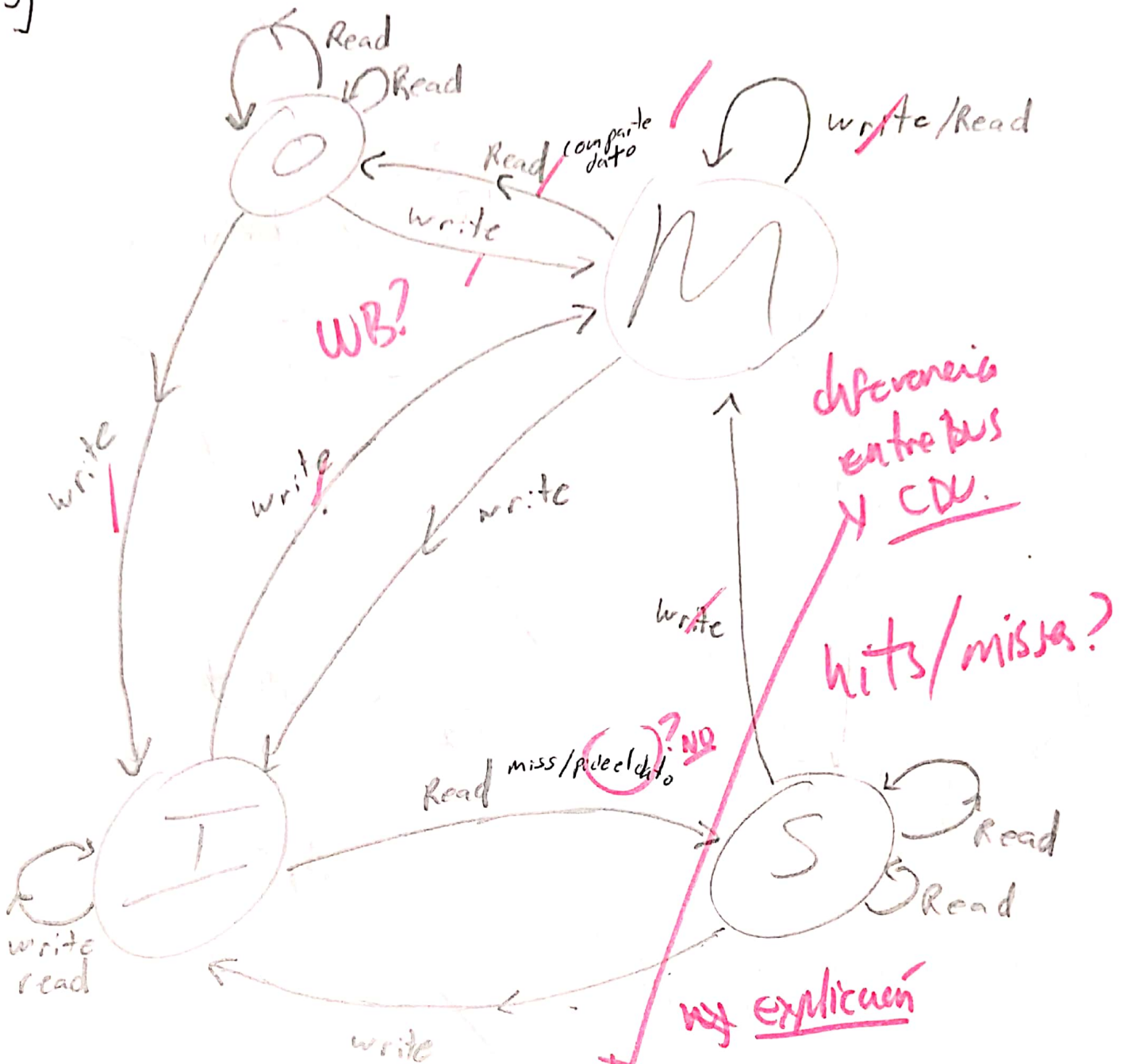
el programa. No siempre se utilizará el hardware adicional

4) Cuando se selecciona una política de escritura write through se utiliza el bus de memoria con cada escritura. Cuando hay varios procesadores se debe considerar que hay mayor uso del bus lo que incrementa la latencia en escrituras.

Si se selecciona la política write back se dificulta el diseño del sistema, esto debido a la existencia de la

validez de los cachés, se debe utilizar un protocolo que permita mantener los cachés de distintos procesadores coherentes entre sí y con memoria.

5)



>> alguien ^{más} realiza la acción

> Yo ^{como} ~~como~~ procesador ^{realizo} la acción.

No se entiende muy bien

5/8

6)

$$2 \times 10^6 \frac{I}{s}$$

a 100 Hz

$$\underline{0,5 \text{ CPI}}$$

$$F_s = 25\% = 0,25$$

$$SP = \frac{1}{\frac{F_p}{N} + F_s} = \frac{1}{0,25} = 4 \quad | \quad N \rightarrow \infty$$

a)

El mínimo tiempo teórico es 2,5 ms. 8/5

Para disminuirlo aún más se pueden implementar ~~API~~ bibliotecas que ayuden a disminuir la fracción serial. También se puede disminuir ~~en~~ modificando el programa para buscar una mayor paralelización.

b)

$$SP = \frac{1}{\frac{F_p}{N} + F_s + F(N)} = \frac{1}{\frac{0,75}{4} + 0,25 + 0,2 \times 2} \approx 1,194 \rightarrow 8,3 \text{ ms}$$

Debido a que el ~~proceso de desarrollo~~4/5

Debido a que el computador a mejorar es inicialmente uniprosesor y de aplicación específica se asume que se busca un cambio con el menor costo y de ser posible mejor consumo de potencia. El procesador ya es capaz de realizar calendarización dinámica ya que SMT es una opción. Por estas razones se prefiere

la segunda técnica, en donde no hay costos adicionales por modificar el hardware y un posible menor consumo de potencia.

debido a esto
como optimización también

c)

$$SP = \frac{1}{\frac{F_p}{2} + F_s} = 1,6 \Rightarrow 6,25 \text{ ms}$$

2/2