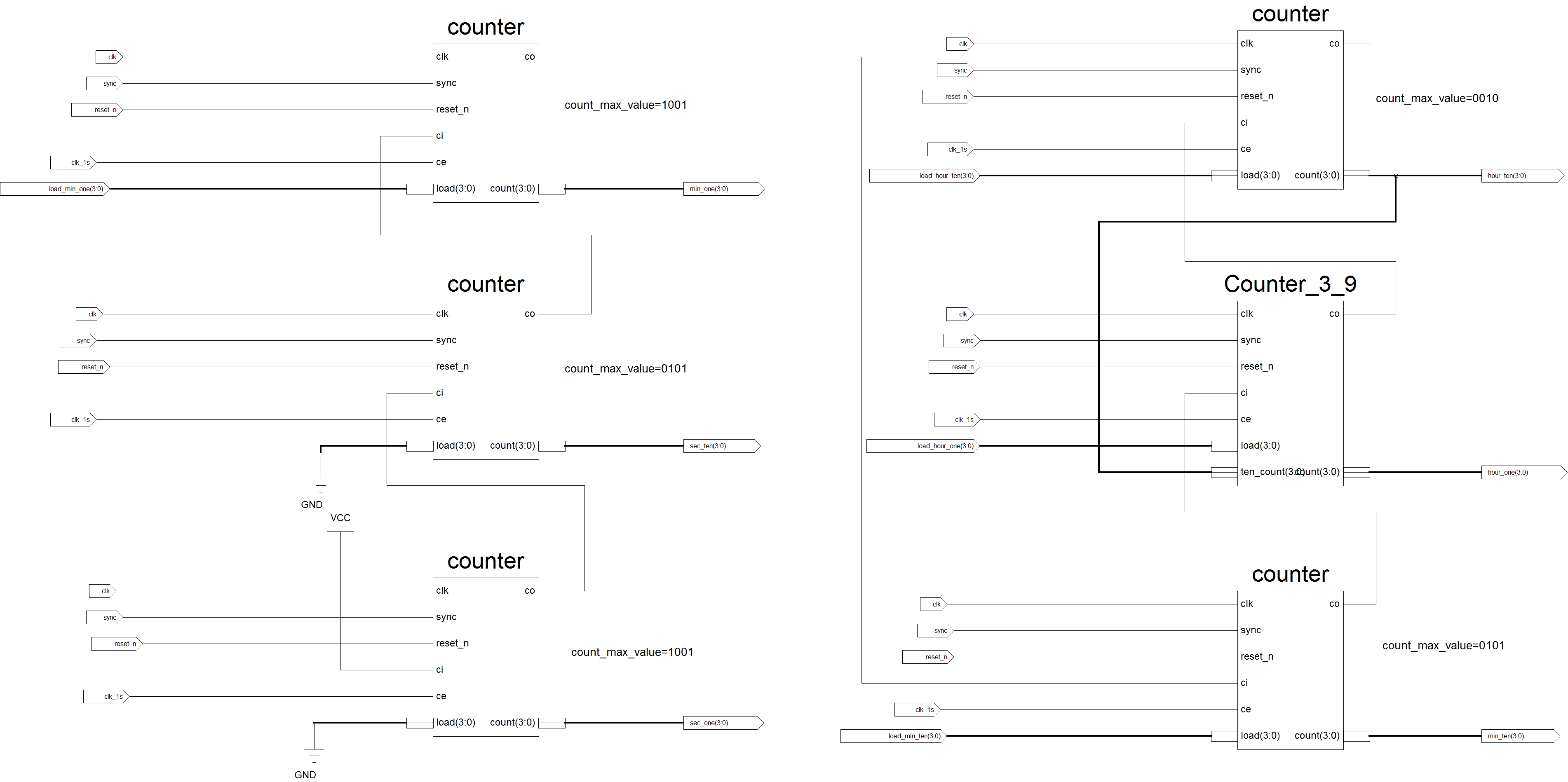
Clock

Das Clock-Modul ist eine fortlaufend zählende Uhr welche durch einen positiven Pegel auf sync mit einem Wert geladen werden kann.



# Inputs:

|  |  |
| --- | --- |
| clk : in STD\_LOGIC; | Takt (Duty-Cycle 50%) |
| clk\_1s : in STD\_LOGIC; | Sekundentackt  clk\_1s <= '0';wait for clk\_period\_1s-clk\_period/2;  clk\_1s <= '1';wait for clk\_period/2; |
| reset\_n: in STD\_LOGIC; | Synchroner Reset |
| sync : out STD\_LOGIC; | Zeit Synchronisierungsignal: ‘1‘ während einem Takt. |
| load\_min\_one : out STD\_LOGIC\_VECTOR (3 downto 0); | Binäre Einerstelle der Minute wird geladen wenn sync=‘1‘ |
| load\_min\_ten : out STD\_LOGIC\_VECTOR (3 downto 0); | Binäre Zehnerstelle der Minute wird geladen wenn sync=‘1‘ |
| load\_hour\_one : out STD\_LOGIC\_VECTOR (3 downto 0); | Binäre Einerstelle der Stunde wird geladen wenn sync=‘1‘ |
| load\_hour\_ten : out STD\_LOGIC\_VECTOR (3 downto 0); | Binäre Zehnerstelle der Stunde wird geladen wenn sync=‘1‘ |

# Outputs:

|  |  |
| --- | --- |
| sec\_one : out STD\_LOGIC\_VECTOR (3 downto 0); | Binäre Einerstelle der Sekunde |
| sec\_ten : out STD\_LOGIC\_VECTOR (3 downto 0); | Binäre Zehnerstelle der Sekunde |
| min\_one : out STD\_LOGIC\_VECTOR (3 downto 0); | Binäre Einerstelle der Minute |
| min\_ten : out STD\_LOGIC\_VECTOR (3 downto 0); | Binäre Zehnerstelle der Minute |
| hour\_one : out STD\_LOGIC\_VECTOR (3 downto 0); | Binäre Einerstelle der Stunde |
| hour\_ten : out STD\_LOGIC\_VECTOR (3 downto 0); | Binäre Zehnerstelle der Stunde |

# Generic

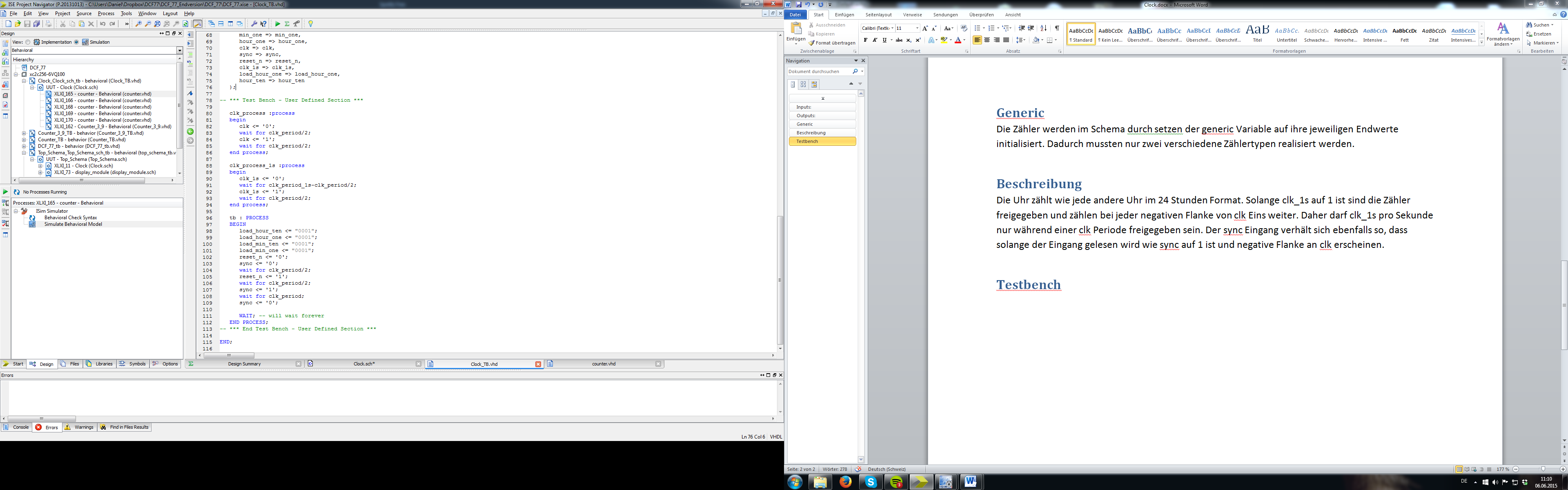
Die Zähler werden im Schema durch setzen der generic Variable auf ihre jeweiligen Endwerte initialisiert. Dadurch mussten nur zwei verschiedene Zählertypen realisiert werden.

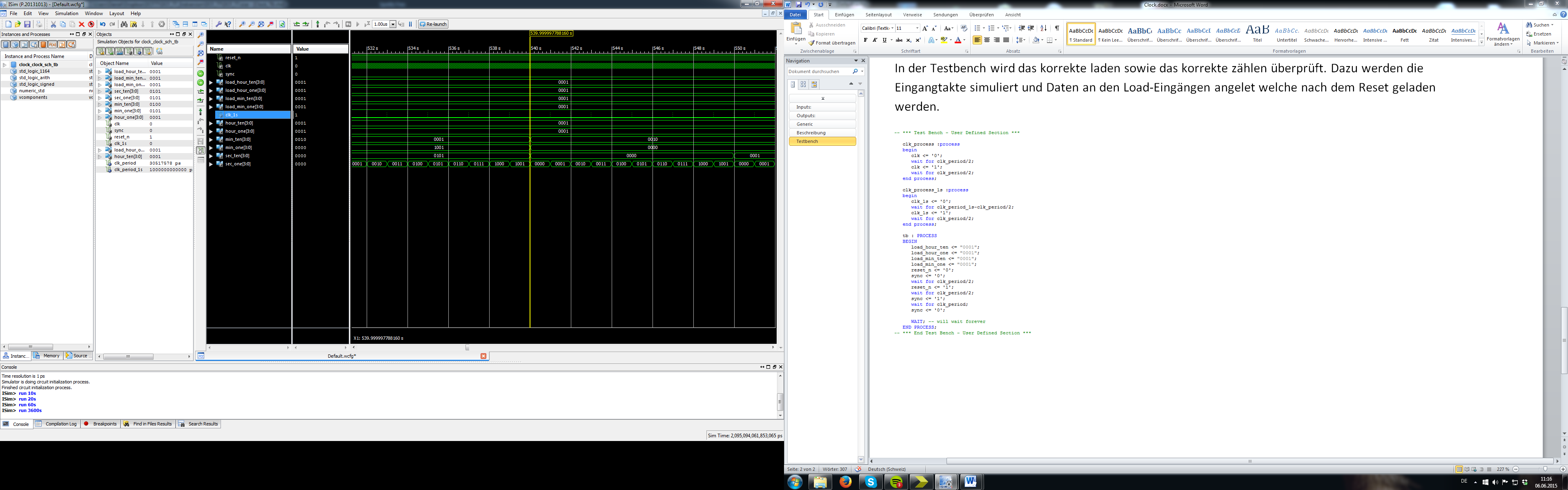
# Beschreibung

Die Uhr zählt wie jede andere Uhr im 24 Stunden Format. Solange clk\_1s auf 1 ist sind die Zähler freigegeben und zählen bei jeder negativen Flanke von clk Eins weiter. Daher darf clk\_1s pro Sekunde nur während einer clk Periode freigegeben sein. Der sync Eingang verhält sich ebenfalls so, dass solange der Eingang gelesen wird wie sync auf 1 ist und negative Flanke an clk erscheinen.

# Testbench

In der Testbench wird das korrekte laden sowie das korrekte zählen überprüft. Dazu werden die Eingangtakte simuliert und Daten an den Load-Eingängen angelet welche nach dem Reset geladen werden.





Die Simulation zeigt denn Überlauf bei 11:19:59 zu 11:20:00 welcher so verläuft wie erwartet.