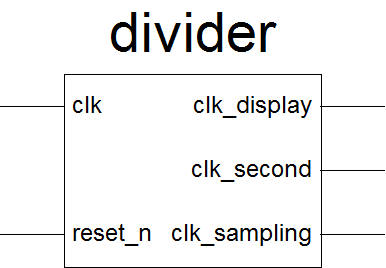
Divider

Dieses Modul generiert aus der Uhrenquarzfrequenz (32768Hz) verschiedene andere Frequenzen, welche die anderen Module benützen.



# Inputs:

|  |  |
| --- | --- |
| clk : in STD\_LOGIC | Uhrenquarzfrequenz 32768Hz(Duty-Cycle 50%) |
| reset\_n: in STD\_LOGIC | Synchroner Reset |

# Outputs:

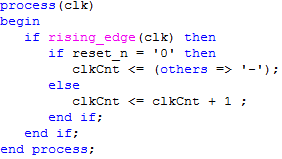
|  |  |
| --- | --- |
| clk\_display : out STD\_LOGIC | Clockfrequenz für die Ansteuerung des Displays (32Hz, 50% Duty-Cycle) |
| clk\_second : out STD\_LOGIC | Clockimpuls für das CarryEnable (ce) der Uhr. Dieser Impuls ist nur gerader während einer Periode von der Uhrenquarzfrequenz aktiv und dies alle 1s. |
| clk\_sampling : out STD\_LOGIC | Clockfrequenz für die Abtastfrequenz des DCF77-Moduls. (128Hz, 50% Duty-Cycle) |

# Generic

Keine Vorhanden.

# Beschreibung

Als Zählvariable für den Clock-Divider eignet sich aus unserer Sicht ein std\_logic\_vector. Dies weil die Uhrenquarzfrequenz gerade so ist, dass man mit 15 FF’s in Serie eine Frequenz von 1Hz generieren kann. Auch muss man sich keine Gedanken über den Überlauf machen, da dieser Automatisch geschieht. Der ganze Prozess des Dividers ist der folgende:



Sobald eine steigende Flanke der Uhrenquarzfrequenz detektiert wird, wird der Zähler bei Normalbetrieb um 1 inkrementiert. Da uns egal ist, welchen Zählerstand der Zähler nach dem Reset hat, wird der Zähler wahrscheinlich auch bei reset\_n = 0 inkrementiert.

Die Generierung der Ausgangssignale ist sehr einfach: 

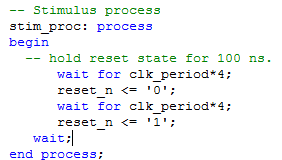
Der Clock für das Display ist jetzt gerade die 9. Stelle der Count-Variable. Dies ergibt eine Frequenz von:

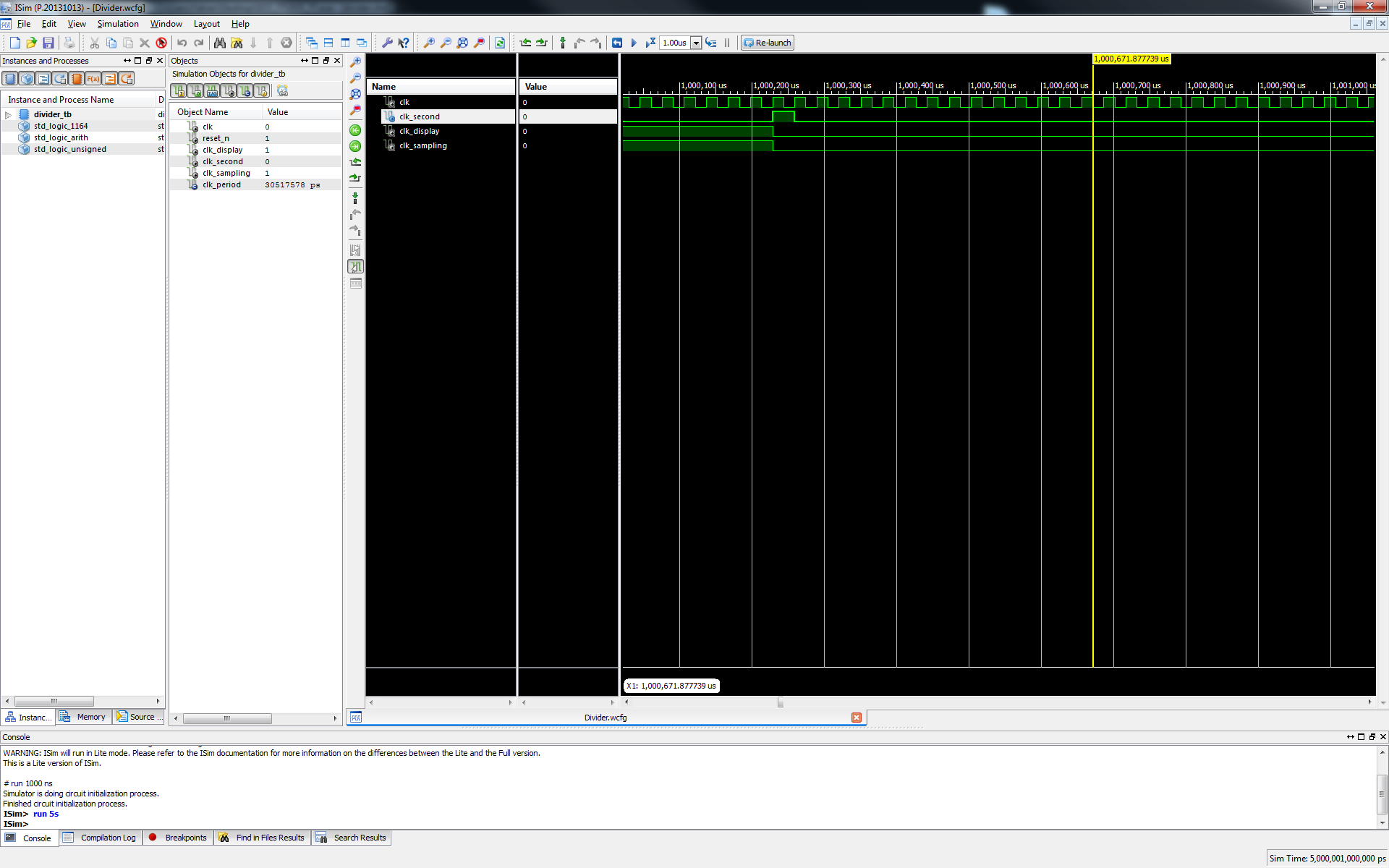
Der Sekundentakt ist nur gerade aktiv, wenn alle 15 Bits des Zählers 0 sind. Das heisst, der clk\_second ist alle 1. Sekunde während einer Taktperiode aktiv.

Der Clock für das DCF77-Modul ist jetzt gerade die 7. Stelle der Count-Variable. Dies ergibt eine Frequenz von:

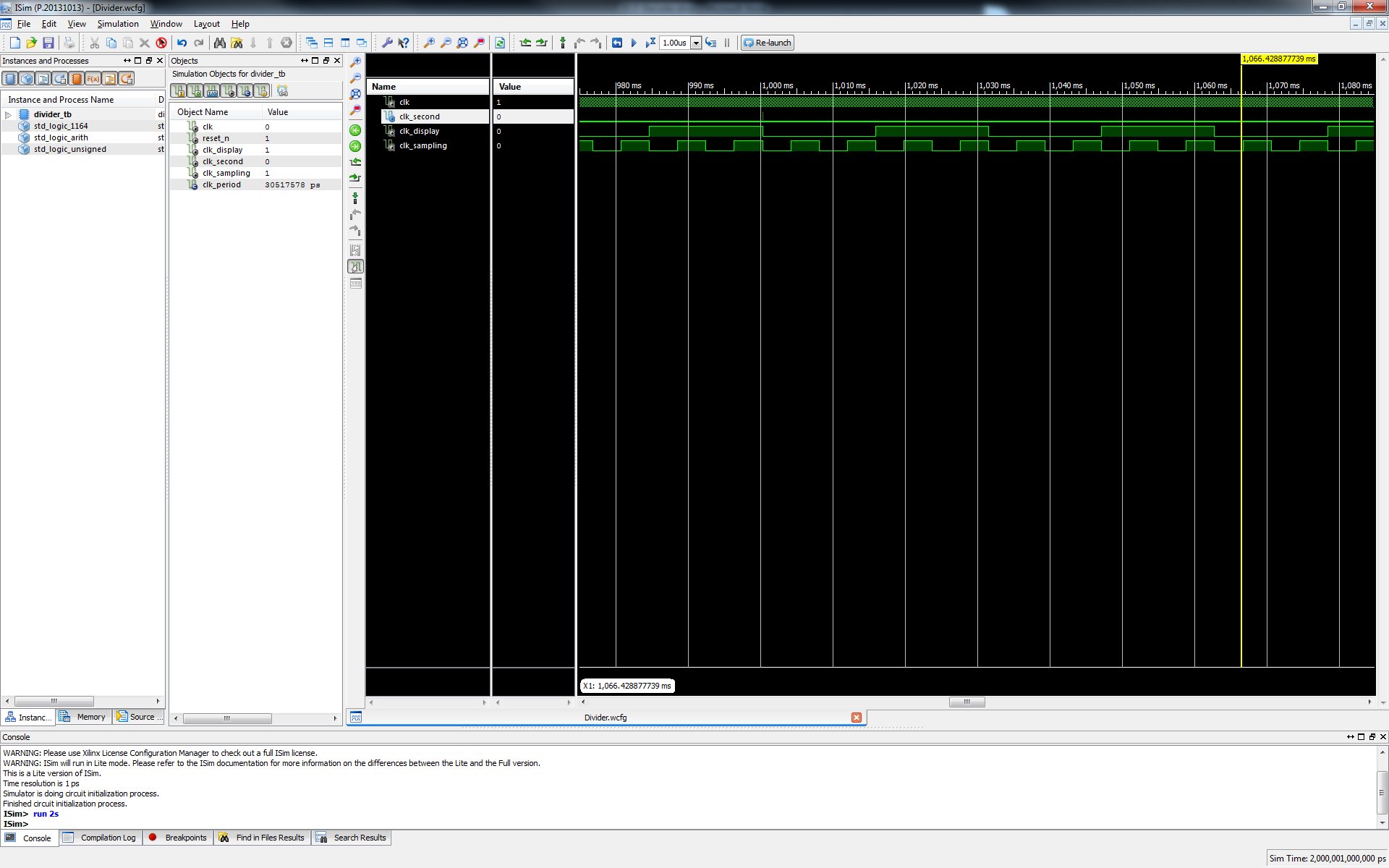
# Testbench

Die Testbench des Zählers ist recht einfach. Zuerst wird der Divider kurz gerestet, danach läuft er einfach weiter.





In diesem Bild sieht man sehr gut, wie der Sekundentakt während genau einer Periode der Uhrenquarzfrequenz aktiv ist.



Hier kann man erkennen, dass die Frequenz des Samplingtaktes etwa 128Hz ist. Der Displaytakt ist 3mal langsamer, also 32 Hz.