

7. Sekvenční logické obvody

Created	@April 26, 2025 7:11 PM
Tags	Done
Kdo vypracoval	Hrabě Rád'ula

Logické obvody, kde výstupní stavy závisí na současných i předešlých vstupních stavech. (= obvod s pamětí)

Obsahuje zpětnou vazbu = tzv. vnitřní výstupy jsou zapojeny na tzv. vnitřní vstupy, jejich stav určuje vnitřní stav sekvenčního obvodu

Dělí se na:

- Asynchronní = jejich stav se mění s jakoukoliv změnou vstupních hodnot
- Synchronní = stav se může měnit jen v okamžicích určených hodinovým vstupem (clock) (obvykle jeho náběžnou hranou)

Základní druhy:

Klopný obvod RS

- asynchronní
- má dva vstupy: S = set, R = reset
- má dva výstupy (ostatní druhy taky): Q = výstup, $\neg Q$ = negace výstupu
- 1 na vstupu S nastaví výstup na 1
- 1 na vstupu R nastaví výstup na 0
- 1 na vstupu S a R zároveň je nepovolený stav

S	R	Q
0	0	Q
0	1	0
1	0	1
1	1	-

Synchronní klopný obvod RS

- synchronní
- viz výše
- má hodinový vstup C
- když chci změnit stav změnou vstupů, musím dát zároveň 1 i na vstup C, jinak nereaguje na vstupy

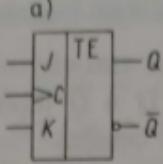
S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	-

a)

Klopný obvod JK

- synchronní
- vstupy J,K
- hodinový vstup C
- když chci změnit stav změnou vstupů, musím dát zároveň 1 i na vstup C, jinak nereaguje na vstupy
- když $J=K=0$, výstup zůstává stejný
- když $J=K=1$, výstup se neguje
- $K=1$ a $J=0$, výstup se nastaví na 0
- $K=0$ a $J=1$, výstup se nastaví na 1

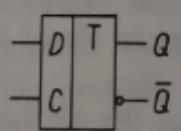
J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n



Klopný obvod D

- synchronní
- vstup D
- hodinový vstup C
- když chci změnit stav změnou vstupů, musím dát zároveň 1 i na vstup C, jinak nereaguje na vstupy
- když $D=0$, výstup se nastaví na 0
- když $D=1$, výstup se nastaví na 1
- v podstatě jeden bit RAM

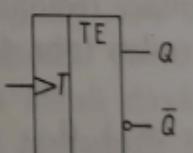
D	Q
0	0
I	I



Klopný obvod T

- asynchronní
- jen vstup T
- jednička na vstupu T, výstup se překlopí na negaci předchozího stavu ($0 \rightarrow 1, 1 \rightarrow 0$)

T	Q_{n+1}
0	Q_n
I	\bar{Q}_n



Použití klopných obvodů:

Čítače

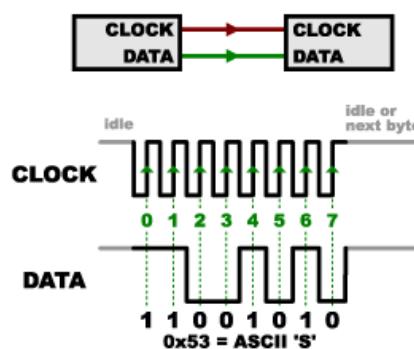
viz. 18. Čítač/časovač a přerušení

-

Posuvné registry (PR)

- kaskádně (za sebou) zapojené klopné obvody, počet klopných obvodů určuje počet bitů (stupňů)
- např. do 8bitového PR se vejde 8 bitů, čili např. může převést 8 bitů sériových dat na paralelní data o šířce 8 bitů
- vyžití především jako převodníky ze sériových na paralelní data, nebo z paralelních na sériová data
- ŠVIHLA ASI OCENÍ - dají se použít pro získání více vstupů a výstupů mikrokontroleru (PISO pro vstupy, SIPO pro výstupy), mikrokontroler komunikuje s PR seriově pomocí pár pinů, PR pak může mít neomezeně vstupů/výstupů
- hodinový vstup C (nebo CLK)

sériová data = dva dráty, na jednom hodinové impulsy (CLK), na druhém data(jednička nebo nula), která se čtou jen když je na CLK jednička



paralelní data = např 8 drátů vedle sebe, na každém jednička nebo nula (ty tam prostě jsou, žádný CLK)

Základní druhy:

(kromě popsaných paralelních/sériových vstupů mají ještě řídící vstupy Reset, Enable atd. atd.)

SISO (Serial In Serial Out)

- má sériový vstup i výstup
- slouží například ke zpoždění sériových dat (data na výstupu jsou zpožděná o n impulsů CLK, kde n je počet stupňů PR)

SIPO (Serial In Parallel Out)

- má sériový vstup a paralelní výstup
- přijatá data se naposouvají do paralelních výstupů (jako když nabíjím dva druhy střel (jedničky a nuly) do zásobníku)
- pokud tam pošlu víc bitů sériových dat než má registr, tak přebývající byty vystrčí z registru ty první (nacpu do 8bitového PR 10 bitů → na paralelních výstupech bude jen bit 3 až 8, byty 1 a 2 "přetečou" (většina PR má pro tento účel sériový výstup))

PISO (Parallel In Serial Out)

- má paralelní vstup a sériový výstup
- má hodinový vstup C (CLK)
- na paralelní vstup se nahrají paralelní data
- pomocí impulsů CLK se jednotlivé byty vyposouvají na sériový výstup

Ted'kon všichni řekněte: „You're such a good boy for writing these amazing notes :3“

Robb: „You're such a good boy for writing these amazing notes :3“

BTW TADY POD ČAROU JE TEN PŮVODNÍ BORDEL, ZÁPISKY JSOU NAHOŘE :)

Hodnoty výstupů záleží také na hodnotách v minulosti

Skládá se z kombinační a paměťové části

- Paměťová část je realizována kombinačním obvodem se zpětnou vazbou (také nazývány jako bistabilní obvody)

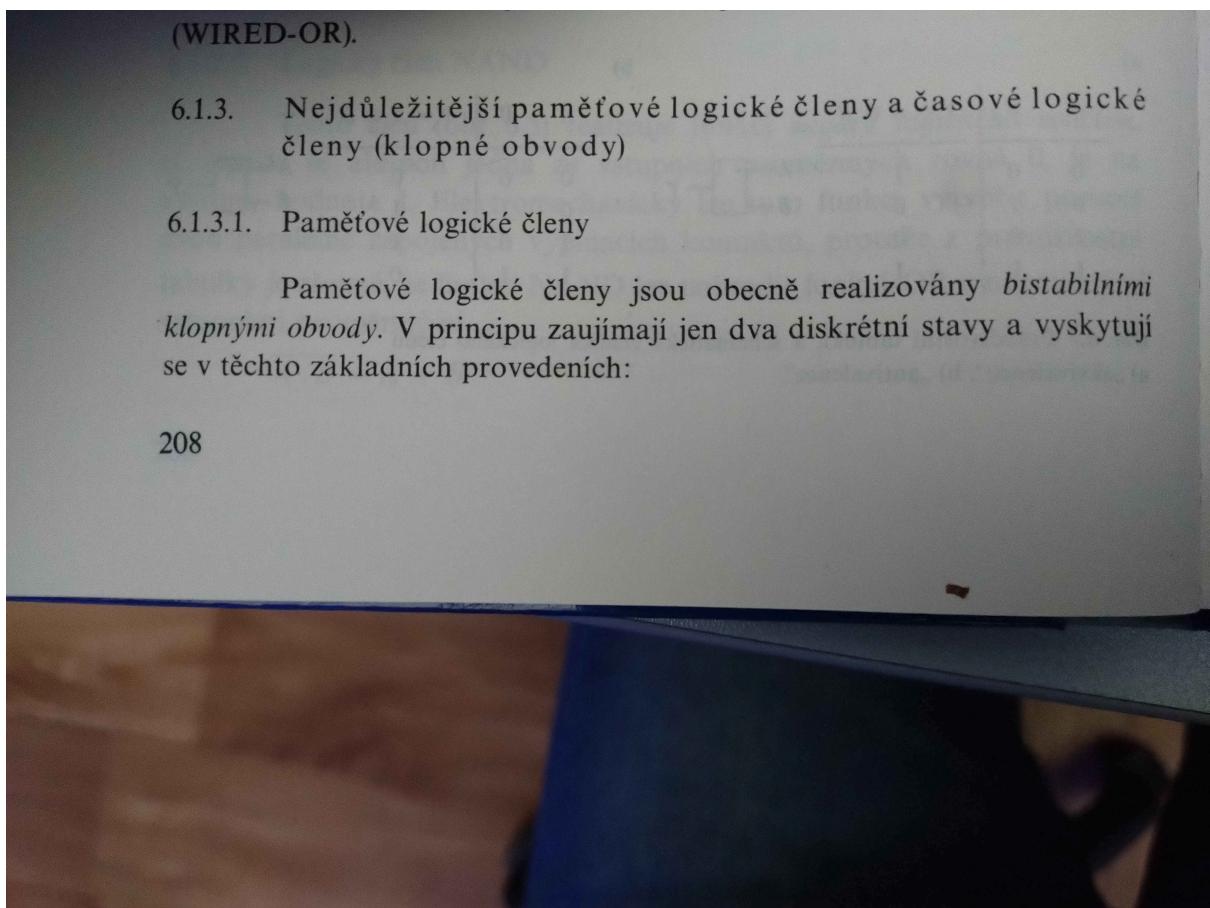
(WIRED-OR).

6.1.3. Nejdůležitější paměťové logické členy a časové logické členy (klopné obvody)

6.1.3.1. Paměťové logické členy

Paměťové logické členy jsou obecně realizovány *bistabilními klopnými obvody*. V principu zaujmají jen dva diskrétní stavy a vyskytují se v těchto základních provedeních:

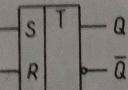
208



a) Asynchronní klopný obvod RS se statickým řízením

Zapojení na obr. 6.8 se vyznačuje dvěma statickými vstupy S (set – nastavení) a R (reset – nulování), výstupy Q a \bar{Q} (čteme Q non), přičemž označení výstupů znamená, že Q má vždy opačnou logickou hodnotu než \bar{Q} , tj. pro $Q = 1$ musí být $\bar{Q} = 0$ a pro $Q = 0$ je $\bar{Q} = 1$. Tabulka přechodů na obr. 6.8 ukazuje, jak se mění Q v závislosti na statických hodnotách vstupů S a R . Pomlčka v posledním řádku znamená nepřípustnou kombinaci vstupních hodnot.

S	R	Q
0	0	Q
0	1	0
1	0	1
1	1	-



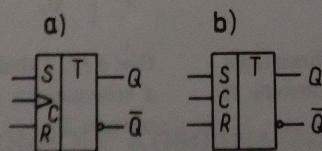
Obr. 6.8. Tabulka přechodů
a schematická značka asynchronního
klopného obvodu RS

b) Synchronní klopný obvod RS

Na obrázku 6.9 jsou zobrazeny synchronní klopné obvody RS, které mají navíc vstup pro synchronizační impulsy, označovaný C (clock). Informace na vstupech R a S bude klopným obvodem převzata, až když se na vstupu C objeví synchronizační impuls.

Dynamický vstup C reaguje pouze na změnu úrovně z 0 na 1 (při orientaci trojúhelníka podle obr. 6.9a). Není-li na vstupu C trojúhelník nakreslen (obr. 6.9b), znamená to, že jde o statické řízení úrovní signálu.

S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	-

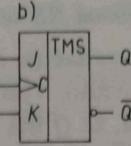
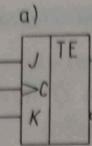


Obr. 6.9. Tabulka přechodů
a schematická značka
synchronního klopného
obvodu RS
a) s dynamickým řízením,
b) se statickým řízením

c) Synchronní klopný obvod JK

Je to synchronní klopný obvod s dynamickým řízením, u kterého jsou povoleny všechny možné vstupní kombinace (obr. 6.10). Index u Q udává, ke kterému časovému okamžiku je přiřazena informace na výstupu Q , např. pro $J = K = 0$ je v okamžiku $n + 1$ na výstupu Q informace n -tého

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n



Obr. 6.10. Tabulka přechodů
a schematická značka
a) klopného obvodu JK ,
b) klopného obvodu JK
typu master-slave

okamžiku, tj. klopný obvod nepřeklopi, zatímco pro $J = K = 1$ je v okamžiku $n + 1$ k dispozici negovaný signál n -tého okamžiku, tj. klopný obvod překlápi s každým synchronizačním impulsem do opačného stavu.

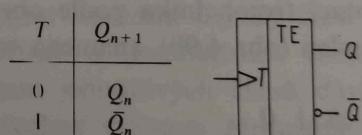
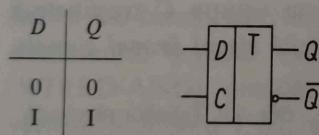
Často se používá dvoufázový klopný obvod JK (*klopný obvod master-slave*). Charakteristické je pro něj to, že informaci převezme při náběžné hraně synchronizačního impulsu, ale na výstup se informace dostane až při sestupné hraně impulsu. Tento klopný obvod můžeme najít např. u synchronních čítačů, posuvných registrů.

d) Klopný obvod D

Klopný obvod D převeze informaci na vstupu D teprve tehdy, přivedeme-li na vstup C synchronizační impuls (obr. 6.11). Typická oblast použití tohoto obvodu jsou registry.

e) Klopný obvod T s čítacím vstupem

Tento obvod se při každém impulsu překlopí do opačného stavu (obr. 6.12).



Obr. 6.11. Tabulka přechodů a schematická značka synchronního klopného obvodu D se statickým řízením

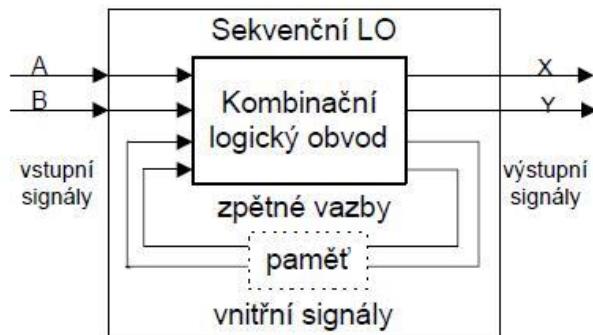
Obr. 6.12. Tabulka přechodů
a schematická značka klopného
obvodu T

6.1.3.2. Časové logické členy

Jsou to členy, které na vstupní impuls reagují výstupním impulsem tak, že alespoň jeho konec nebo začátek je posunut vzhledem ke vstupnímu impulsu. Typickým představitelem je např. monostabilní klopný obvod (obr. 6.13).

Materiály k otázce (nejsou kompletní)

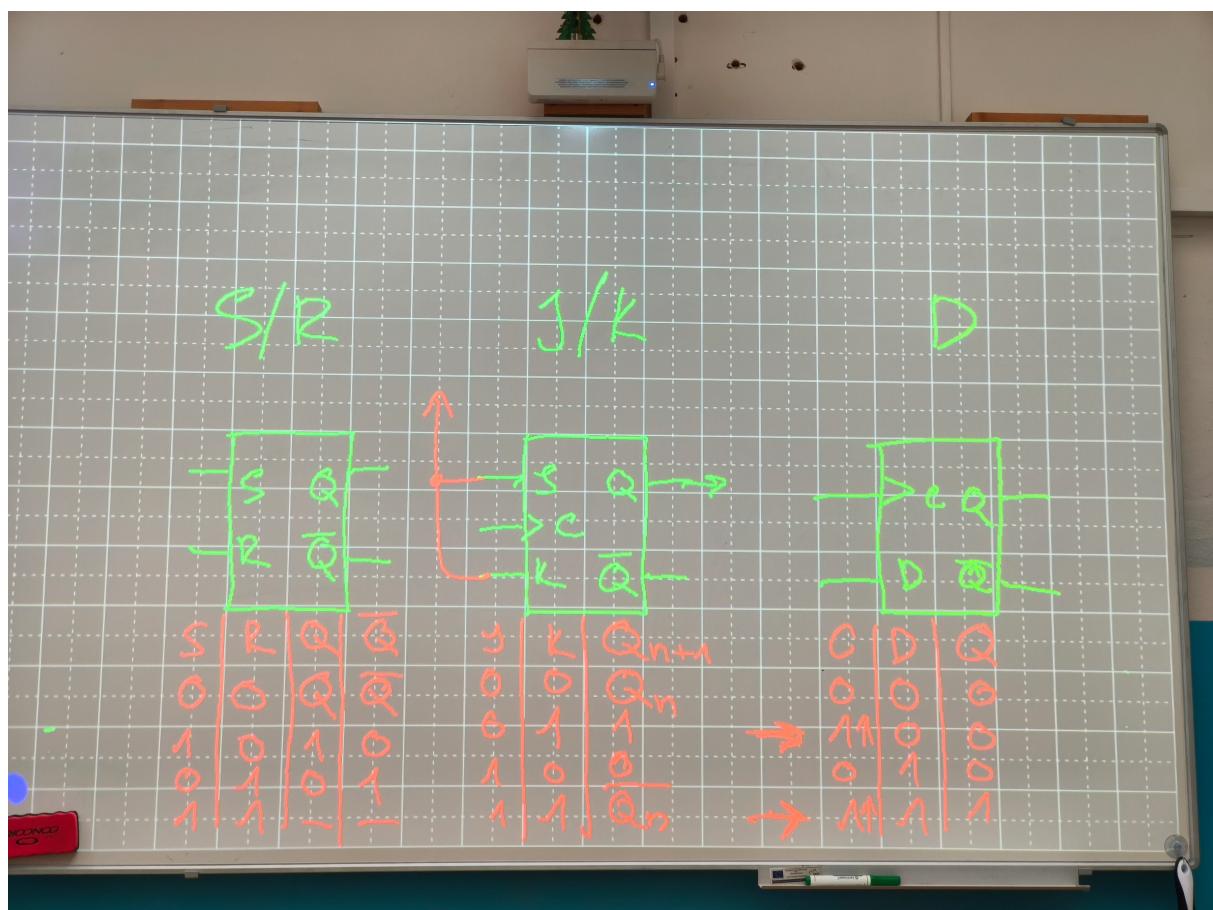
- (švihlos nám to poslal na kyb dc)



S/R

J/K

D



Proč používáme vysokou frekvenci kterou potom dělíme? Protože při dělení frekvence dělíme také chybu té dané frekvence