



南开大学
Nankai University

南 开 大 学

计 算 机 学 院

并行程序设计实验报告

CPU 调研

蒋薇

年级：2021 级

专业：计算机科学与技术

指导教师：王刚

2023 年 5 月 12 日

摘要

CPU 是计算机进行运算的核心, 其重要性相当于人体的大脑, 起着至关重要的作用。CPU 的主要性能指标有字长、频率、高速缓存、前端总线频率、超线程技术的应用、支持的扩展指令等, 对整个计算机的性能起着至关重要的作用。要从了解 CPU 的发展历程, 运行原理以及故障排除等多方面了解 CPU, 从而达到对 CPU 的全面认识。

关键字: Parallel CPU 历史工作原理

目录

| | |
|----------------|----------|
| 一、概述 | 1 |
| (一) CPU 历史及其发展 | 1 |
| 1. CPU 历史简介 | 1 |
| 2. CPU 各大厂商 | 1 |
| 3. CPU 基本结构和原理 | 1 |
| (二) CPU 现状 | 3 |
| 1. Intel 酷睿 13 | 3 |
| 2. AMD Zen4 | 3 |
| (三) 并行架构对比 | 4 |
| 1. 不同产商 | 4 |
| 2. 同一产商 | 5 |
| 3. 发展趋势预测关键词 | 5 |

一、概述

(一) CPU 历史及其发展

1. CPU 历史简介

CPU 整个的发展史可以简单说成 Intel 和 AMD 的发展历史。在 1971 年,世界上第一个 CPU——4004,在 Intel 公司诞生。虽然相比于现在的 CPU,它无论是功能还是运行速度都弱小的十分可怜。但它的出现却具有划时代的意义。随后 Intel 又接着推出了 16 位的微处理器 i8088 在接下来的十年中 CPU 迎来了它的发展黄金时期,几乎每年都会在技术上做出重大突破。

2. CPU 各大厂商

Intel CPU 界的老大哥,制造了史上第一个 CPU。其旗下的主要产品从最初的 Intel4004,8088,接着又推出了 Pentium 系列: Pentium Pro, Pentium III 等。还有现在使用最多的 Core 系列尤其是其中的酷睿 2 成了买 CPU 的首选产品。

AMD 唯一一家可以和 Intel 相提并论的公司。其专门为计算机、通信和消费电子行业设计和制造各种创新的微处理器 (CPU、GPU、APU、主板芯片组、电视卡芯片等)、闪存和低功率处理器解决方案。同时,AMD 还是目前业内唯一一个可以提供高性能 CPU、高性能独立显卡 GPU、主板芯片组三大组件的半导体公司,为了明确其优势,AMD 提出 3A 平台的新标志,在笔记本领域有“AMD VISION”标志的就表示该电脑采用 3A 构建方案,AMD 有超过 70 上的跨国公司。

Cyrix 曾经也是全球第二大 CPU 公司,却在 AMD 和 Intel 的竞争中,逐步退出市场。现在还被 VIA 与 AMD 分别收购生产线与技术。

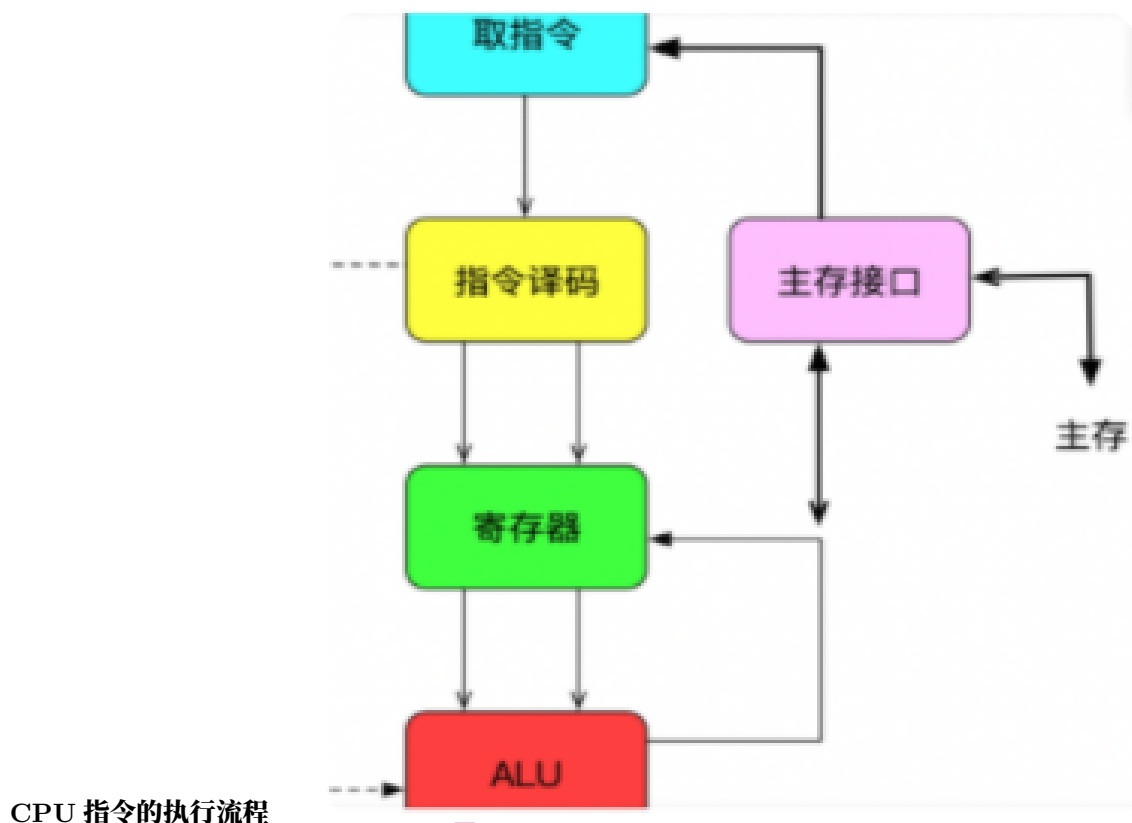
IBM 曾经也是全球第二大 CPU 公司,却在 AMD 和 Intel 的竞争中,逐步退出市场。现在还被 VIA 与 AMD 分别收购生产线与技术。基本结构和基本原理。

3. CPU 基本结构和原理

$$CPU = ALU + CU$$

ALU 算术逻辑单元 (Arithmetic Logical Unit): 是中央处理器 (CPU) 的执行单元,是所有中央处理器的核心组成部分,由“AND Gate”(与门)和“OR Gate”(或门)构成的算术逻辑单元,主要功能是进行二进制的算术运算,如加减乘 (不包括整数除法)。基本上,在所有现代 CPU 体系结构中,二进制都以补码的形式来表示。

CU 控制单元 (Control Unit): 负责程序的流程管理。控制单元是整个 CPU 的指挥控制中心,由指令寄存器 IR (Instruction Register)、指令译码器 ID (Instruction Decoder) 和操作控制器 OC (Operation Controller) 三个部件组成,对协调整个电脑有序工作极为重要。



取指令阶段: 取指令 (Instruction Fetch, IF) 阶段是将一条指令从主存中取到指令寄存器的过程。

程序计数器 PC 中的数值, 用来指示当前指令在主存中的位置。当一条指令被取出后, PC 中的数值将根据指令字长度而自动递增。

指令译码阶段取出指令后, 计算机立即进入指令译码 (Instruction Decode, ID) 阶段。

在指令译码阶段, 指令译码器按照预定的指令格式, 对取回的指令进行拆分和解释, 识别区分出不同的指令类别以及各种获取操作数的方法。

执行指令阶段: 在取指令和指令译码阶段之后, 接着进入执行指令 (Execute, EX) 阶段。

此阶段的任务是完成指令所规定的各种操作, 具体实现指令的功能。为此, CPU 的不同部分被连接起来, 以执行所需的操作。

访存取数阶段: 根据指令需要, 有可能要访问主存, 读取操作数, 这样就进入了访存取数 (Memory, MEM) 阶段。

此阶段的任务是: 根据指令地址码, 得到操作数在主存中的地址, 并从主存中读取该操作数用于运算。

结果写回阶段: 作为最后一个阶段, 结果写回 (Write Back, WB) 阶段把执行指令阶段的运行结果数据“写回”到某种存储形式。

结果数据经常被写到 CPU 的内部寄存器中, 以便被后续的指令快速地存取;

在有些情况下, 结果数据也可被写入相对较慢、但较廉价且容量较大的主存。许多指令还会改变程序状态字寄存器中标志位的状态, 这些标志位标识着不同的操作结果, 可被用来影响程序的动作。

在指令执行完毕、结果数据写回之后, 若无意外事件 (如结果溢出等) 发生, 计算机就接着

从程序计数器 PC 中取得下一条指令地址,开始新一轮的循环,下一个指令周期将顺序取出下一条指令。

(二) CPU 现状

1. Intel 酷睿 13

优势 是在频率和架构上都有改善,获得了不小的性能提升。在性能部分,单核性能比上一代提升 15 提升以及核心数量增加,当然 DDR5 频率的提升也会带来增益。最高支持 24 核 [8 个 P-core (性能核) 和 16 个 E-core (能效核)] 和 32 线程,此外 P-core (性能核) 还能够通过英特尔® Thermal Velocity Boost 提升性能,至高可达 5.8 GHz⁶。英特尔® 睿频加速 Max 技术 3.0⁷ 将通过识别性能最佳的 P-core (性能核),进一步增强多线程性能。同时,额外的 E-core (能效核) 能够增加英特尔® 智能高速缓存 (L3),从而更有效地处理更大的数据集并获得更好的性能。

架构 在架构上,十三代酷睿延续了上一代大小核混合架构,P 核也就是大核心升级到新的 Raptor Cove 架构,主要是将缓存架构做了调整。而小核心依然保持了过去的设计,但数量增加了一倍。也就是说十三代酷睿的 i9 处理器,变成了 8 大核 +16 小核的设计,总共有 32 个线程,这样多线程性能会有不小的提升。

功耗 在功耗部分,六款处理器基础功耗统一还是 125W,但睿频功耗提升了,i9 K 系列增加到 253W,i7 K 系列也是 253W,i5 K 系列则是 181W。实际使用的时候可能会超过这个功耗,自动调整电压和频率。

频率 增加了 8 个小核心之外,睿频提升了 600MHz 最高能跑到 5.8GHz,i7/i5 都增加了 4 个小核心,频率则提高了 400MHz、200MHz。

超频 超频部分,Intel 学习了 AMD 的一些经验,利用 XTU 工具,用户可以用可视化的方式对每个核心进行调节,挖掘极限性能,类似 AMD 的官方超频工具。另外像 DDR4 和 DDR5 内存都能超频,特别是 XMP 3.0 针对 DDR5 内存既能一键超频,也能调节每个频率、时序参数。官方表示,在液氮环境下,十三代酷睿可以超频到 8GHz,DDR5 内存可以超频到 1GHz;在水冷环境下则和十二代酷睿的超频幅度差不多,DDR5 内存可以超到 6600MHz。

2. AMD Zen4

性能 Zen2 是一次优化升级,尤其 chiplet 设计奠定未来基础,Zen3 则是再一次革命性的大变,得益于新的架构和工艺,Zen4 单个核心加二级缓存总面积仅为 3.84 平方毫米,相比于 Intel 7 工艺的 12 代酷睿的 7.46 平方毫米,小了几近一半,能效则高了几乎一半。

架构 Zen4 架构的设计目标有三个:一是性能,IPC(每时钟周期指令数或同频性能)和频率提升幅度都要达到两位数(超过 10%);

二是延迟,通过增大二级缓存、改进缓存有效性,大幅降低平均延迟;

三是能效,在整个 TDP(热设计功耗)范围内,显著降低动态功耗。

为了达成以上目标,Zen4 对整个微架构体系进行了升级优化,包括前端、执行引擎、载入/存储单元、缓存、指令集等。整体而言,Zen4 架构的核心升级点包括:改进分支预测、增大 OP 指令作缓存、增大指令退役队列、增大整数/浮点寄存器文件、加深核心缓冲吞吐、浮点单元支持 AVX-512 指令、改进载入/存储单元、增大二级缓存。

Zen4 架构重点改进了分支预测部分,包括每时钟周期预测两个跳转分支、一级缓存 BTB(分支目标缓冲)增大 50%达到 1.5K 条目、二级缓存 BTB 扩容从 6.5K 略增至 7K。

功耗 按照 AMD 的官方数据,Zen4 相比于 Zen3,同等性能下功耗可降低至多 62%,同等功耗下性能可提升至多 49%。

频率 Zen4 已经是 AMD Zen 系列架构的第四代 (Zen/Zen+ 算作一代), 更多的是在 Zen3 基础上的一次深度优化增强, 并在新工艺的加持下大幅提升频率, 最高加速频率跨越性地达到了 5.7GHz。

AVX-512 指令集 AVX-512 指令集以往是 Intel 处理器的专属技术, Zen4 支持的 AVX-512 并非直接将 Intel 那套技术照搬过来 (也不允许), 而是选择了不一样的实现方式。Intel 处理器执行 AVX-512 指令时, 是完整的 512-bit 通道 (这也是该指令集命名的来源), 但是 AMD 走的是 256-bit 通道, 也就是砍了一半, 因此遇到 512-bit 的指令就需要拆分成两个 256-bit 指令来执行。事实上, AMD 推土机家族、Zen 家族在执行 AVX-2 256-bit 指令的时候, 也是拆分成两个 128-bit。

AMD 表示, 这么做可以节省芯片面积, 并且避免执行 AVX-512 指令时发热过大、频率下降的情况出现 (峰值性能确有轻微损失), 因为真正长达 512-bit 的指令并不多, 就像以前 256-bit 的指令不够多。Zen4 支持的 AVX-512 指令一览并不是把 Intel 的全都搬了过来, 而是选择性地加入, 除了一些基础指令, 值得注意的是用于 AI 加速的 VNNI、BF16。

加入 AVX-512 指令集后, Zen4 架构的 FP32 浮点推理多线程性能可提升 1.31 倍, VNNI INT8 整数推理多线程性能可提升 2.47 倍。

(三) 并行架构对比

1. 不同产商



兼容性问题 AMD 早在一代、二代锐龙 CPU 核显偶尔出现过不兼容现象, 例如: 内存条兼容性差, 用某某品牌内存怎么都没反应, 换个品牌的内存条才好了, 又或者是组建双通道没反应, 单插哪一根内存都可以; 或者最后换 2 根低频率的内存就可以了; 还有时候或者莫名其妙死机、蓝屏、开机时亮时不亮等现象, 核显兼容不太友好;

多线程和多线程问题 在测试同等级别的 cpu 时, 因为结构的不同, AMD 倾向于处理同时多个软件打开, intel 倾向于提升一个软件的处理速度, 但打开一个大程序时, 单核能力不足, 反

而更容易卡（日常 R7000 和 y7000 的体验）。

2. 同一产商



2017 年，Intel Core i9（酷睿 i9），2.6-3.3GHz，64 位，10-18 核，晶体管数量未公布，14nm 工艺，开始覆盖更高性能需求的市场。2019 年，Intel 10th gen Core（第十代酷睿），14nm 工艺。2021 年，Intel 11th gen Core（第十一代酷睿），14nm 工艺，相比 10 代 IPC 提升 19%，核显性能提升 50%。

3. 发展趋势预测关键词

工艺、架构、指令集，多线程并行和缓存、材料、异构整合、封装、AI 芯片。

架构对一个芯片的性能来说也是至关重要的。

相较于 X86 通用处理器的笨重指令集，DSA(Domain Specific Architecture) 是一个非常重要的方向。DSA 的优点在于，可以为特定的一类应用或者场景做架构优化，从而实现更好的能效比。相对于传统的通用处理器，DSA 需要设计时考虑专用领域的特殊需求，也需要设计者能对该领域有深入的理解。DSA 的例子包括为机器学习设计的神经网络处理器，以及为图像和虚拟现实设计的 GPU，DSA 设计将会成为处理器架构的新趋势。

当然，除了指令集外，多线程并行和缓存也很重要！以 AMD 的 Zen 架构举例，利益相关，所以放一点百度上有的。

Zen 架构将以四个核心为一个群组，AMD 将其称为“CPU Complex”(CCX)。

每一个 CPU 复合体内包含四个 Zen CPU 核心，但它们是彼此完全独立的，不像推土机架构那样，彼此不会共享任何单元。

处理器**主要架构改进**如下：SMT 多线程，每个核心可支持 2 个线程·8MB L3 缓存容量更大、更统一的 L2 缓存微操作缓存 (Micro-op Cache) 具备 2 个 AES 加密单元·高效 FinFET 工艺

“Zen”核心采用了最新缓存层次结构，并改进了分支预测和同步多线程技术 [41]。这些先进设计将使“Zen”处理器核心极具弹性，以满足广泛的应用需求，其中包括无风扇 2 合 1 产品、嵌入式系统、高性能计算和数据中心。