

## 安徽大学《计算机组成原理》填空/解答题题库

1. 设计一个 64 位全并行的 ALU 需要 5 片先行进位部件 74182
2. 一个浮点数，当其尾数右移时，欲使其值不变，阶码必须 增加。尾数右移 1 位，阶码加 1
3. 片选信号为 101 时，选定一个 128K×8 位的存储芯片，则该芯片的所在存储单元空间的首地址为 0A000H，末地址为 0BFFFFH
4. 计算机系统是一个由硬件、软件组成的多级层次结构。它通常由微程序级、一般机器级、操作系统级、汇编语言级、高级语言级组成。每一级上都能进行程序设计。
5. 加法器通常分为串行加法器与并行加法器两种
6. 八位二进制补码所能表示的十进制整数范围是+127至-128，前者的二进制补码表示为 01111111，后者的二进制补码表示为 10000000
7. 一个定点数由符号位和数值域两部分组成。根据小数点位置不同，定点数有纯小数和纯整数之分。
8. 数组多路通道允许单个设备进行 传输 型操作，数据传送单位是 数据块
9. Cache 常用的替换算法大致有先进先出算法和近期最少使用两类。
10. 寻址方式按操作数的物理位置不同，多使用 RR 型和 RS 型，前者比后者执行速度快。
11. 一位十进制数，用 BCD 码表示需 4 位二进制码，用 ASCII 码表示需 7 位二进制码。
12. Cache 和主存地址的映射方式有直接映射、全相连、组相连三种。
13. 并行 I/O 接口 SCSI 和串行 I/O 接口 IEEE1394 是目前两个最具有权威性的标准接口技术。
14. 多个用户共享主存时，系统应提供存储保护。通常采用的方法是存储区域保护和访问方式保护，并用硬件来实现。
15. 一位十进制数，用 BCD 码表示需 4 位二进制码，用 ASCII 码表示需 7 位二进制码。
16. 移码表示法主要用于表示浮点数的阶码 E，以利于比较两个指数的大小和对阶操作。
17. 并行处理技术已成为计算机技术发展的主流。它可贯穿于信息加工的各个步骤和阶段。概括起来，主要有三种形式时间并行、空间并行、时间+空间并行。
18. 若被传送的数据为 11011011，假设采用偶校验技术，则校验位 C= 0
19. 一组相联映射的 Cache，有 128 块，每组 4 块，主存共有 16384 块，每块 64 个字，则主存地址共 20 位，其中主存字块标记应为 9 位，组地址应为 5 位，地址共 13 位
20. 四位二进制补码所能表示的十进制整数范围是+15至-16

- 
21. 信息只用一条传输线，且采用脉冲传输的方式称为串行传输。
22. 微程序设计技术是利用软件方法设计操作控制的一门技术。具有规整性、可维护性、灵活性等一系列优点。
23. Cache 和主存地址的映射方式有直接映射、全相连、组相连三种。
24. Cache 常用的替换算法大致有最不使用 LFU 算法、近期最少使用 LRU、随即替换。
25. 计算机系统中，根据应用条件和硬件资源不同，数据传输方式可采用并行传送、串行传送、复用传送
26. 移码表示法主要用于表示浮点数的阶码以利于比较两个指数的大小和进行对阶操作
27. 某 CRT 的分辨率为  $1024 \times 1024$ ，灰度级为 256，帧频为 75hz，则刷存总带宽应为 75MB/s
28. 字多路通道可允许每个设备进行传输型操作，数据传送单位是字节。
29. 计算机系统是一个由硬件、软件组成的多级层次结，它通常由微程序设计级、一般机器级、操作系统级、汇编语言级、高级语言级组成，每一级上都能进行程序设计，且得到下面各级的支持。
30. 一个定点数由符号位和数值域两部分组成。根据小数点位置不同，定点数有纯小数和纯整数两种表示方法。
31. 用浮点数来表示的优点是数值范围不受限制与表示格式不受限制
32. 根据地址格式不同，虚拟存贮器分为页式、段式和段页式三种
33. 按 IEEE754 标准，一个浮点数的阶码 E 的值等于指数的真值加上一个固定的偏移量
34. 数的真值变成机器码可采用原码表示法，补码表示法，反码表示法，移码表示法
35. 外围设备大体分为输入设备，输出设备，外存设备，数据通信设备，过程控制设备五大
36. 一位十进制数，用 BCD 码表示需要 4 位二进制码，用 ASCII 码表示需要 7 位二进制码
37. 磁盘上常用的记录方式可分为归零制、不归零制、调相制、调频制等多种类型。
38. I/O 设备的编址方式通常有独立编址和统一编址两种方式。
39. 直接内存访问（DMA）方式中，DMA 控制器从 CPU 完全接管对总线的控制，数据交换不经过 CPU，而直接在内存和 I/O 设备之间进行。
40. DMA 和 CPU 分时使用内存的三种方式是：停止 CU 访问内存，周期挪用，DMA 和 CPU 交替访问。
41. CPU 对信息传送的控制方式主要分为直接程序传送方式、程序中断传送方式、DMA 传送方式等 3 种
42. DMA 控制器按其组成结构，分为选择型和多路型两种。
43. 在计算机系统中，CPU 对外围设备的管理除了程序查询方式、程序中断方式外，还有 DMA

---

方式、通道方式和外围处理机方式。

44. 目前计算机进行 DMA 传送时，CPU 一般是要让出对系统总线的控制权，交给 DMA 控制。

45. 中断接口电路中的 EI 触发器的作用是是否允许中断源的中断请求被发出，RD 触发器的作用是外设准备好时发出就绪信号，DMA 控制器中的内存地址计数器的作用是存放内存中要交换的数据块的首地址。

46. 在一个有四个过程段的浮点加法器流水线中，假设四个过程段的时间分别是  $T_1=60\text{ns}$ 、 $T_2=50\text{ns}$ 、 $T_3=90\text{ns}$ 、 $T_4=80\text{ns}$ 。则加法器流水线的时钟周期至少为 90ns。如果采用同样的逻辑电路，但不是流水线方式，则浮点加法所需的时间为 280ns

47. 硬布线控制器的设计方法是：先画出指令周期流程图，再利用布尔代数写出综合逻辑表达式，然后用门电路、触发器或可编程逻辑等器件实现。

48. RISC 指令系统的最大特点是指令条数少、指令长度固定、指令格式和寻址方式种类少、只有取数/存数指令访问存储器。

49. 堆栈是一种特殊的数据寻址方式，它采用先进后出原理。按构造不同，分为寄存器堆栈和存储器堆栈。

50. 由于存储器芯片的容量有限，所以往往需要在字向和位向两方面进行扩充才能满足实际需求。

51. 寄存器寻址方式中，指令的地址码部分给出寄存器号，操作码在寄存器中；直接寻址方式指令中，直接给出操作数的地址，需访问主存一次可获得操作数；存储器间接寻址方式指令中给出的是操作数所在的存储器地址，CPU 需要访问内存 2 次才能获得操作数。

52. 微程序控制器的核心部件是存储微程序的控制存储器，它一般用只读存储器构成

53. 闪速存储器能提供高性能、低功耗、可靠性以及瞬时启动能力，为现有的存储器体系结构带来巨大变化，因此作为固态硬盘用于便携式电脑中。

54. 动态存储器有三种典型的刷新方式，即集中刷新方式、分散刷新方式、异步刷新方式。

55. 对存储器的要求是容量大速度快，成本低。为了解决这三方面的矛盾计算机采用多级存储体系结构

56. 存储器和 CPU 连接时，要完成地址线的连接；数据线的连接和控制线的连接，方能正常工作

57. Cache 是一种高速缓冲存储器，是为了解决 CPU 和主存之间速度不匹配而采用的一项重要硬件技术。现发展为多级 cache体系。

58. 交叉存储器实质上是一种模块式存储器，它能并行执行多个独立的读写操作，流水方式执行多个独立的读写操作。

---

59. 闪速存储器能提供高性能、低功耗、高可靠性及瞬时启动能力，为现有的存储器体系结构带来巨大变化，因此作为固态硬盘用于便携式电脑中。

60. 相联存储器不按地址而是按内容访问的存储器在 cache 中用来存放行地址表，在虚拟存储器中用来存放页表和段表

61. 按序写出多重中断的中断服务程序包括保护现场、开中断、设备服务、恢复现场、中断返回几部分。

62. 中断处理需要有中断优先级仲裁，中断向量产生，中断控制逻辑等硬件支持。

63. 中断向量地址是中断服务子程序入口地址。

64. 中断处理要求有中断优先级仲裁，中断向量产生中断控制逻辑等硬件支持。

65. Pentium 系统有两类中断源：由 CPU 外部的硬件信号引发的称为中断，它又可分为可屏蔽中断和非屏蔽中断；由指令执行引发的称为异常，其中一种是执行异常，另一种是执行软件中断指令。

66. 中断处理过程可以嵌套进行，优先级高的设备可以中断优先级低的中断服务程序。

67. 不同机器有不同的指令系统，RISC 指令系统是 CISC 指令系统的改进

68. 指令寻址的基本方式有两种，一种是顺序寻址方式，其指令地址由程序计数器给出，另一种是跳寻址方式，其指令地址由指令本身给出。

69. 操作控制器的功能是根据指令操作码和时序信号，产生各种操作控制信号，从而完成取指令和执行指令的控制。

70. 微指令格式可分为水平型和垂直型两类，其中垂直型微指令用较长的微程序结构换取较短的微指令结构。

71. 中央处理器（CPU）的四个主要功能是：指令控制、操作控制、时间控制、数据加工。

72. 某机器采用三地址格式指令，共能完成 50 种操作，可在 1K 地址范围内直接寻址，则指令字长应取 36 位，其中操作码 6 位，地址码 30 位

73. 指令的编码将指令分成操作码和操作数地址码等字段。

74. 指令格式是指用二进制代码表示的结构形式通常格式中由操作码字段和地址码字段组成。

75. 指令字长度有单字长、半字长、双字长三种形式。

76. CPU 中，保存当前正在执行的指令的寄存器为指令寄存器（IR），保存下一条指令地址的寄存器为程序计数器（PC），保存 CPU 访存地址的寄存器为地址寄存器（AR）

77. 一个较完善的指令系统应包含数据传送类指令，算术运算类指令，逻辑运算类指令，程序控制类指令，I/O 类指令，字符串类指令，系统控制类指令。

78. 指令格式中，操作码字段表征指令的操作特性与功能，地址码字段指示操作数的位置。

---

微型机中多采用二地址、单地址、零地址混合方式的指令格式。

79. 操作控制器的功能是根据指令操作码和时序信号，产生各种操作控制信号，从而完成取指令和执行指令的控制。

80. 设指令中形式地址为 D，基址寄存器为 BX，则基址寻址方式时，有效地址  $E = (BX) + D$

81. 一个较完善的指令系统，应当有数据处理、数据存储、数据传送、程序控制四大类指令

82. RISC 指令系统的最大特点是：指令条数少；指令长度固定；指令格式和寻址方式种类少。

83. RISC 的中文含义是精简指令系统计算机，CISC 的中文含义是复杂指令系统计算机。

84. CPU 中至少有如下六类寄存器指令寄存器，程序计数器，地址寄存器，通用寄存器，状态条件寄存器，缓冲寄存器。

85. 在指令的地址字段中，直接指出操作数本身的寻址方式，称为立即寻址。

86. 指令系统是表征一台计算机性能的重要因素，它的格式和功能不仅直接影响到机器的硬件结构而且也影响到系统软件。

87. RISC 指令系统最大特点是：指令条数少；指令长度固定；指令格式和寻址方式种类少。

88. RISC CPU 在克服 CISC 机器缺点的基础上发展起来的。它具有三个基本要素（1）一个有限的简单指令系统、（2）CPU 配备大量的通用寄存器、（3）强调指令流水线的优化。

89. 硬布线控制器的基本思想：某一微操作控制信号是指令操作码译码输出，时序信号和状态条件信号的逻辑函数。

90. 通道是一个特殊功能的处理器，它有自己的指令和程序专门负责数据输入输出的传输控制。

91. 为了运算器的高速性，采用了先行进位、阵列乘法法、流水线等技术措施

92. 当今的 CPU 芯片除了包括定点运算器和控制器外，还包括 cache、浮点运算器和存储管理等部件。

93. 为了运算器的高速性，采用了先行进位，阵列乘法法和流水线等并行措施。

94. 十进制数在计算机内有两种表示形式：字符串形式和压缩的十进制数串形式。前者主要用在非数值计算的应用领域，后者用于直接完成十进制数的算术运算。

95. 在运算过程中出现数据超出表示范围的现象就发生溢出，这时运算结果是错误的

96. 要组成容量为  $4K \times 8$  位的存储器，需要 8 片  $4K \times 1$  位的静态 RAM 芯片并联，或者需要 4 片  $1K \times 8$  位的静态 RAM 芯片串联

97. 动态 RAM 的刷新方式通常有集中、异步、分散三种。

98. 广泛使用的 SRAM 和 DRAM 都是半导体随机读写存储器，前者比后者速度快，集成度不如后者高，它们共同的缺点是断电后不能保存信息。

- 
99. 半导体 SRAM 靠触发器存贮信息，半导体 DRAM 则是靠栅极电容存贮信息。
100. 流水 CPU 中的主要问题是资源相关、数据和控制相关，为此需要采用相应的技术对策，才能保证流水畅通而不断流。流水 CPU 是以时间并行性为原理构造的处理器，是一种非常经济而实用的并行技术。
101. CPU 能直接访问 cache 和 主存，但不能直接访问磁盘和光盘
102. 多媒体 CPU 是带有 MMX 技术的处理器，它是一种 多媒体扩展结构技术，特别适合于 图像数据处理。
- 103 通道与 CPU 分时使用内存，实现了 CPU 内部数据管理和 I/O 并行工作。
104. SCSI 是处于 主适配器和智能设备控制器之间的并行 I/O 接口，可允许连接 7-15 台不同类型的高速外围设备。
105. 控制器在生成各种控制信号时必须按照一定的顺序进行，以便对各种操作实施时间上的控制。
106. 按照微命令的形成方式，可将控制器分为组合逻辑控制器和微程序控制器两种基本类型。

QQ: 991161108

### 三、解答题

1. 设有两个十进制数,  $x=-0.875 \times 2^1$ ,  $y=0.625 \times 2^2$

(1) 将  $x$ 、 $y$  的尾数转换为二进制补码形式。

(2) 设阶码 2 位, 阶符 1 位, 数符 1 位, 尾数 3 位, 通过补码运算规则求出  $z=x-y$  的二进制浮点规格化结果。

解: (1) 设  $S_1$  为  $x$  的尾数,  $S_2$  为  $y$  的尾数, 则

$$S_1 = (-0.875)_{10} = (-0.111)_2 \quad [S_1]_{\text{补}} = 1.001$$

$$S_2 = (0.625)_{10} = (+0.101)_2 \quad [S_2]_{\text{补}} = 0.101$$

(2) 求  $z=x-y$  的二进制浮点规格化结果。

① 对阶:

设  $x$  的阶码为  $j_x$ ,  $y$  的阶码为  $j_y$ ,  $j_x = (+01)_2$ ,  $j_y = (+10)_2$ ;

$j_x - j_y = (01)_2 - (10)_2 = (-01)_2$ , 小阶的尾数  $S_1$  右移一位,

$S_1 = (-0.0111)_2$ ,  $j_x$  阶码加 1, 则  $j_x = (10)_2 = j_y$ ,  $S_1$  经舍入后,

$S_1 = (-0.100)_2$ , 对阶完毕。

$$x = 2^{j_x} \times S_1 = 2^{(10)_2} \times (-0.100)_2 \quad x \text{ 的补码浮点格式: } 010, 1100$$

$$y = 2^{j_y} \times S_2 = 2^{(10)_2} \times (+0.101)_2 \quad y \text{ 的补码浮点格式: } 010, 0101$$

② 尾数相减:

$$[S_1]_{\text{补}} = 11.100, \quad [-S_2]_{\text{补}} = 11.011$$

$$\begin{array}{r} [S_1]_{\text{补}} = 11.100 \\ + [-S_2]_{\text{补}} = 11.011 \\ \hline [S_1 - S_2]_{\text{补}} = 10.111 \end{array}$$

尾数求和绝对值大于 1, 尾数右移一位, 最低有效位舍掉, 阶码加 1

(右规), 则  $[S_1 - S_2]_{\text{补}} = 11.011$  (规格化数),  $j_x = j_y = 11$

③ 规格化结果: 011.1011

2. 某加法器进位链小组信号为  $C_4C_3C_2C_1$ , 低位来的进位信号为  $C_0$ , 请分别按下述

两种方式写出  $C_4C_3C_2C_1$  的逻辑表达式。

(1) 串行进位方式

(2) 并行进位方式

解: 根据传输速率, 磁盘优先权最高, 磁带次之, 打印机最低。如下图:、答:

(1) 串行进位方式:

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 C_1$$

$$C_3 = G_3 + P_3 C_2$$

$$C_4 = G_4 + P_4 C_3$$

$$\text{其中: } G_1 = A_1 B_1, \quad P_1 = A_1 \oplus B_1$$

$$G_2 = A_2 B_2, \quad P_2 = A_2 \oplus B_2$$

$$G_3 = A_3 B_3, \quad P_3 = A_3 \oplus B_3$$

$$G_4 = A_4 B_4, \quad P_4 = A_4 \oplus B_4$$

(2) 并行进位方式:

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$$

$$C_4 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$$

其中  $G_1-G_4$ ,  $P_1-P_4$  表达式与串行进位方式相同。

3. 已知某 8 位机的主存采用半导体存储器，地址码为 18 位，采用  $4K \times 4$  位的 SRAM 芯片组成该机所允许的最大主存空间，并选用模块条形式。问：

(1) 若每个模块条为  $32K \times 8$  位，共需几个模块条？

(2) 每个模块条内直多少 RAM 芯片？

(3) 主存共需多少 RAM 片？CPU 需使用几地址线来选择各模块？使用何种译器？

解：(1)  $(2^{18} \times 8) / (32k \times 8) = 8$ ，故需 8 个模块

(2)  $(32k \times 8) / (4k \times 4) = 16$ ，故需 16 片芯片

(3) 共需  $8 \times 16 = 128$  片芯片，为了选择各模块，需使用 3:8 译码器，即 3 根地址线选择模块条。

4. 假设 CPU 执行某段程序时共访问 Cache 命中 4800 次，访问主存 200 次，已知道 Cache 的存取周期为 30ns，主存的存取周期为 150ns，求 Cache 的命中率以及 Cache—主存系统的平均访问时间和效率，试问该系统的性能提高了多少倍？

解：Cache 被访问命中率为： $4800 / (4800 + 200) = 24/25 = 96\%$

则 Cache—主存系统的平均访问时间为： $t_a = 0.96 \times 30ns + (1 - 0.96) \times 150ns = 34.8ns$

Cache—主存系统的访问效率为： $e = t_c / t_a \times 100\% = 30 / 34.8 \times 100\% = 86.2\%$

性能为原来的  $150ns / 34.8ns = 4.31$  倍，即提高了 3.31 倍。

5. 已知某机采用微程序控制方式，其控制存储器容量为  $512 \times 48$  位。微指令字长为 48 位，微程序可在整个控制存储器中实现转移，可控制微程序转移的条件共 4 个（直接控制），微指令采用水平型格式，如图 5.57 所示。

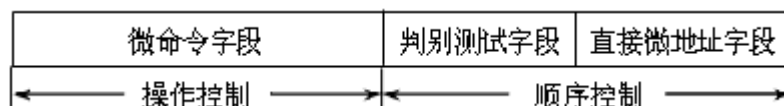


图 5.57 微指令格式

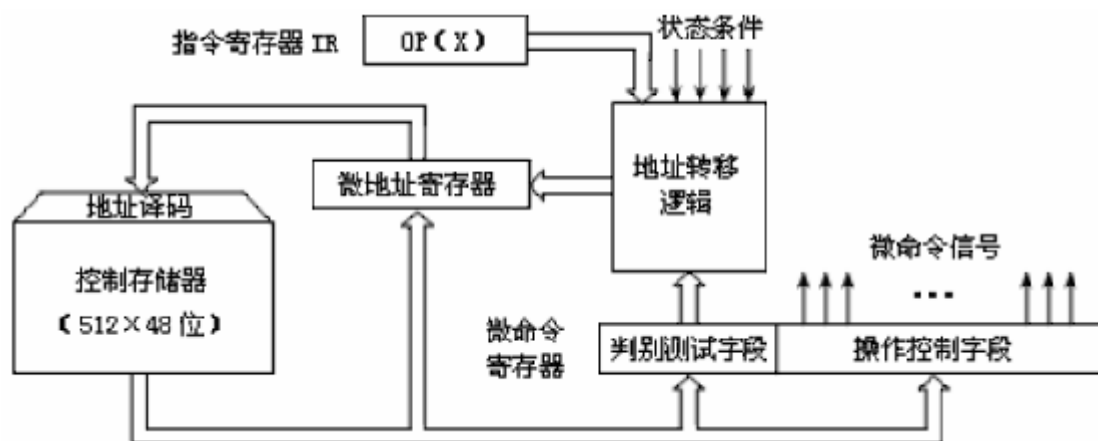
(1) 微指令格式中的三个字段分别应为多少位？

(2) 画出围绕这种微指令格式的微程序控制器逻辑框图。

答：(1) 判别测试字段占 4 位，直接微地址字段占 9 位，操作控制字段占 35 位。

(2) 微程序控制器逻辑框图如图所示。





微程序控制器逻辑框图

6. 设某机主频为 8MHz，每个机器周期平均含 2 个时钟周期，每条指令平均有 2.5 个机器周期，试问该机的平均指令执行速度为多少 MIPS？若机器主频不变，但每个机器周期平均含 4 个时钟周期，每条指令平均有 5 个机器周期，该机的平均指令执行速度又是多少 MPS？由此可得出什么结论？

解:先通过主频求出时钟周期，再求出机器周期和平均指令周期，最后通过平均指令周期的倒数求出平均指令执行速度。计算如下：

时钟周期= $1/8\text{MHz}=0.125 \times 10^{-6}=125\text{ns}$

机器周期= $125\text{ns} \times 2=250\text{ns}$

平均指令周期= $250\text{ns} \times 2.5=625\text{ns}$

平均指令执行速度= $1/625\text{ns}=1.6\text{MIPS}$

当参数改变后:机器周期= $125\text{ns} \times 4=500\text{ns}=0.5\mu\text{s}$

平均指令周期= $0.5\mu\text{s} \times 5=2.5\mu\text{s}$

平均指令执行速度= $1/2.5\mu\text{s}=0.4\text{MIPS}$

结论:两个主频相同的机器，执行速度不一定一样。

7. 某机字长 16 位，存储字长等于指令字长，若存储器直接寻址空间为 128 字，变址时的位移量为-64~+63, 16 个通用寄存器可作为变址寄存器。设计一套指令格式，满足下列寻址类型的要求。

- (1) 直接寻址的二地址指令3条；
- (2) 变址寻址的一地址指令6条；
- (3) 寄存器寻址的二地址指令9条；
- (4) 直接寻址的一地址指令13条。

1) 地址指令格式为 (2 分)

OP 2	A1 7	A2 7
------	------	------

00-10

2) (2 分)

OP5	R1 4	A2 7
-----	------	------

11000-11101

3) (3 分)

OP8	R1 4	A2 4
-----	------	------

1111000-1111100

4) (3 分)

OP9	R1 7	
-----	------	--

111110001-11111101

8. 比较水平微指令和垂直微指令的优缺点。

解：(1) 水平型微指令并行操作能力强、效率高、灵活性强，垂直型微指令则较差；

(2) 水平型微指令执行一条指令的时间短，垂直型微指令执行时间长；

(3) 由水平型微指令解释指令的微程序，具有微指令字比较长，但微程序短的特点，而垂直型微指令正好相反；

(4) 水平型微指令用户难以掌握，而垂直型微指令与指令比较相似，相对来说比较容易掌握。

9. DMA 接口主要由哪些部件组成？在数据交换过程中它应完成哪些功能？画出 DMA 工作过程的流程图（不包括预处理和后处理）

答：DMA 接口主要由数据缓冲寄存器、主存地址计数器、字计数器、设备地址寄存器、中断机构和 DMA 控制逻辑等组成。

在数据交换过程中，DMA 接口的功能有：

(1) 向 CPU 提出总线请求信号；

(2) 当 CPU 发出总线响应信号后，接管对总线的控制；

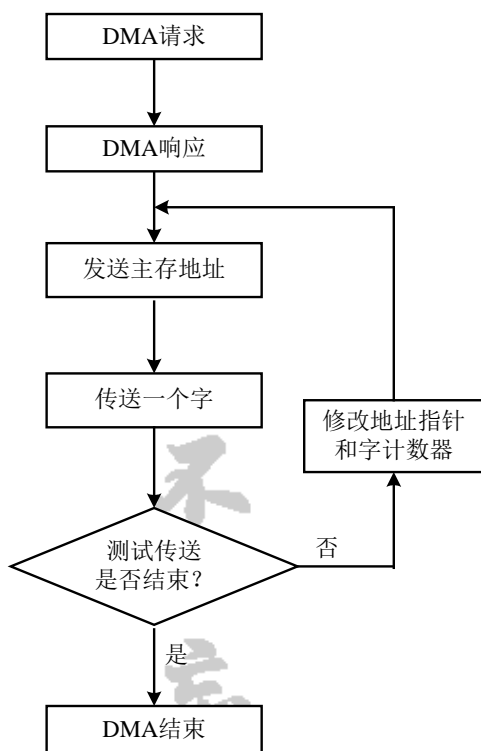
(3) 向存储器发地址信号（并能自动修改地址指针）；

(4) 向存储器发读/写等控制信号，进行数据传送；

(5) 修改字计数器，并根据传送字数，判断 DMA 传送是否结束；

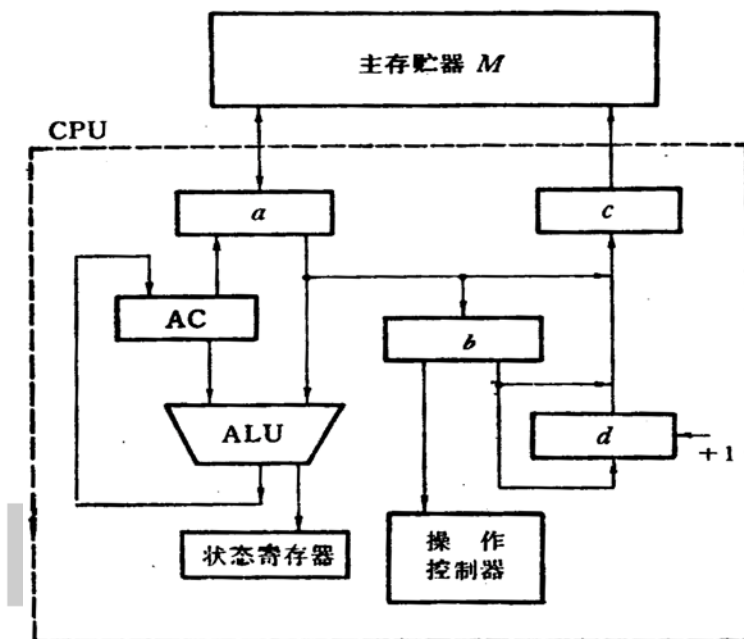
(6) 发 DMA 结束信号，向 CPU 申请程序中断，报告一组数据传送完毕。DMA 工作过程流程图如图所示。

QQ: 991161108



10. CPU 结构如图所示，其中一个累加寄存器 AC，一个状态条件寄存器和其它四个寄存器，各部分之间的连线表示数据通路，箭头表示信息传送方向。

- (1) 标明图中四个寄存器的名称。
- (2) 简述指令从主存取到控制器的数据通路。
- (3) 数据在运算器和主存之间进行存/取访问的数据通路。



解答：

(1) a 为数据缓冲寄存器 DR，b 为指令寄存器 IR，c 为主存地址寄存器 AR，d 为程序计数器 PC；

---

(2)  $PC \rightarrow AR \rightarrow \text{主存} \rightarrow \text{缓冲寄存器 DR} \rightarrow \text{指令寄存器 IR} \rightarrow \text{操作控制器}$

(3) 存储器读:  $M \rightarrow DR \rightarrow ALU \rightarrow AC$ ; 存储器写:  $AC \rightarrow DR \rightarrow M$

不

忘

初

心

方

得

始

终

QQ: 991161108