

安徽大学2010-2011学年第 二 学期
《计算机组成与结构》期末考试试卷答案 (A卷)

一、填空题 (每空1分, 共30分)

1. $AB + \overline{AB} + \overline{AB}$ 可化简为 (\overline{AB})。
2. 在浮点数中, 当数的值太大, 以至于大于阶码所能表示的数时, 称为 (上溢), 而当数的值太小, 以至于小于阶码所能表示的数时, 称为 (下溢), 此时通常将尾数和阶码置以全0, 成为 (机器零)。
3. 8 位二进制定点小数补码所能表示的十进制数范围是 (-1) 至 $(1-2^{-7})$, 前者的二进制补码表示为 (1.0000000), 后者的二进制补码表示为 (0.1111111)。
4. 码值80H, 若表示真值0, 则为 (移码), 若表示-128, 则为 (补码), 若表示-127, 则为 (反码), 若表示-0, 则为 (原码)。
5. 一条指令通常分为 (操作码) 和 (地址码) 两部分。
6. 采用双符号位的方法进行溢出检测时, 若运算结果中两个符号位 (不相同), 则表明发生了溢出; 若结果的符号位位 (01), 表示发生正溢出; 若为 (10), 表示发生负溢出。
7. CPU中, 保存当前正在执行的指令的寄存器为 (指令寄存器IR), 保存下一条指令地址的寄存器为 (程序计数器PC), 保存CPU访存地址的寄存器为 (地址寄存器AR)。
8. 微程序控制器的核心部件是存储微程序的 (控制存储器), 它一般用 (只读存储器) 构成。
9. 控制器在生成各种控制信号时, 必须按照一定的 (时序) 进行, 以便对各种操作实施时间上的控制。
10. 在cache组相联存储器中, 假设 c' 为组地址长度, r 为块字段长度。当 $r=0$ 时, 则成为 (直接) 地址映像, 当 $c'=0$, 则成为 (全相联) 地址影响。
11. 控制器的控制方法常用的有 (同步控制方式)、(异步控制方式)、(联合控制方式) 和人工控制方式。
12. 在多级存储体系中, cache的主要功能是 (提高速度), 虚拟存储器的主要功能是 (增加指令地址码寻址范围)。

二、选择题 (每空1分, 共10分)

1. 主机中能对指令进行译码的器件是 (C)
A 运算器 B ALU C 控制器 D 存储器
2. 运算器虽有许多部件, 但核心部分是 (B)
A 数据总线 B 算术逻辑运算单元 C 多路开关 D 累加寄存器
3. 冯·诺依曼机工作方式的基本特点是 (B)
A 多指令流单数据流 B 按地址访问并顺序执行指令
C 堆栈操作 D 存储器按内容选择地址
4. 在浮点数编码表示中 (D) 在机器数中不出现, 是隐含的。
A 阶码 B 符号 C 尾数 D 基数
5. 计算机的存储系统是指 (D)
A RAM B ROM C 主存储器 D cache, 主存储器和外存储器
6. 若RAM芯片的容量是 $2M \times 8$ 位, 则该芯片引脚中地址线 and 数据线的条数之和是 (B)
A 21 B 29 C 18 D 不可估计
7. 如果一个存储单元被访问, 这个存储单元有可能很快会再被访问, 成为 (B); 这个存储单元及其邻近的存储单元有可能很快会被访问成为 (A)。
A. 时间局部性 B. 空间局部性 C. 程序局部性 D. 数据局部性
8. 相联存储器是按 (C) 进行寻址的存储器。
A 地址指定方式 B 堆栈存储方式 C 内容指定方式
D 地址指定方式和堆栈存储方式结合
9. 以硬布线方式构成的控制器也称为 (A)
A 组合逻辑控制器 B 微程序控制器 C 存储逻辑控制器 D 运算器

三、简答题 (共23分)

1. (6分) 串行加法器和并行加法器有何不同? 影响加法运算速度的关键因素是什么?

答：1) 加法器通常指的是只用1位加法器，对数据的各位依次（从低位到高位）相加。（2分）

2) 并行加法器一般设置有n个全加器（n为数据字长），同时对n位数据进行相加。（2分）

3) 低位产生的进位信号会影响高位的结果，在最不利的情况下（例如1111...11+1），从低位产生的进位信号逐位传递到最高位，这种串行进位的加法器主要因进位的延迟而影响加法运算速度。为了提高运算速度，一般采用并行进位（即超前进位）的方法。（2分）

2.（6分）指令中地址码的位数与直接访问的存储器空间有什么关系？字寻址计算机和字节寻址计算机在地址码安排上有何区别？如果指令系统支持对字节、字、双字运算而又不要求对准边界，则会产生什么影响？

答：1) 设地址码有n位，则可直接访问的存储器空间 $=2^n$ 。（2分）

2) 字寻址计算机的存储器空间为2n个字，假如字长为16位（2个字节），则可访问的存储器空间在同样长度的地址码情况下与字节寻址相比可增加一倍。（2分）

3) 如果访问一次存储器可取出一个字（16位），那么在不对准边界的情况下，取一个字有可能要访问2次存储器，取双字有可能要访问3次存储器，增加了控制的复杂性，还影响到速度。（2分）

3.（6分）cache的命中率与哪些因素有关？分别阐述之。

答：cache的命中率与cache的容量、块的大小、地址映像方式和替换算法有关。（2分）

在其他因素不变的情况下，cache的容量大，命中率高；块的大小要适中，其对命中率的影响与执行的程序有关；在地址映像方面，全相联的命中率最高，但因所需硬件太多，一般不采用，直接映像命中率最低，但是简单，比较理想的是组相联；在替换算法方面，LRU替换算法高于FIFO或随机替换算法，一般采用修正后的LRU算法。（4分）

4.（5分）硬布线控制与微程序控制有何差异？

答：（1）实现。微程序控制器的控制功能是在存放微程序的控制存储器和存放当前正在执行的微指令的寄存器直接控制下实现的，而硬布线控制则是由逻辑门组合实现。（3分）

（2）性能。微程序控制的速度比硬布线控制的速度低。（2分）

四、（6分）（1）CPU执行一段程序时，cache完成存取的次数为2420次，主存完成存取的次数为80次，已知cache存储周期为40ns，主存存储周期为240ns，求cache/主存系统的平均访问时间？（3分）

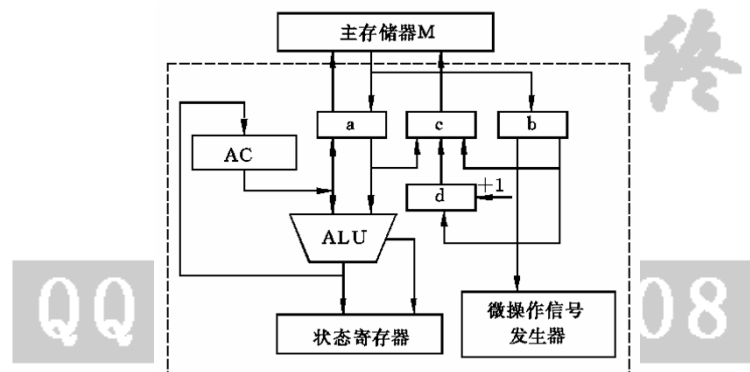
（2）已知cache存储周期是40ns，主存存储周期是200ns，cache/主存系统平均访问时间为50ns，求cache的命中率是多少？（3分）

解：（1）命中率 $h=2420/(2420+80)=96.8\%$

平均存取时间 $=h \cdot t_c + (1-h) \cdot (t_c + t_m) = 96.8\% \cdot 40 + (1-96.8\%) \cdot (40+240) = 47.68\text{ns}$

（2） $50 = 40 \cdot h + (1-h) \cdot 240$ $h=95\%$

五、（10分）CPU结构如图所示，其中有一个累加寄存器AC、一个状态条件寄存器和其他四个寄存器，各部分之间的连线表示数据通路，箭头表示信息传送方向。要求：



（1）标明图中a, b, c, d四个寄存器的名称。（4分）

（2）简述指令从主存取到控制器的数据通路。（2分）

（3）简述数据在运算器和主存之间进行存/取访问的数据通路。（4分）

解：（1）a：数据寄存器DR b：指令寄存器IR c：地址寄存器AR d：程序计数器PC

(2) M→IR→控制器

(3) 读: M→DR→ALU→AC; 写: AC→DR→M

六、(8分) 有一个cache的容量为2K字, 每块为16字, 问:

(1) 该cache可容纳多少个块? (1分)

(2) 如果主存的容量是256K字, 则有多少个块? (1分)

(3) 主存的地址有多少位? cache的地址有多少位? (2分)

(4) 在直接映射方式下, 主存中的第i块映射到cache中哪一个块? (1分)

(5) 进行地址映射时, 存储器地址分成哪几段? 各段分别多少位? (3分)

解: (1) cache中有 $2048/16=128$ 个块。

(2) 主存有 $256K/16=214=16384$ 个块。

(3) 主存容量为 $256K=2^{18}$ 字, 所以主存的地址有18位。

cache容量为 $2K=2^{11}$ 字, 所以cache字地址为11位。

(4) 主存中的第i块映像到cache中第 $i \bmod 128$ 个块中。

(5) 存储器的字地址分成三段: 区地址、组地址、块内字地址。

区地址的长度为 $18-11=7$ 位, 组地址为7位, 块内字地址为4位。

七、(13分) 某机字长8位, 试用如下所给芯片设计一个存储器, 容量为10KW, 其中RAM为高地址8KW, ROM为低地址2KW, 最低地址为0 (RAM芯片类型有: $4K \times 8$, ROM芯片有: $2K \times 4$)。

(1) 地址线、数据线各为多少根。(2分)

(2) RAM和ROM的地址范围分别为多少? (4分)

(3) 每种芯片各需要多少片。(2分)

(4) 画出存储器结构图及与CPU连接的示意图。(5分)

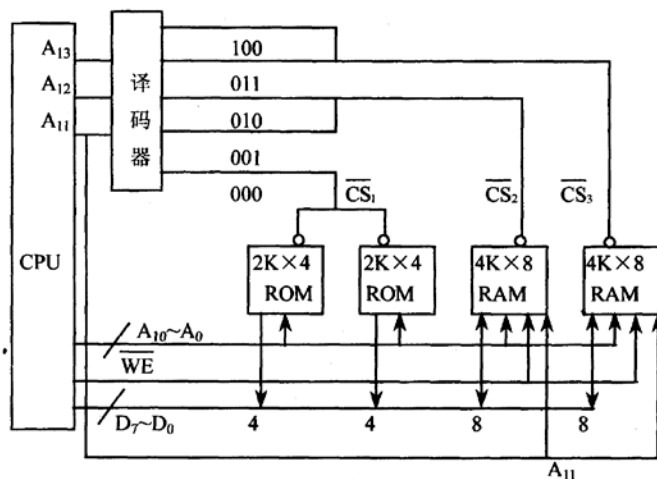
解:

① 地址线为14根, 数据线为8根。

② ROM的地址范围为0000H~07FFH, RAM的地址范围为0800~27FFH。

③ RAM芯片共2片, ROM芯片共2片。

④ 存储器结构图及与CPU连接的示意图如图4.12所示。



QQ: 991161108