

安徽大学2005-2006学年第 二 学期
《计算机原理》期末考试试卷答案 (B卷)

一、填空题 (每空1分, 共30分)

1. 某浮点数基值为 2, 阶符 1 位, 阶码 3 位, 数符 1 位, 尾数 7 位, 阶码和尾数均用补码表示, 尾数采用规格化形式, 用十进制数写出它能表示的最大正数 (127), 非 0 最小正数 ($1/512$), 最大负数 ($-1/512-1/32768$), 最小负数 (-128)。
2. 变址寻址和基址寻址的区别是: 在基址寻址中, 基址寄存器提供 (基地址), 指令提供 (形式地址); 而在变址寻址中, 变址寄存器提供 (基地址), 指令提供 (形式地址)。
3. 影响流水线性性能的因素主要反映在 (访存冲突) 和 (相关问题) 两个方面。
4. 设机器数字长为 16 位 (含 1 位符号位)。若 1 次移位需 10ns, 一次加法需 10ns, 则补码除法需 (300ns) 时间, 补码 BOOTH 算法最多需 (310ns) 时间。
5. CPU 从主存取出一条指令并执行该指令的时间叫 (指令周期), 它通常包含若干个 (机器周期), 而后者又包含若干个 (节拍) 组成多级时序系统。
6. 设相对寻址的转移指令占 2 个字节, 第一字节为操作码, 第二字节是位移量 (用补码表示), 每当 CPU 从存储器取出一个字节时, 即自动完成 $(pc) + 1 \rightarrow pc$ 。设当前指令地址为 3008H, 要求转移到 300FH, 则该转移指令第二字节的内容应为 (05H)。若当前指令地址为 300FH, 要求转移到 3004H, 则该转移指令第二字节的内容为 (F3H)。
7. 利用 (访存) 指令进行输入输出操作的 I/O 编址方式为统一编址。
8. 一个组相联映像的 Cache, 有 128 块, 每组 4 块, 主存共有 16384 块, 每块 64 个字, 则主存地址共 (20) 位, 其中主存字块标记应为 (9) 位, 组地址应为 (5) 位, Cache 地址共 (13) 位。
9. (Cache-主存) 和 (主存-辅存) 组成存储系统的层次结构。
10. 在总线集中式判优控制中, (链式查询) 方式对故障很敏感, (独立请求) 方式速度最快。对于同步通信而言, 影响其效率的主要因素是 (以最慢速度的部件设计公共时钟), 它一般用于 (各部件存取时间比较一致的) 场合。
11. 一个浮点数, 当其补码尾数右移 1 位时, 为使其值不变, 阶码应 (加 1); 若补码尾数左移 1 位, 则阶码应 (减 1)。

二、选择题 (每空1分, 共15分)

1. 某计算机使用的数据有 1 字节、2 字节和 4 字节 3 种长度, 要求其在存储器中按边界对齐方式存放, 其相应的地址应符合下列条件:
1 字节地址要求为: (D)
2 字节地址要求为: (A)
3 字节地址要求为: (B)
A 地址的最低 1 位为 0 B 地址的最低两位为 0
C 地址的最低 4 位为 0 D. 无要求
2. 控制存储器是用来存放 (D)

- A 机器指令和数据 B 微程序和数据
C 机器指令和微程序 D 微程序

3. 在计算机分级结构中, 虚拟存储器属于 (D) 级, 控制存储器属于 (A) 级, 辅助存储器属于 (D) 级进行管理。

- A 微程序控制级 B 机器语言级
C 汇编语言机器级 D 操作系统机器级

4. 在页式虚拟存储器的叙述中为了提高主存的命中率, 可以采取的措施是 (A) 和 (B)。

- A 增大主存容量 B 程序编译优化
C 增大辅存容量 D 增大CACHE容量

5. 在浮点数编码表示中 (D) 在机器数中不出现, 是隐含的。

- A 阶码 B 符号 C 尾数 D 基数

6. 相联存储器是按 (C) 进行寻址的存储器。

- A 地址指定方式 B 堆栈存储方式
C 内容指定方式 D 地址指定方式和堆栈存储方式结合

7. 以硬布线方式构成的控制器也称为 (A)

- A 组合逻辑控制器 B 微程序控制器 C 存储逻辑控制器
D 运算器

8. 算术/逻辑运算单元 74181ALU 可完成 (D)

- A 16 种算术运算功能
B 4 位乘法运算功能和除法运算功能
C 16 种逻辑运算功能
D 16 种算术运算功能和 16 种逻辑运算功能

9. 若浮点数的阶码和尾数都用补码表示, 则判断运算结果位规格化数的方法是 (C)

- A 阶符与数符相同
B 阶符与数符相异
C 数符与尾数小数点后第 1 位数字相异
D 数符与尾数小数点后第 1 位数字相同

10. 下列原件中存取速度最快的是 (B)

- A cache B 寄存器 C 内存 D 外存

三、简答题 (共23分)

1. (6分) 程序和微程序、机器指令和微指令、主存储器和控制存储器这几个概念有何区别?

答: (1) 程序和微程序。程序是由程序员编写的, 由指令组成, 而微程序用以控制指令的执行, 它是由微指令组成的。(2分)

(2) 机器指令和微指令。机器指令是把程序员编写的程序经编译以后成为机器能执行的以二进制码形式表示的指令; 在微程序控制的计算机中通过执行一串微指令完成一条指令的功能。(2分)

(3) 主存储器和控制存储器。主存储器用来存放程序和数据, 在运行程序时, CPU从主存储器取指令和存取数据, 一般由随机存储器RAM构成。控制存储器用来存放微程序, 用以解释指令的执行, 一般由只读存储器ROM构成。(2分)

2. (6分) 计算机的主存储器一般选用哪种类型的芯片?

答: 一般选用DRAM。但有少量ROM用于存放操作系统中的一些基本程序。(2分)

SRAM因为价格昂贵、单片容量小，所以很少用作主存储器，而应用于高速缓冲存储器cache。(2分)

DRAM和ROM是统一编址的，即地址空间中的一部分属于DRAM，另一部分属于ROM。(2分)

3. (6分) 简述CRC码的纠错原理。

答：CRC码是一种纠错能力较强的编码。在进行校验时，将CRC码多项式与生成多项式 $G(x)$ 相除，若余数为0，则表明数据正确；当余数不为0时，说明数据有错。(4分)

只要选择适当的生成多项式 $G(x)$ ，余数与CRC码出错位位置的多应关系是一定的，由此可以用余数作为出错位置的依据而纠正错码。(2分)

4. (5分) 试述先行进位解决的问题及基本思想。

答：先行进位解决的问题是进位的传递速度。(2分)

其基本思想是：让各位的进位与低位的进行无关，仅与两个参加操作的数有关。由于每位的操作数是同时给出的，各进位信号几乎可以同时产生，和数也随之产生，所以先行进位可以提高进位的传递速度，从而提高加法器的运算速度。(3分)

四、(6分) (1) CPU执行一段程序时，cache完成存取的次数为2420次，主存完成存取的次数为80次，已知cache存储周期为40ns，主存存储周期为240ns，求cache/主存系统的平均访问时间？(3分)

(2) 已知cache存储周期是40ns，主存存储周期是200ns，cache/主存系统平均访问时间为50ns，求cache的命中率是多少？(3分)

解：(1) 命中率 $h = 2420 / (2420 + 80) = 96.8\%$

平均存取时间 $= h \cdot t_c + (1-h) \cdot (t_c + t_m) = 96.8\% \cdot 40 + (1-96.8\%) \cdot (40 + 240) = 47.68\text{ns}$

(2) $50 = 40 \cdot h + (1-h) \cdot 240$

$h = 95\%$

五、(9分) 设阶码取3位，尾数取6位(均不包括符号位)，按浮点补码运算规则，计算 $[2^5 \times \frac{9}{16}]$

$+ [2^4 \times (-\frac{11}{16})]$

答：被加数为 0, 101; 0. 100100, $[x]_{\text{补}} = 00, 101; 00. 100100$ (2分)

加数为 0, 100; 1. 010100, $[y]_{\text{补}} = 00, 100; 11. 010100$ (2分)

(1) 对阶：(1分)

$[\Delta_j]_{\text{补}} = [j_x]_{\text{补}} - [j_y]_{\text{补}} = 00, 101 + 11, 100 = 00, 001$

即 $\Delta_j = 1$ ，则y的尾数向右移一位，阶码相应加1，即

$[y]_{\text{补}}' = 00, 101; 11. 101010$

(2) 求和 (1分)

$[S_x]_{\text{补}}' + [S_y]_{\text{补}}' = [S_x]_{\text{补}} + [S_y]_{\text{补}}$
 $= 00. 100100 + 11. 101010$
 $= 00. 001110$

即 $[x+y]_{\text{补}} = 00, 101; 00. 001110$

尾数出现“00.0”，需左规。

(3) 规格化 (1分)

左规后得 $[x+y]_{\text{补}} = 00, 011; 00. 111000$

(4) 舍入 (1分)

(5) 判溢出 (1分)

$\therefore [x+y]_{\text{补}} = 00, 111; 00. 111000$

六、(7分) 某机主存容量为 $4M \times 16$ 位，且存储字长等于指令字长，若该机的指令系统具备120种操作。操作码位数固定，且具有直接、间接、立即、相对四种寻址方式。

- (1) 画出一地址指令格式并指出各字段的作用；
- (2) 该指令直接寻址的最大范围；
- (3) 一次间址的寻址范围；
- (4) 相对寻址的寻址范围。

答：(1) 指令字长 16 位，操作码为 7 位，寻址特征位 2 位，地址码 7 位；(4 分)

(2) $-64 \sim 63$ ；(1 分)

(3) 2^{16} ；(1 分)

(4) 2^{16} 。(1 分)

七、(10 分)

设 CPU 共有 16 根地址线，8 根数据线，并用 IO/ M 作访存控制信号，用 R/W 作读写命令信号，现有下列存储芯片及 138 译码器和各种门电路（自定）。

RAM 2K×8 位， 4K×4 位， 8K×8 位

ROM 2K×8 位， 4K×8 位， 8K×8 位

画出 CPU 与存储器的连接图，要求

- (1) 最小 8K 地址空间为系统程序区，与其相邻的 4K 地址空间为用户程序区；
- (2) 合理选用上述存储芯片，并写出每片存储芯片的地址范围；(5 分)
- (3) 详细画出存储芯片的片选逻辑。(5 分)

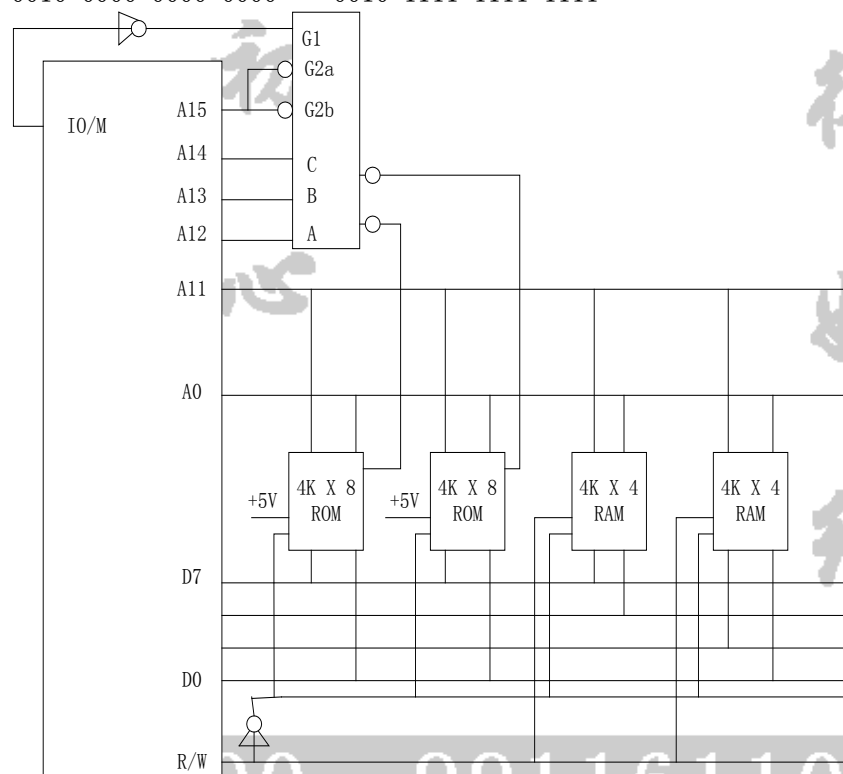
答：4K*8ROM 2 片 (3 分)

0000 0000 0000 0000—0000 1111 1111 1111

0001 0000 0000 0000—0001 1111 1111 1111

4K*4RAM 2 片 (2 分)

0010 0000 0000 0000—0010 1111 1111 1111



(5 分)

QQ: 991161108