

安徽大学 20 12—20 13 学年第 2 学期

《计算机组成与体系结构》考试试卷 (B 卷)

(闭卷 时间 120 分钟)

考场登记表序号 _____

题 号	一	二	三	四	五	六	七	总分
得 分								
阅卷人								

一、选择题 (每小题 2 分, 共 20 分)

1. 定点小数的补码表示范围是 ()

- A、 $-1+2^{-n} \leq X \leq -1-2^{-n}$
- B、 $-1+2^{-n} \leq X \leq 1+2^{-n}$
- C、 $-1 \leq X \leq 1-2^{-n}$
- D、 $-1 \leq X \leq 1+2^{-n}$

2. 若十进制数为-80, 则其对应的 8 位补码 $[X]_{\text{补}}$ 为 ()

- A、11010000
- B、10110000
- C、10101111
- D、01010000

3. 在下列四句话中, 最能准确反映计算机重要功能的是 ()

- A、计算机可以存储大量信息
- B、计算机能代替人的脑力劳动
- C、计算机是一种信息处理机
- D、计算机可以实现高速运算

4. 能发现两位错误并能纠正一位错的编码是 (), 而在大量数据传送中常用的且有效的校验码是 CRC 码。

- A、CRC 码
- B、海明码
- C、偶校验码
- D、奇校验码

5. 计算机主频的周期是指 ()

- A、指令周期
- B、时钟周期
- C、CPU 周期
- D、存取周期

QQ: 991161108

6. 采用双符号位表示带符号数时，发生上溢的特征是双符号位为（）

- A、00
- B、01
- C、10
- D、11

7. 微程序控制器中，机器指令与微指令的关系是（）

- A、每一条机器指令由一条微指令执行
- B、每一条机器指令由一段用微指令编成的微程序来解释执行
- C、一段机器指令组成的程序可由一条微指令来执行
- D、一条微指令由若干条机器指令组成

8. CPU 响应中断请求（）

- A、可在任一时钟周期结束时
- B、可在任一总线周期结束时
- C、可在一条指令结束时
- D、必须在一段程序结束时

9. 在高速计算机中，广泛采用流水线技术。例如，可由将指令执行分成取指令，分析指令和执行指令的三个阶段，不同指令的不同阶段可以____①____执行；各阶段的执行时间最好____②____；否则在流水线运行时，每个阶段的执行时间应取____③____。

可供选择的答案：

- ① A、顺序 B、重叠 C、循环 D、并行
- ② A、为 0， B、为 1 个周期， C、相等， D、不等
- ③ A、三个阶段执行时间之和
B、三个阶段执行时间的平均值
C、三个阶段执行时间的最小值
D、三个阶段执行时间的最大值

10. 系统总线中地址线的功能是（）

- A、用于选择主存单元地址
- B、用于选择行信息传输的设备
- C、用于选择外存地址
- D、用于指定主存和 I/O 设备接口电路的地址

二、填空题（每空格 2 分，共 20 分）

- 1. 在半导体数字电路中，时序 电路是有存储记忆功能的，而组合 电路是没有记忆功能的，当输入改变时，输出也紧跟着变化。
- 2. 主存储器的主要性能指标为存取速度、容量 和 存储周期。
- 3. 三级存储系统是指由 Cache 存储器、主存储器 和 辅助存储器 构成的存储系统。

4. 在 Cache 存储系统中, Cache 共有 C 块, 若采用直接映像方式, 则主存第 i 块映射到 Cache 第 j 块, 其中 $j = \underline{\hspace{2cm}}$ 。
5. DMA 的三种工作方式分别是 CPU 暂停方式、 方式和 工作方式。
6. I/O 接口通常含有三类寄存器, 分别是 控制命令寄存器、 寄存器和 寄存器。

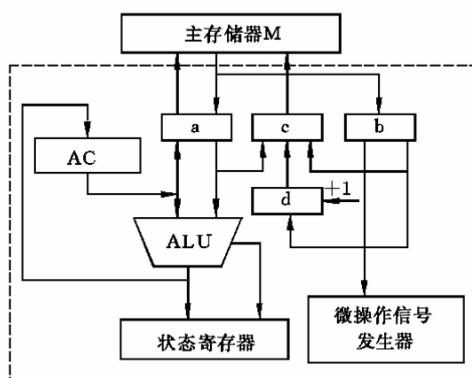
三、简答题 (每小题 4 分, 共 20 分)

1. 简述冯·诺依曼计算机的结构特点
2. 简述取微指令的微操作步骤。
3. 简述控制存储器的作用
4. 简述程序访问的局部性原理
5. 简述 I/O 设备与主机之间进行数据传送的控制方式

四、计算题 (每小题 5 分, 共 20 分)

1. 设 $X=0.1101$, $Y=0.1011$ 求 $X \cdot Y$
要求: 写出在计算机内实现上述定点原码一位乘法的计算过程。(取双符号位)
2. 设 $X=2^{10} \cdot 0.11011011$, $Y=2^{100} \cdot (-0.10101100)$, 求 $X+Y$
要求: ①写出 X 和 Y 在机器中的浮点补码表示形式 (双符号位)
②写出计算步骤

- 3、CPU 结构如图所示, 其中有一个累加寄存器 AC、一个状态条件寄存器和其他四个寄存器, 各部分之间的连线表示数据通路, 箭头表示信息传送方向。要求:
- (1) 标明图中 a, b, c, d 四个寄存器的名称。
 - (2) 简述指令从主存取到控制器的数据通路。



4、某机器采用微程序控制方式，其控制存储器容量为 1024×48 位，微程序可在整个控制存储器中实现转移，可控制微程序转移的条件有 4 个（直接控制），微指令采用水平型格式，如下图所示。

问：微指令中 3 个字段分别为多少位？

微操作控制字段	判断测试字段	下地址字段
---------	--------	-------

五、综合应用题（每小题 10 分，共 20 分）

1. 设选用 INTEL2114（ $1K \times 4$ 位）芯片，实现存储器容量扩展 $2K \times 8$ 位，

(1) 画出 CPU 与 $2K \times 8$ 存储器的连接图，包括地址线，数据线，读写线和片选线。

(2) 其地址范围为多少？（设起始地址为 2000H）

2. 设某计算机的 cache 采用 2 路组相联映像，已知 cache 容量为 32KB，主存容量为 2MB，每个字块有 8 个字，每个字有 32 位。请回答：

(1) 主存地址多少位（按字节编址），各字段如何划分（各需多少位）？

(2) 设 cache 起始为空，CPU 从主存单元 0, 1, ..., 100。依次读出 101 个字（主存一次读出一个字），并重复按此次序数读 11 次，问命中率为多少？若 cache 速度是主存的 5 倍，问采用 cache 与无 cache 比较速度提高多少倍？

QQ: 991161108

《计算机组成与体系结构》(B 卷) 考试试题参考答案及评分标准

一、选择题 (每题 2 分, 共 20 分)

- 1、C 2、B 3、C 4、B 5、B
6、B 7、B 8、C 9、① D 或者 B ② C ③ D 10、D

二、填空题 (每空 2 分, 共 20 分)

1. 组合 2. 存储容量 存取时间 3. 主存 辅存
4. $i \bmod C$ 5. CPU 周期窃取 直接访问存储器 6. 数据 状态

三、简答题 (每题 4 分, 共 20 分)

1. 简述冯·诺依曼计算机的结构特点

答:

- 1) 计算机由运算器、存储器、控制器和输入设备、输出设备五大部件组成
- 2) 指令和数据以不同地位存放于存储器内, 并可按地址寻访、
- 3) 指令和数据均用二进制码表示
- 4) 指令由操作码和地址码组成, 操作码用来表示操作的性质, 地址码用来表示操作数所在存储器中的位置
- 5) 指令在存储器内按顺序存放。通常, 指令是顺序执行的, 在特定条件下, 可根据运算结果或根据设定的条件改变执行顺序
- 6) 机器以运算器为中心, 输入输出设备与存储器的数据通过运算器

2. 简述取微指令的微操作步骤。

答:

- 1) 程序计数器内容送主存地址寄存器;
- 2) 主存读信号有效;
- 3) 主存数据寄存器内容送指令寄存器;
- 4) 程序计数器内容增 1。

3. 简述控制存储器的作用

答: 微程序是存放在存储器中的, 由于该存储器主要存放控制指令 (信号) 与下一条执行的微指令地址 (简称下址), 所以称为控制存储器。

4. 简述程序访问的局部性原理

答: 对数据的存储和访问以及工作单元的选择都可以使存储器地址相对集中, 这种对局部范围的存储器地址频繁访问, 而对此范围以外的地址则访问甚少的现象, 就称为程序访问的局部性。

5. 简述 I/O 设备与主机之间进行数据传送的控制方式

答: 一般分为五种;

- ①程序直接控制方式
- ②程序中断传送方式
- ③DMA 方式
- ④I/O 通道控制方式
- ⑤外围处理机方式

四、计算题（每题 5 分，共 20 分）

1. 解：①计算机过程如下：取双符号位

	部分积	
	00 0000	
+X	00 1101	
	00 1101	
右移 1 位→	00 0110	
+X	00 1101	
	01 0011	
右移 1 位→	00 1001	
+0	00 0000	
	00 1001	
右移 1 位→	00 0100	
+X	00 1101	
	01 0001	
右移 1 位→	00 1000	
	乘积高位	

乘数	
1 0 1 1	
1 1 0 1	1（丢失）
1 1 1 0	1（丢失）
1 1 1 1	0（丢失）
1 1 1 1	1（丢失）
	乘积低位

$\because X_0 \oplus Y_0 = 0$ 乘积为正

$\therefore X \cdot Y = 0.10001111$

2. 解：

①X 和 Y 在机器中的浮点补码表示形式为（双符号位）：

	阶符	阶码	数符	尾数
X:	00	010	00	11011011
Y:	00	100	11	01010100

②计算过程：

1⁰ 对阶过程

阶差 $\Delta E = [E_X]_{补} + [-E_Y]_{补} = 00010 + 11100 = 11110$

X 阶码小， M_X 右移 2 位，阶码 $E = 00100$

$[M_X]_{补} = 00\ 00\ 110\ 110\ \underline{11}$

下划线上的数是右移出去而保留的附加位。

2⁰ 尾数相加

$[M_X]_{补} + [M_Y]_{补} = 00\ 00\ 110\ 110\ \underline{11} + 11\ 01\ 010\ 100 = 11\ 10\ 001\ 010\ \underline{11}$

3⁰ 规格化操作

左规，移 1 位，结果 = $11\ 000\ 10\ 101\ \underline{10}$

阶码 -1， $E = 00011$

4⁰ 舍入

附加位最高位为 1，在所在结果的最低位 +1，

得结果： $[M]_{补} = 1100010110$ ， $[M] = -0.11101010$

5⁰ 判溢出

阶码符号位为 00，故不溢出，最终结果为：

$X+Y = 2^{011} (-0.11101010)$

3. 解：

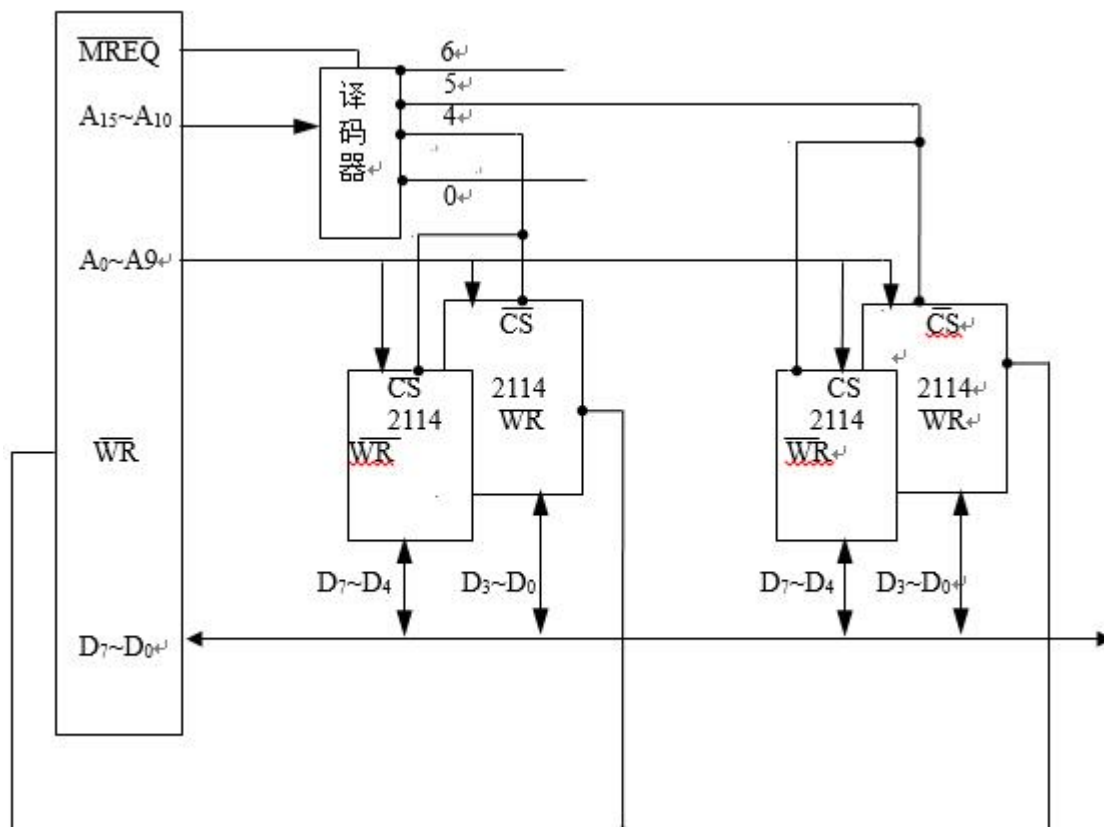
- (1) a: 主存数据寄存器 b: 指令寄存器 c: 主存地址寄存器 d: 程序计数器
 (2) $d \rightarrow c$; $M(c) \rightarrow b$; $b \rightarrow$ 微操作信号发生器

4、解

控制字段 34 位，测试字段 4 位，下址 10 位

五、应用题：

1. 解：



②其连续地址范围为：

2000H~27FFH

2. 解：

- (1) Cache 块内地址 5 位，块号 1 位，组号 9 位；
主存块内地址 5 位，组号 9 位，标记 7 位；
- (3) 命中率为 10/11；
- (4) 有 cache 相比无 Cache 速度提高 55/16 倍。

QQ: 991161108