



МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение
высшего образования

«МИРЭА – Российский технологический университет»

РТУ МИРЭА

Институт Информационных Технологий

Кафедра Вычислительной техники

ОТЧЕТ О ВЫПОЛНЕНИИ ЛАБОРАТОРНОЙ РАБОТЫ

по дисциплине

«Разработка программно-аппаратного обеспечения
информационных и автоматизированных систем»

Выполнил студент группы ИВМО-02-24

Сторожев И.Е.

Принял старший преподаватель

Боронников А.С.

Лабораторная работа
выполнена

«__»_____2024 г.

«Зачтено»

«__»_____2024 г.

Москва 2024

В лабораторной работе был выполнен проект в FPGA.

Модуль верхнего уровня состоит из следующих функциональных блоков:

1. Контроллер UART;
2. Конечный автомат, работающий по протоколу ODPS;
3. ПЗУ;
4. Схемы генерации ошибки;
5. Синхронизатор сброса;
6. Делитель частоты;
7. Фильтр дребезга (был взят готовый);
8. Дешифраторы.

Проект был описан на языке описания аппаратуры SystemVerilog. Код и основные файлы представлены по ссылке на GitHub:

https://github.com/Funky-monkk/mirea_uart_fpga_lab

RTL схема полученная в Vivado представлена на рисунке 1.

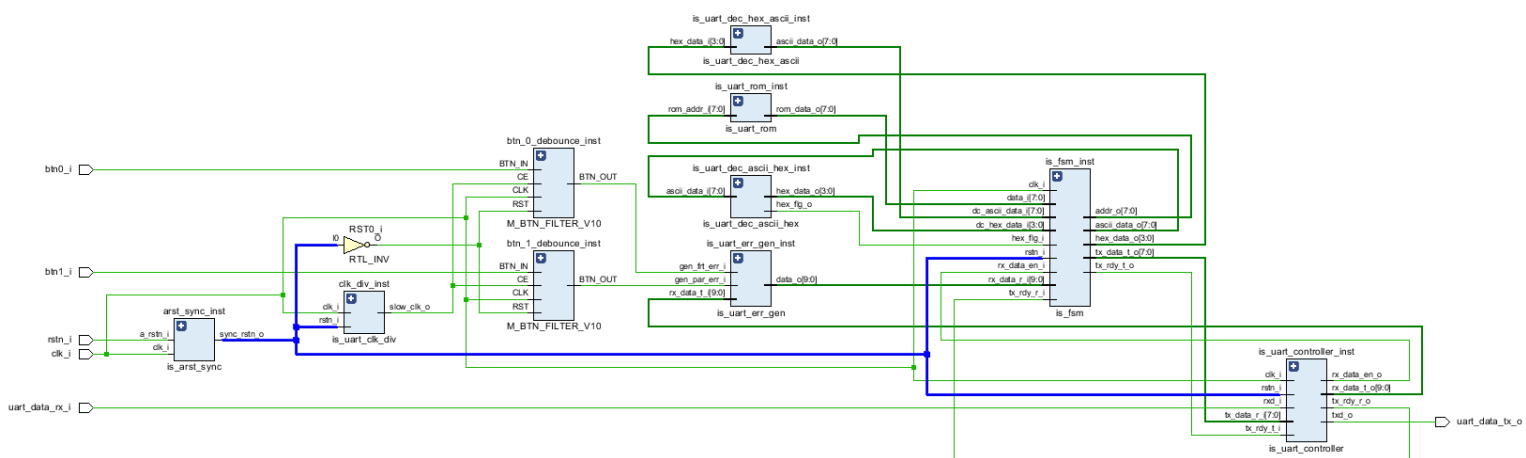


Рисунок 1. RTL схема модуля верхнего уровня

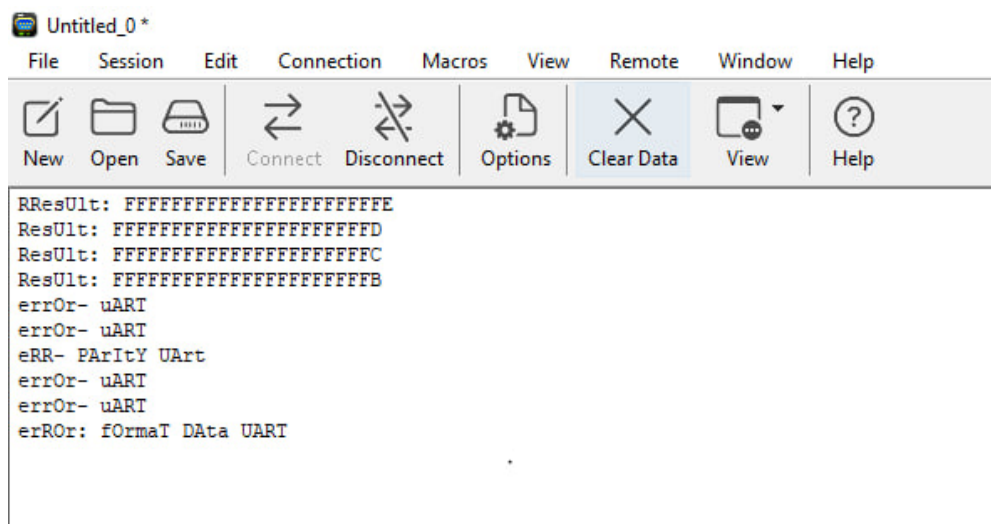
Проект был выполнен по выданному варианту, параметры которого представлены на рисунке 2.

Сторожев Илья Евгеньевич	
Количество триггеров в синхронизаторе	3
Скорость передачи	2400
Проверка четности	Space
Количество стоповых битов	2
RATIO	8
Сообщение результата выполнения операции	«ResUlt: »
Сообщение ошибки данных не соответствующих формату	«ERrOr-FoRMat DAtA»
Сообщение ошибки четности данных	«eRR- PARItY UArT»
Сообщение ошибки формата кадра	«erROR: fOrmaT Data UART»
Сообщение ошибки формата кадра и четности данных	«errOr- uART»
Тип операции	вычитание
Разрядность принимаемых данных (в битах)	48
Разрядность результата (в битах)	92

Рисунок 2. Вариант 12

Вывод:

После прошивки FPGA была подключена к ПК через виртуальный COM порт и была проверена с помощью терминала CoolTerm. Результаты работы представлены на рисунке 3.



```

RResUlt: FFFFFFFFFFFFFFFFFFFFFE
ResUlt: FFFFFFFFFFFFFFFFFFFFFD
ResUlt: FFFFFFFFFFFFFFFFFFFFFC
ResUlt: FFFFFFFFFFFFFFFFFFFFFB
errOr- uART
errOr- uART
eRR- PARItY UArT
errOr- uART
errOr- uART
erROR: fOrmaT Data UART

```

Рисунок 3. Результаты вывода tx канала