

Utvikling av Schottky diode på n-type silisium og N-MOSFET på p-type silisium

Furkan Kaya

25. november 2018

Sammendrag

Denne rapporten er om et eksperiment som foregikk over flere uker som en del av emnet Halvleder komponenter. Formålet med eksperimentet var å lære mer om prosessene hvor man fabrikkerer elektroniske komponenter som Schottky diode og N-MOSFET. Hele øvelsen ble utført på lokalene til MiNa-laboratoriet ved Universitetet i Oslo. Komponentene ble designet, produsert og karakterisert. Schottky dioden ble funnet å ha litt andre karakteristikk enn den mer tradisjonelle pn-overgang dioden. N-MOSFET ga et innblikk i hvordan transistorer fungerer.

1 Introduksjon

Bakgrunnen for denne rapporten var et laboratoriekurs i emnet; Halvlederkomponenter. I kurset var intensjonen at studenten skulle få praktisk erfaring med elektroniske halvlederkomponenter ved å delta i prosesser hvor sluttmålet var utvikling av Schottky diode på n-type silisium og N-MOSFET på p-type silisium.

Både dioden og transistoren er basert på halvledermaterialet silisium. Et halvledende materiale har en elektrisk ledningsevne mellom den for metaller og isolatorer. Dets konduktivitet kan forandres av faktorer som temperatur, optisk eksitasjon og mengden urenheter i materialet. Simplistisk forklart er en diode en komponent som leder elektrisitet i en retning, men ikke den andre retningen. Mens en transistor fungerer som en bryter eller forsterker av signaler i elektriske kretser.

Labkursets innhold var en prosess ment for å utvikle de to ovenfornevnte elektriske komponenter. Alle aspekter i prosessen, fra rengjøring av wafer til den litografiske metoden for å overføre mønster til karakterisering av komponentene, er inkludert. I tillegg til å gi praktisk erfaring med halvlederkomponenter, var det ønskelig at en dypere forståelse av ligninger og teorier fra emnet kurset tilhører skulle oppnås.

Rapportens innhold er bygget opp etter tradisjonell vitenskapelig form med en teori-del hvor essensielle teoretiske fenomener blir forklart, samt en kort redegjørelse av de komponentene laget blir foretatt. Den eksperimentelle delen vil gå igjennom metodene som ble gjennomført i løpet av de fem dagene labkurset varte. Påfølgende resultat og konklusjonsdeler vil vurdere eksperimentet og besvare spørsmålene fra lab-kompendiet. Noen avsluttende bemerkninger vil følge til slutt.

2 Teori

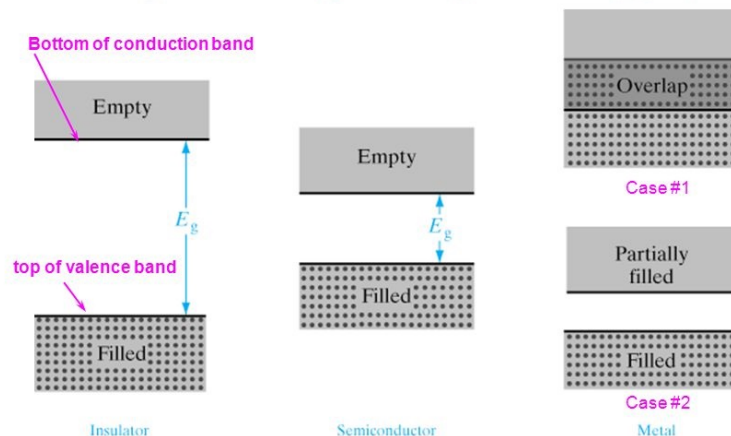
I teori-delen vil noen grunnleggende prinsipper fra halvleder-teknologien introduseres. I tillegg vil de to komponentene forklares litt nærmere i separate avsnitt.

a Prinsippene bak halvlederkomponenter

Materialer kan inndeles etter hvor bra de leder strøm. Denne egenskapen er bestemt ut i fra størrelsen på materialets båndgap. Litt komprimert kan man forklare båndgap som energibåndet mellom det øvre konduksjonsbåndet (som er tomt ved 0 K) og det nedre valensbåndet hvor elektronene er ved 0 K. Som følge av termisk energi som øker temperaturen skapes det hull i valensbåndet på grunn av at elektronet flyttes opp i konduksjonsbåndet.[5] I dette båndgapet eksisterer det ikke noen energinivåer for elektroner å okkupere.

Som figur 1 viser, så har en isolator et stort båndgap gitt i E_g . Det fører til at isolatoren leder strøm svært dårlig. For metallet er det tilnærmet overlapp mellom de to båndene, mens halvleder har et båndgap mellom metall og isolator i størrelse.

I sin intrinsiske form er ikke halvledermaterialet silisium veldig konduktivt, men ved hjelp av doping (eller tillegging av urenheter) kan konduktiviteten økes betraktelig. Da blir materialet ekstrinsikk. Silisium kan trans-



Figur 1: Viser forholdet mellom båndgap og de tre materialgruppene: isolator, halvleder og metall.[5]

formeres til å bli dominert av enten elektroner (n-type) eller hull (p-type). Dette betinger av hva slags materiale man bruker til å dope silisiumet. I elektron-dominerte halvledere kan man bruke Fosfor (P) til å dope materialet med, mens for å få hull-dominerte halvledere kan man benytte seg av Bor (B) som dopingsmateriale.

b Schottky diode

I tradisjonelle dioder har man en pn-overgang hvor med forward bias p-type delen blir anoden og n-type delen blir katoden. Strømmen flyter fra anoden til katoden, men ikke den andre retningen. I en Schottky diode lager man heller en overgang mellom halvleder og et metall. N-type silisium fungerer da som katode, mens metallet tar opp en funksjon som anode.[4]

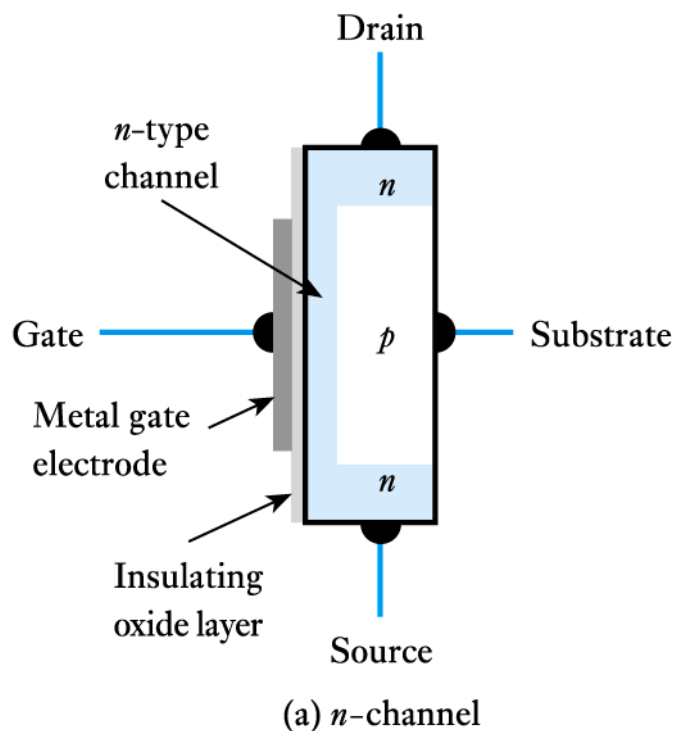
I metaller er elektroner majoritet ladningsbærere. Noe som også gjelder for n-type halvledermaterialet.[1] Det gir at det ikke blir en diodeflyt når det ikke er en bias anvendt. Ved forward bias får derimot elektroner høy nok energi til å krysse Schottky barrieren. Denne barrieren blir skapt av en overgang mellom palladium (Pd) og n-type silisium i dette eksperimentet. Mens aluminium blir brukt som ohmisk kontakt.

Schottky dioden har ikke noe deplesjonslag ettersom det ikke forekommer noe injeksjon fra minoritet ladningsbærere som hull. Man kan skifte

hurtig fra forward bias til revers bias som en følge av at det ikke er noe ladningslagring i overgangen. For en Schottky barriere er det også slik at man kan forvente en idealiseringsfaktor verdi på rundt 1 i den velkjente diodeligningen, mens det for pn-overgang dioder er nærmere 2.

c N-MOSFET

En generell beskrivelse av FET er at det er en felt-effekt transistor som blir brukt i både analoge og digitale applikasjoner.[4] Transistorene har høy input resistans og små dimensjoner som gjør dem nyttige til moderne elektronikk på VLSI-nivå. Dets grunnleggende funksjon er at man anvender en spenning på en kontroll input. Dette skaper et elektrisk felt som påvirker flyten mellom de andre terminalene til den elektriske komponenten. Av dette forstår man da at en FET har tre terminaler: gate (som er kontroll input), drain og source. Strømmen flyter fra drain til source.



Figur 2: Tegning som viser en N-MOSFET og dets oppbygning.[4]

N-MOSFET er et spesialtilfelle av FET og er vist på figur 2. MOS-delen av navnet kommer av at gate-terminalen er isolert fra kanalen som leder

ladningsbærere mellom drain og source. N-prefiksen gir at det er en n-type kanal skapt på en p-type substrat. Et isolerende oksidlag dekker så kanalen, før man plasserer en metall gate elektrode.

d Viktige ligninger

I det obligatoriske kompendiet er flere ligninger nevnt. For å gjøre arbeidet med dem lettere i resultat-seksjonen, så omtales de i denne delseksjonen.

Schottky diode: Dioder kjennetegnes av en karakteristisk ligning som omtales som diodeligningen. Denne er aktuell også i dette eksperimentet og er gitt av:

$$I = I_0 * (e^{\frac{qV}{\eta kT}} - 1) \quad (1)$$

hvor η = idealitetsfaktoren til dioden. Idealitetsfaktoren forklarer hvor nære dioden er oppførselen til en ideell diode, som er symbolisert av en graf som kan finnes andre steder i pensum.[5] I_0 er gitt av:

$$I_0 = AA^*T^2 * e^{-\frac{q\Phi_{BN}}{kT}} \quad (2)$$

her er da Φ_{BN} = barrierehøyden.

Den etterspurte kapasitansen til dioden er:

$$C = \frac{dQ}{dV} = \epsilon \frac{A}{W} \quad (3)$$

med deplesjonssonen W

$$W = \sqrt{\frac{2\epsilon}{N_d q} (V_0 + V_{reverse})} \quad (4)$$

N-MOSFET: Det er indikert at terskel-spenning er en svært viktig parameter som må finnes. Denne finnes ved:

$$V_T = \Phi_{ms} - \frac{Q_i}{C_i} - \frac{Q_d}{C_i} + 2\Phi_F \quad (5)$$

hvor Φ_{ms} er differansen mellom arbeidsfunksjonen for metallet og halvleder. Q_i og Q_d er ladninger i gate-oksiden og deplesjonssonen, C_i er kapasitansen til gate-oksiden og Φ_F er $(E_i - E_F)/q$.

Samtidig skal I_D finnes ved hjelp av forskjellige bredder på gate-terminalen ($Z/L = 5, 10, 20, 30$). Dette gir da at man må ha en ligning som passer for dette også:

$$I_D = \frac{\mu_n Z C_i}{L} [(V_G - V_T) * V_D - \frac{1}{2} V_D^2] \quad (6)$$

hvor μ_n = overflate elektron-mobilitet og V = spenning for gate, terskel og drain.

Konduktansen kan finnes ved:

$$G = \frac{I}{V} \quad (7)$$

Transkonduktans er gitt ved:

$$g_m = \frac{I_2 - I_1}{V_2 - V_1} \quad (8)$$

Andre viktige ligninger er forholdet mellom resistivitet og dopingskonsentrasjonen:

$$\frac{1}{\rho} = qp\mu_p \quad (9)$$

$$\rho = a \frac{V}{I} t \quad (10)$$

og relasjonen for opprinnelig dopingskonsentrasjon og Φ_F :

$$p_0 = N_i e^{\frac{q\Phi_F}{kT}} \quad (11)$$

Disse tre siste relasjonene blir viktige i å utforme svar på spørsmålene i kompendiet.

3 Eksperimentelt

I denne seksjonen skal eksperimentene som ble gjennomført i løpet av fem dager forklares.

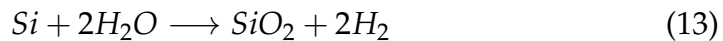
a Firepunkt probe måling

Firepunkt probe måling er en enkel metode som brukes for å finne resistiviteten til et halvledende materiale.[2] Selve oppsettet er slik at man har fire elektroder (eller prober) som er adskilt med en distanse på 1 mm. En DC kilde sender en strøm gjennom de to ytre elektrodene og en voltmeter måler spenningsfallet mellom de to innerste elektrodene. Dette gir da resistiviteten i prøven.

b Oksidasjon

Oksidasjon ble benyttet til å gro felt oksid på silisium-waferen for å isolere komponentene og for å gro tynt lag av SiO₂ med tanke på å gro et gate oksid. Prosessen fungerer slik at waferen er plassert i en ovn med overflaten ned for minimisere partikkel forurensing.[5]

Oksidasjon foregår under atmosfærisk trykk ved en temperatur på 1373 K i 50 minutter. Oksygen molekyler diffunderer inn i silisiumet og danner et silisium dioksid lag. Reaksjonsligningen for prosessen er:



(12) er for tørr oksidasjon, mens (13) er reaksjonen for våt oksidasjon.

c Litografi

Fotolitografi er et prosess-steg som går ut på å printe midlertidige kretsstrukturer på wafer-overflate. Hensikten er å definere de geometriske kjennetegnene som skal utgjøre mønstrene til halvlederkomponenter. Her er det da front side kontakten på Schottky dioder og de tre terminaler på N-MOSFET man tenker på.[3]

Konvensjonell optisk litografi er en omfattende prosess som har hele 10 tidskrevende steg. Litografi-metoden brukt i eksperimentet er en annen og går ut på å overføre mønsteret direkte på en overflate dekket av fotoresist. Fotoresist er et lysfølsomt materiale som reagerer på lys fra visse bølgelengder (UV-lys). Det finnes to typer fotoresist: negativ og positiv. Ved negativ resist har man en maske med et mønster og det mønsteret man får på resisten er det motsatte av mønsteret på masken, mens man ved bruk av positiv resist får det samme mønsteret.

d Etsing

Ved etsing fjerner man lag fra overflaten til waferen. Man bruker det litografiske mønsteret man har laget som maske for å fjerne materialet som befinner seg under.[5] Etsing kan gjøres med enten våt etsing eller tørr etsing.

Våt etsing har høy selektivitet (altså at hvor mye av det man ønsker å fjerne man faktisk klarer å fjerne), men er isotropisk. Det betyr at det etser like mye til alle sider, noe som ikke alltid er ønskelig. Waferen blir med denne metoden plassert i syrebad og området som tidligere ble definert med litografi blir etset bort. Den andre metoden er, som tidligere påpekt, tørr etsing. Her blir waferen plassert i et vakuum kammer som så blir fylt opp med forskjellige gasser. Tørr etsing har ikke like bra selektivitet som våt etsing, men er anisotropisk. Altså at man kontrollerer etse-retningen bedre.

e Metallisering, inkludert lift-off

I metallisering kobler man halvledere til hverandre og til integrerte kretser. Metaller blir deponert ved hjelp av en Electron Beam Evaporator. Denne fokuserer en intens stråle av elektroner inn i en digel som inneholder det ønskede metall. Metallet vil så bli oppvarmet til sin smelte-temperatur før det blir fordampet på substratet i et vakuum kammer.

Eksperimentet forutsatte at en ohmsk kontakt ble laget av aluminium for N-MOSFET og fabrikasjon av en Schottky barriere ved bruk av palladium.

Lift-off er en prosedyre man bruker for å mønstre deponerte metall-filmer som er vanskelig å tørr etse. Metall, i form av tynn film, deponeres over hele substratet og dekker både fotoresist og områder hvor resist har allerede blitt fjernet. I lift-off blir resisten under filmen fjernet, sammen med filmen. Slik blir bare film som ble direkte deponert på substratet igjen. Lift-off skjedde i dette eksperimentet ved å plassere prøven i et ultrasonisk bad bestående av aceton for en gitt periode.

f Karakterisering

Karakterisering ble utført i en probe-stasjon hvor man målte kapasitansen, fant I-V kurvene og varierte forskjellige parametere som ble etterspurt i

oppgaveteksten. Hele resultat-delen er basert på arbeidet som ble gjort i denne seksjonen.

g Forløpet av laboratorie-arbeidet

Den første dagen ble vi introdusert for MiNa-laboratorie fasilitetene. Vi målte så resistiviteten på waferene ved hjelp av en firepunkt probe måling, foretok en rensing av wafer-prøvene og lot waferene stå på en ovn for å få termisk vekst av 120 nm SiO_2 ved en temperatur på 1100 grader i 50 minutter. Siste steg ble gjort på slutten av dagen og resultatet skulle fremvises ved neste arbeidsdag.

Neste økt begynte med en måling av tykkelsen på oksidlaget med en ellipsometer. Før litografi ble gjort på begge wafere for å skape Source og Drain områder for ione implantasjon i MOSFET og for å skape Schottky kontakt for Schottky dioden. På Schottky-waferen fjernet vi kontakt-området ved å etse det bort med Bufret oksid ets (BOE) i 70 nm/min. På MOSFET foretok vi isotropisk etsing. Resultatet av etsingen ble vurdert fortløpende ved hjelp av inspeksjon med mikroskop. Siste steg var metallisering. I en E-stråle fordampingskammer ble Pd deponert for Schottky kontakter.

Dag 3 var det mye arbeid med MOSFET. Vi foretok en implantasjon av P med dose: $2 \cdot 10^{14} \text{cm}^{-2}$ med en gitt energy på 36 keV. Fotoresisten ble fjernet med aceton etter Piranha-metoden. Så ble det foretatt en ny litografi med tanke på å fjerne oksiden fra Gaten. Denne fotolitografien blir som vanlig fulgt av etsing av Gate-oksiden med BOE. Etter dette fulgte en gate-oksidasjon på 950 grader i 15 minutter for å gro 10-20 nm, før vi gjorde en ny fotolitografi som en følge av at vi ønsket å fjerne all oksid fra Source og Drain. Dette ble så fulgt av en ny etsing.

Siste arbeidsperiode på MiNa-lab begynte med fotolitografi for å definere Source, Drain og Gate kontakter. Så ble Al deponert på begge wafere (som bakside-kontakter). Etter det ble det gjennomført annealing med en temperatur på 400 grader i 20 minutter. Siste punkt var lift-off. Lift-off prosedyren har allerede blitt forklart og foregikk altså i aceton i ultrasonisk bad.

Avsluttende dag gikk til karakterisering. For mitt eget vedkommende ble dette gjort med Viktor Bobal som en følge av sykdom ved ordinær økt.

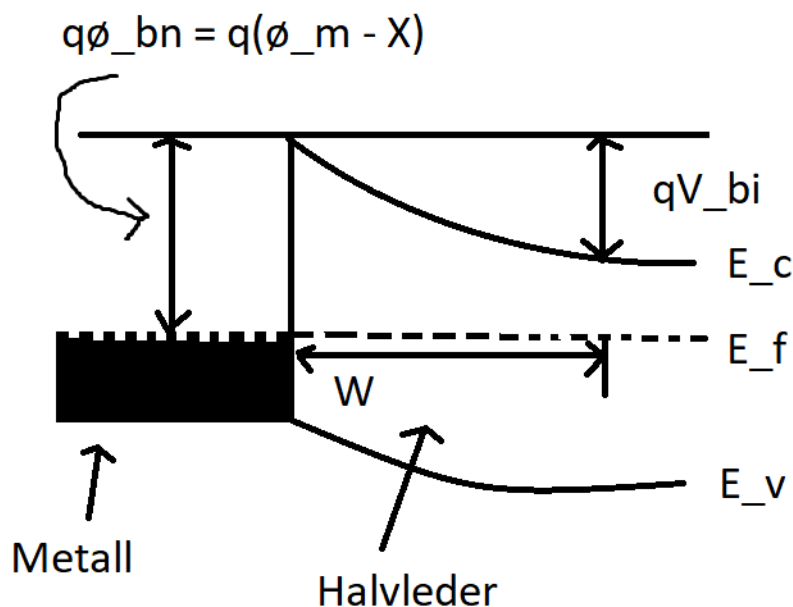
4 Resultat og diskusjon

Resultatene presenteres som svar på spørsmål i et kompendium utdelt i forbindelse med eksperimentet.

a Schottky diode

Oppgave 1 a)

Det står i oppgaven at man skal tegne bånd strukturen til en Schottky diode. Men siden dette innebærer en avskrift, så er det bedre å heller legget til velkjent bilde av denne strukturen.

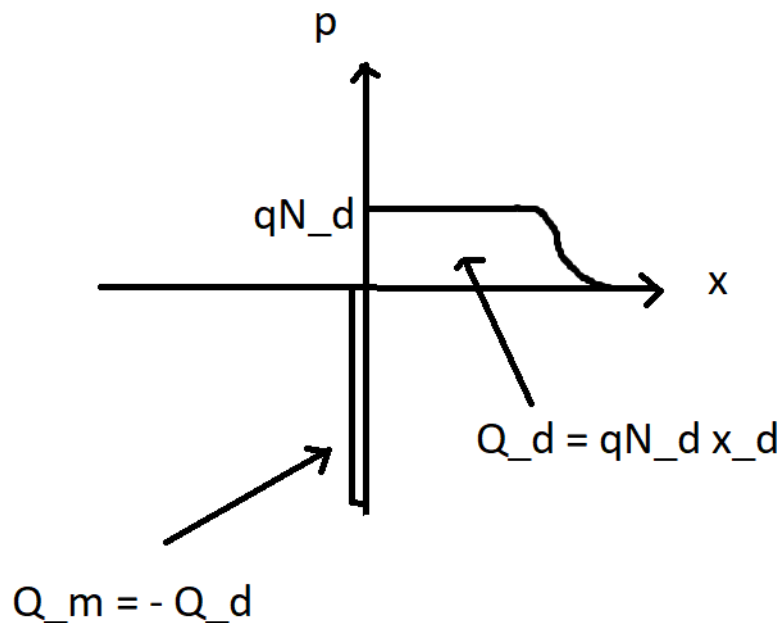


Figur 3: Båndstrukturen til en Schottky diode med alle de etterspurte variabler inkludert i tegningen. Tegningen ble gjort for hånd på Paint

En liten forklaring til figur 3 er nødvendig. Den ble gjort på Paint og ϕ representerer Φ , mens χ representerer χ . Om man ser nærmere, så mangler E_{Fs} og E_{Fm} , men disse representerer da bare E_F for henholdsvis halvleder og metall-regione av systemet.

Oppgave 1 b)

Oppgave 1 b) ble tegnet på Paint og følger som figur 4 nedenfor.

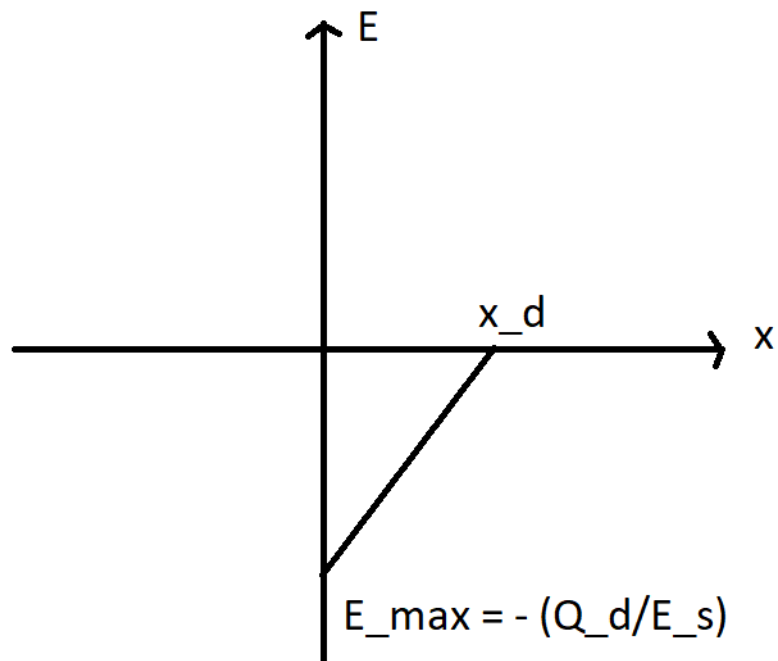


Figur 4: Tegning som viser hvordan ladningstettheten er ved overgangen

Vi ser på den at ladningen er konstant til den når et stykke ut i deplesjonsregionen. Der går den fort ned. Noen ganger benytter man seg av noe som omtales som full deplesjonsanalyse hvor når man når enden av deplesjonsregionen, så går ladningstettheten ned som en rett strek. På figur 4 ser vi heller en gradvis nedgang. Men ladningstettheten er likevel null når enden av overgangen er nådd.

Oppgave 1 c)

I oppgave c skal vi se på det elektriske feltet i deplesjonsregionen når Pd kontakt og Si wafer er koblet sammen. Igjen ble dette gjort på Paint og resultatet følger i figur 5 nedenfor.

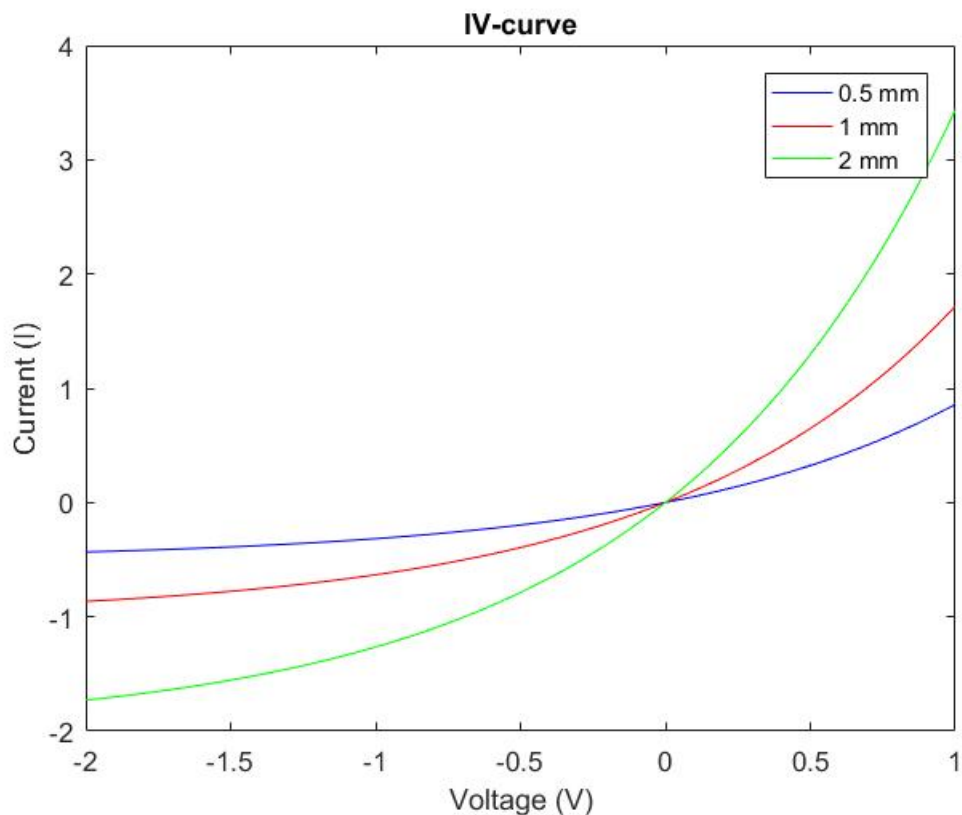


Figur 5: Figuren viser hvordan det elektriske feltet varierer i deplesjonsregionen. x_d representerer enden av deplesjonsregionen

På figur 5 ser vi at det elektriske feltet er høyest ved den metalliske delen, mens den synker etterhvert som den når enden av deplesjonsregionen.

Oppgave 2

I denne oppgaven skal vi tegne diodekurvene for de forskjellige kontaktstørrelsene. Fra dette antydes det da at vi har forskjellige diametere på størrelsen på kontaktene. Jeg var dessverre syk den dagen dette skulle gjøres og gjennomførte målingene med en kontakt. Derfor er plotten nedenfor en form for såkalt spekulasjon. Koden til plottet følger i Appendix.



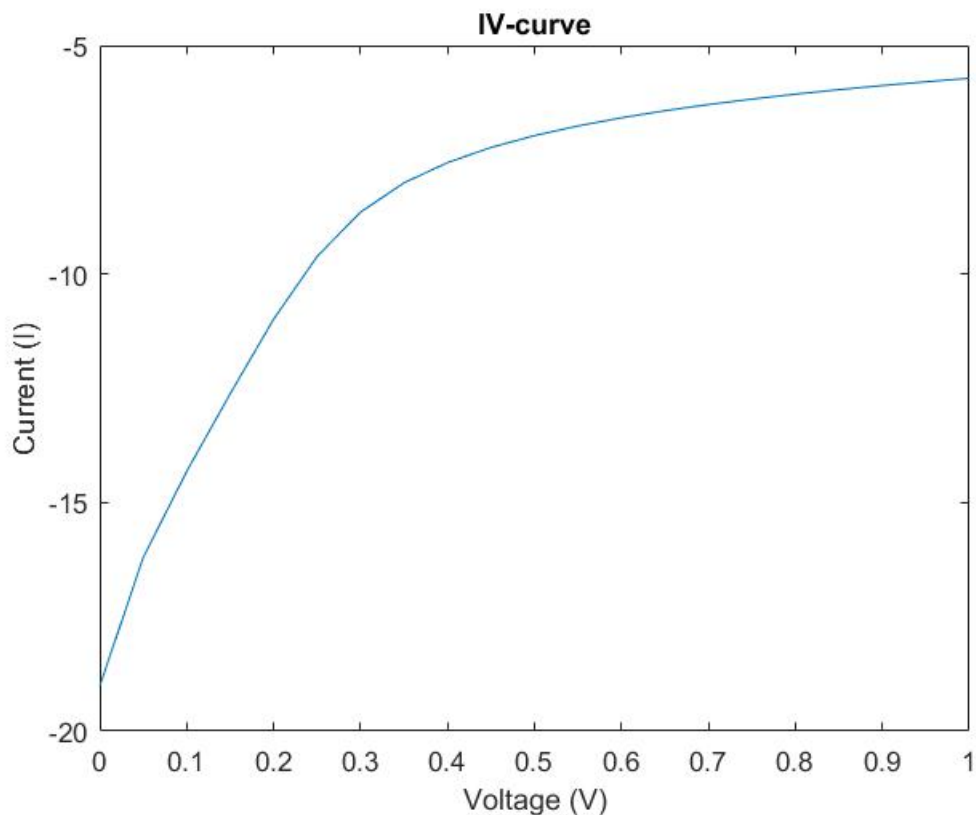
Figur 6: Plott som viser diodekurvene med varierende størrelse på kontaktene

Plottet viser ganske klart at det følger den eksponentielle stigningen som ligning (1) tilsier. I 2D er det derfor bare A-leddet som skal varieres med de forskjellige diametere 0.5 mm, 1 mm og 2 mm. Antagelsen i koden var da at man setter resten av verdiene lik 1 for å se hvordan kontaktstørrelsen påvirker diodeligningen.

Vedrørende selve figuren ser man åpenbart at 2 mm kontakt gir en høyere stigning, mens 0.5 mm kontakt er flatere i sin bane. Ellers ser vi klart at diode ligningen oppfylles for alle kontakter.

Oppgave 3 a)

Først tilsier oppgaveteksten at en I-V kurve skal plottes før man finner idealitetsfaktoren.



Figur 7: Plottet viser en semilogaritmisk I-V kurve i mørke

Så skal man finne idealitetsfaktoren ut i fra ligning (1), som må om-dannes litt. For idealitetsfaktoren benytter jeg meg av verdiene fra 0.5 mm wafer 1 for 2018. Her har jeg da allerede funnet I_0 fra tabellen. Vi får da: $I_0 = 5.5 * 10^{-9}$, mens spenning på 0.3 gir $\ln(I) = -8.645$. Dette gir oss da:

$$n = \frac{V}{\ln(I/I_0)kT} = \frac{0.3}{(-8.645 - \ln(5.5 * 10^{-9})) * 8.617 * 10^{-5} * 298} = 1.13 \quad (14)$$

Dette er et godt resultat selv om det er litt over den ønskelige verdien på 1, men fortsatt langt under 2.

Oppgave 3 b)

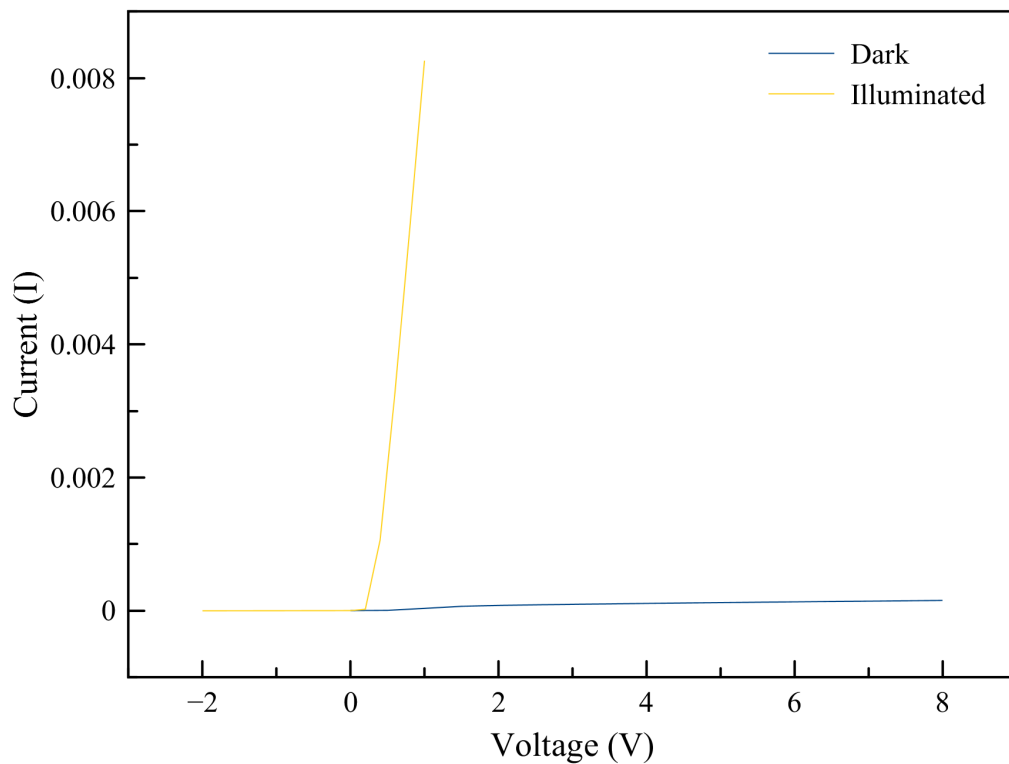
I følgende oppgave skal man finne barrier høyden. Diodediameteren er på 1 mm og formen til dioden er sirkel. Det gir da formelen for areal for sirkel som er gitt av $A = \pi r^2$. Ligning (2) blir brukt til å finne barrier høy-

den. Etter litt innsetting av tall og mellomregning får vi:

$$\frac{\ln(5.5 * 10^{-9})}{\ln(120 * 298^2 (\pi(0.5 * 10^{-3})^2))} = -\frac{\Phi_{BN}}{8.617 * 10^{-5} * 298} \quad (15)$$

$$\Phi_{BN} \approx 0.23V \quad (16)$$

Oppgave 3 c)



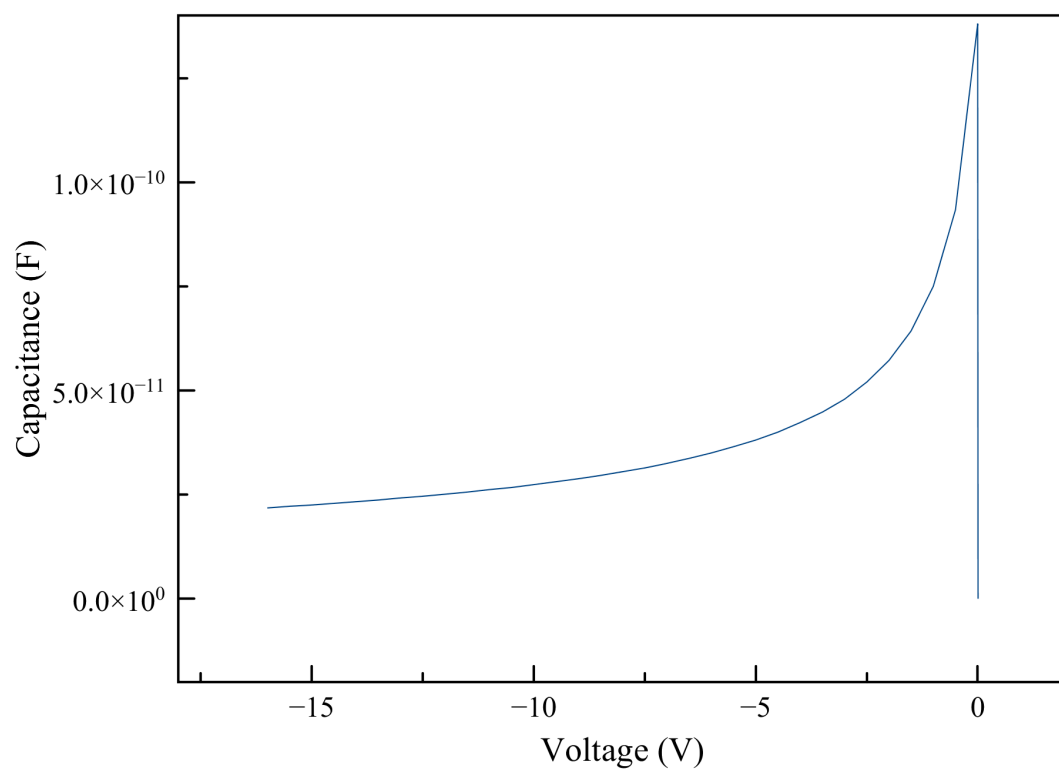
Figur 8: Skjematikk over både en illuminert diode (gult) og en diode i mørke (svart)

På figur 8 ser man klare forskjeller mellom den illuminerte plotten i gult og den som ble foretatt i mørke (i svart). Dette skyldes at når man eksponerer en diode for lys, så skaper man flere elektroner som kan komme seg over barrieren ved å tilføre elektronet energi. Disse fotoelektronene

gir da mer strøm sammenlignet med dioden som fikk sine målinger tatt i mørket.

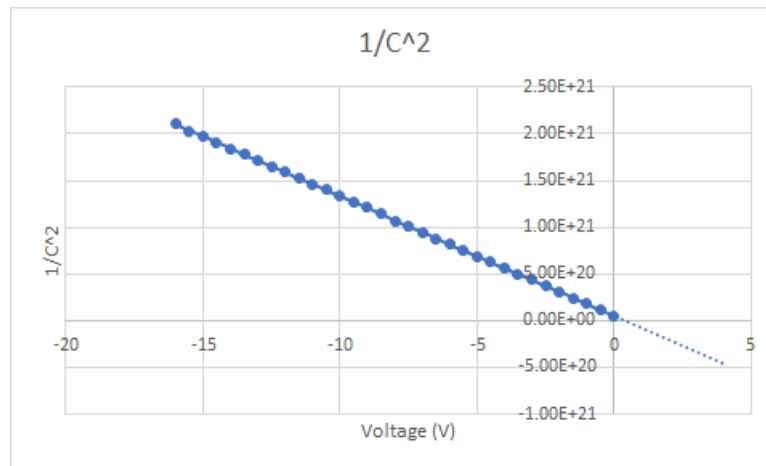
Oppgave 4 a)

Oppgave 4 omhandler C-V kurver og karakteristikker ved dem. Av den grunn tegnes en C-V kurve:



Figur 9: Grafen viser C-V kurven med bias fra -16 V til 0 V (altså revers bias)

Neste figur er av $1/C^2$. Denne kan være nyttig når man skal finne den innebygde spenningen.



Figur 10: Graf som viser $1/C^2$. Grafen har blitt ekstrapolert fra 0 V og utover.

Basert på figur 10, får man ved lineær regresjon en ligning hvor man kan finne både stigningstallet og kryssningspunktet. Stigningstallet brukes til å finne ladningsbærerkonsentrasjonen, mens kryssningspunktet brukes til å finne det innebygde potensialet. Lineær regresjon ga:

$$y = -1.3 \cdot 10^{20} x + 5.2 \cdot 10^{19} \quad (17)$$

som så settes inn i påfølgende ligning (18) for å finne det innebygde potensialet, V_B . Ligning (18) har blitt utformet etter en del mellomregning og blir:

$$\frac{1}{C^2} = \frac{2(V_B - B)}{N_d q \epsilon A^2} \quad (18)$$

Og dette gir da det innebygde potensialet, $V_B = 0.732$ V. Her bør det legges til at N_d som blir brukt i ligning (18) var den som ble funnet med firepunkts probe målingen og var på $1.5 \cdot 10^{15} \text{ cm}^{-3}$.

Oppgave 4 b)

Denne kan man finne ved hjelp av stigningstallet til linjen på figur 10. Men samtidig er denne verdien også oppgitt i text-filen som ble utdelt etter forsøket. Ligning (18) brukes igjen, men i dette tilfellet deriverer man bort potensialet slik at den relevante ligningen blir:

$$\frac{1}{C^2} = \frac{2}{N_d q \epsilon A^2} \quad (19)$$

Og det er verdt å igjen påpeke at det er stigningstallet fra ligning (17) som brukes for å finne dopingskonsentrasjonen. Når alle variable er dekket, blir dopingkonsentrasjonen, $N_d = 1.49 \cdot 10^{15} \text{ cm}^{-3}$. Sammenlignet med resultatet fra firepunkts probe målingen, kan man si at svarene er omtrent like og det gir da derfor økt sannsynlighet for at det stemmer.

Oppgave 4 c)

Oppgaven tilsier at man skal finne barrierehøyden og sammenligne den med den funnet i oppgave 3 b). Ligningen som brukes for å finne barrierehøyden er:

$$\Phi_{BN} = V_B - kT \frac{N_c}{N_d} \quad (20)$$

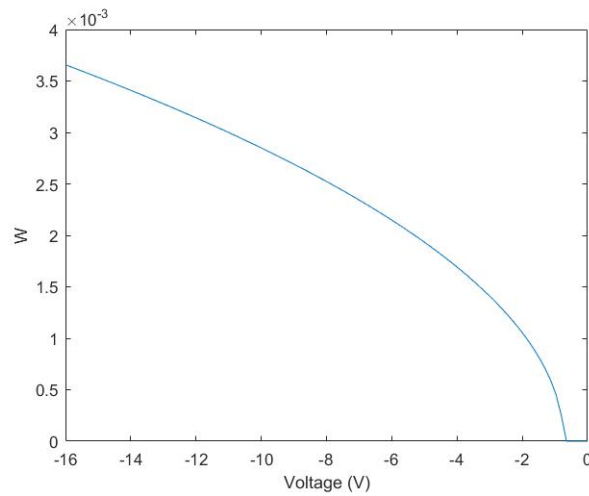
Alle parametrene utenom N_c har blitt tidligere funnet og ved å foreta en utregning får man barrierehøyden. N_c ved romtemperatur er oppgitt i litteraturen som $2.82 \cdot 10^{19} \text{ cm}^{-3}$. Dette gir oss da:

$$\Phi_{BN} = 0.732 - (0.0259 * \ln(\frac{2.82 * 10^{19}}{1.5 * 10^{10}})) = 0.477V \quad (21)$$

En sammenligning med oppgave 3b gir oss at verdien i 4c er høyere enn den i 3b.

Oppgave 4 d)

Deplesjonslaget blir kalkulert med ligning (4) og følger i plottet form nedenfor.

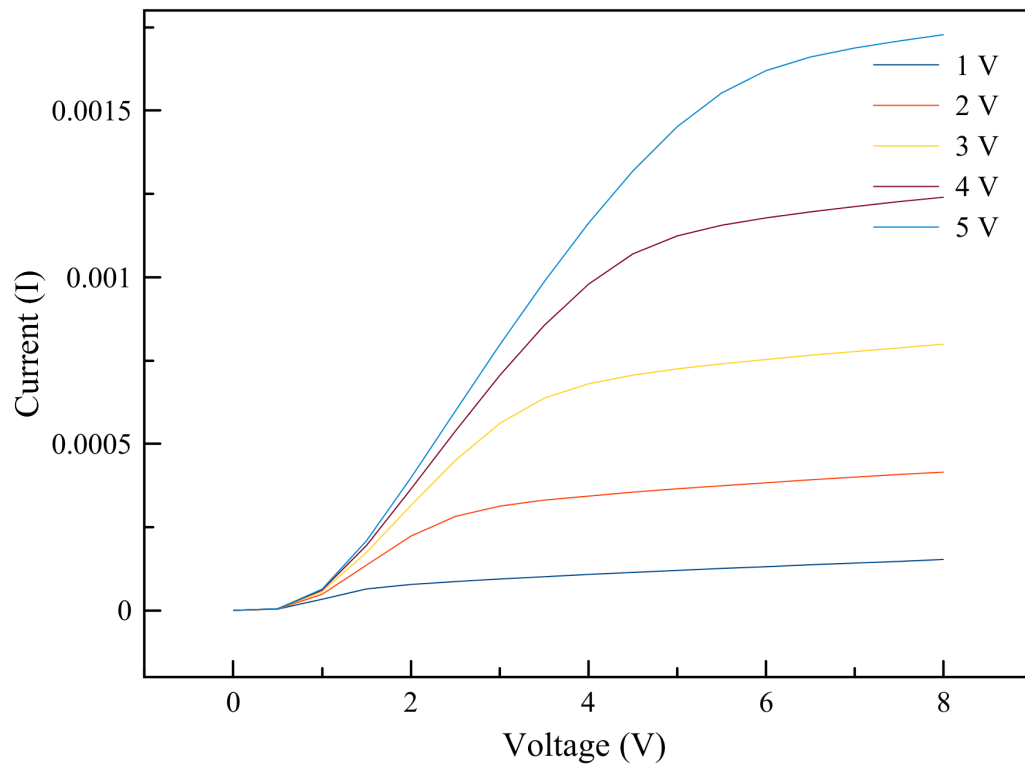


Figur 11: Deplesjonslag som funksjon av revers bias spenning

b N-MOSFET

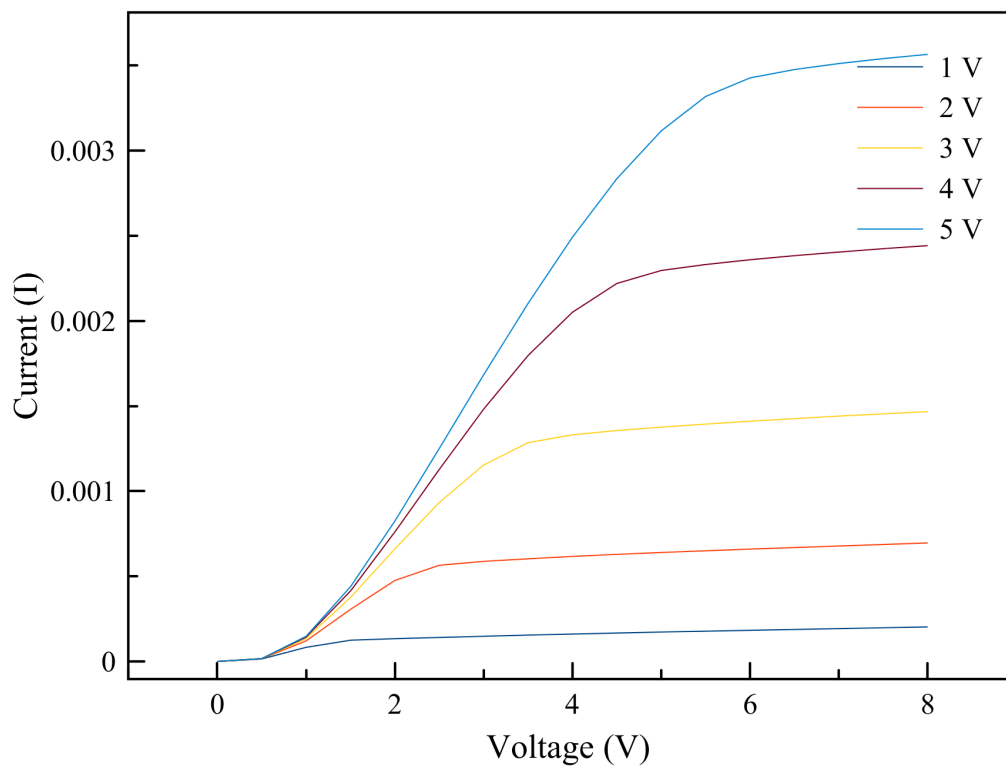
Oppgave 1 a)

I oppgave 1 a) var intensjonen at man skulle måle og plote I_D og V_D for forskjellige verdier av V_{GS} (1, 2, 3, 4, 5V). Dette skulle gjøres for å vise at det er en transistor som fungerer. Måten det gjøres på er å vise at det følger en trajeksjon som er lik for alle verdier av V_{GS} og at strømmen øker for hver verdi. Dette skal gjøres for en variasjon av gate lengder.



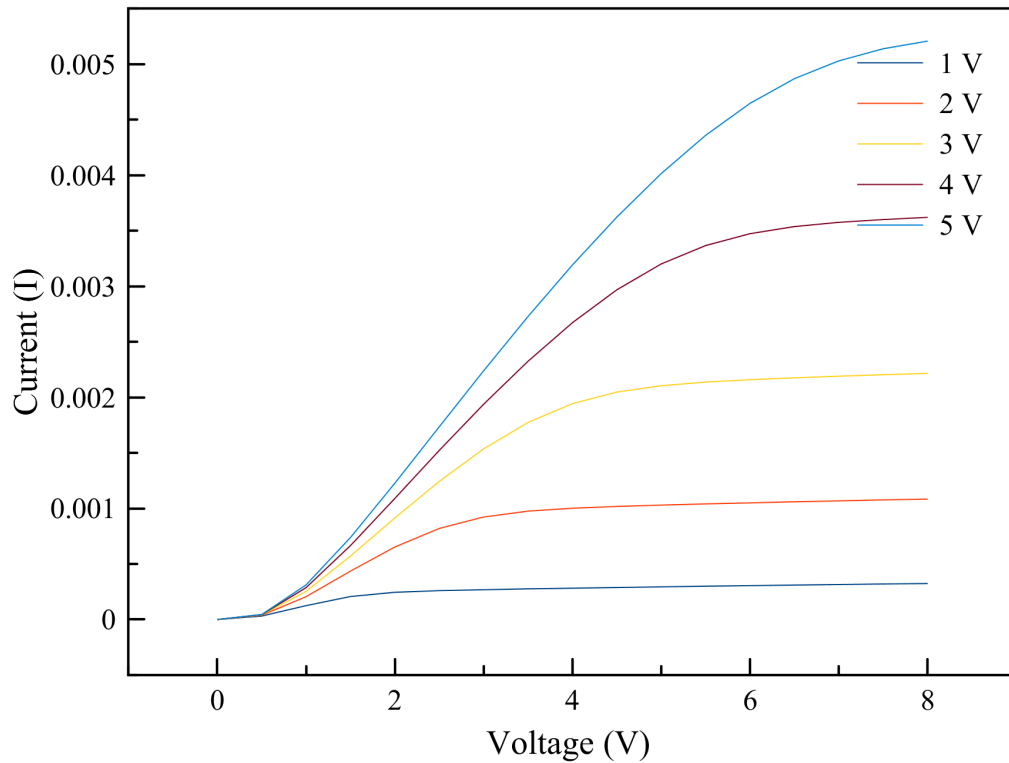
Figur 12: Skjematikk som viser forholdet mellom I_D og V_D for spenningsverdiene, $V_{GS} = 1, 2, 3, 4$ og $5V$. Gate lengden er $2 \mu m$

Figur 12 er for gate lengden $2 \mu m$. Den viser at strømmen stiger for hver spenningsøkning. Noe som da tilsier at det er en fungerende transistor.



Figur 13: Skjematikk som viser forholdet mellom I_D og V_D for spenningsverdiene, $V_{GS} = 1, 2, 3, 4$ og 5 V. Gate lengden er $4 \mu m$

Den samme tendensen kan sees i figur 13 for gate lengde $4 \mu m$.



Figur 14: Skjematikk som viser forholdet mellom I_D og V_D for spenningsverdiene, $V_{GS} = 1, 2, 3, 4$ og $5V$. Gate lengden er $10 \mu m$

Ovenfornevnte tendens blir også sett i figur 14 for gate lengde $10 \mu m$.

Oppgave 1 b)

Firepunkts probe målingen ga en resistivitet på $5 m\Omega$. Innsatt i de forskjellige ligningene og med basis i eksempel 6.1 i Streetman får man disse verdiene, før man setter dem inn i ligning (5) for å terskel spenning:

Variabel	Utregnet verdi
ρ	1.221
N_a	$1.2 \cdot 10^{16} \text{ cm}^{-3}$
Φ_{ms}	0.75 V
Φ_F	0.352 V
W_m	$1.083 \cdot 10^{-5} \text{ m}$
C_i	$1.195 \cdot 10^{-6} \text{ F/cm}^2$
Q_d	$-2.08 \cdot 10^{-8} \text{ C/cm}^2$
Q_i	$8 \cdot 10^{-9} \text{ C/cm}^2$

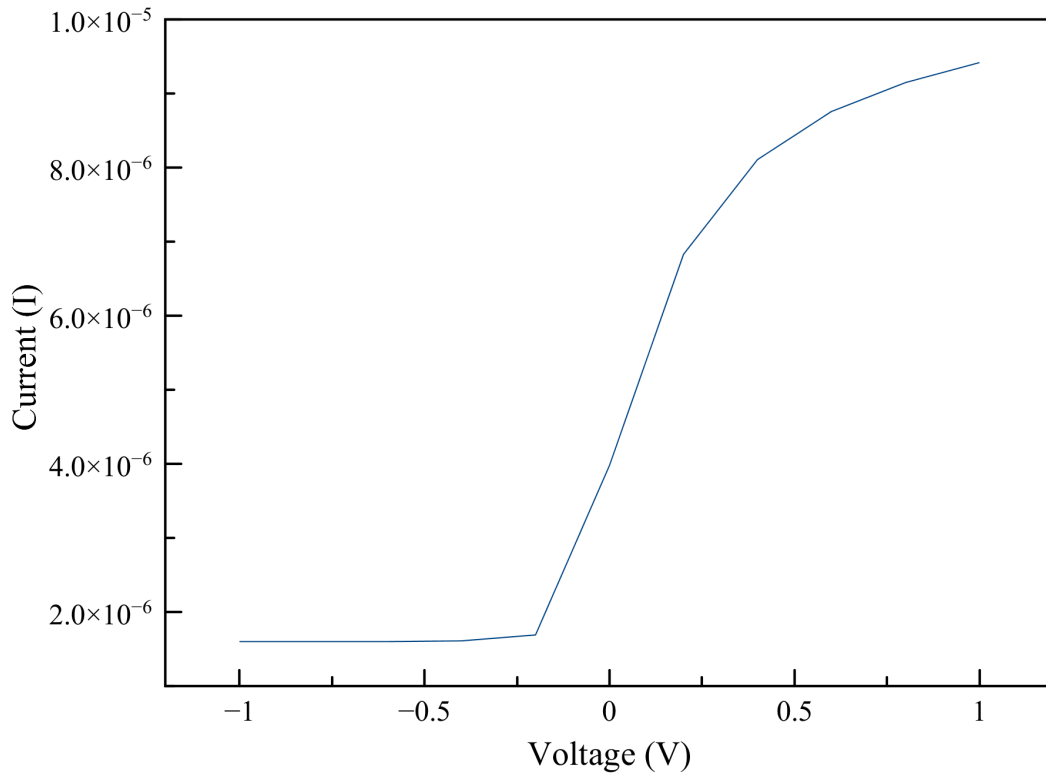
Tabell 1: Tabell over utregnede variable for hånd som er nødvendige for å finne terskel spenningen

Innsatt i ligning (5) gir dette oss en teoretisk terskel spenning som er:

$$V_T = -0.75 - 6.69 \cdot 10^{-3} + 0.0174 + 0.704 = -0.03529 \text{ V} \quad (22)$$

Oppgave 1 c)

Man skal i denne oppgaven plote I_{DS} versus V_{GS} for $V_{DS} = 0.2 \text{ V}$.



Figur 15: Skjematikk som viser I_{DS} versus V_{GS} for $V_{DS} = 0.2$ V.

Ut i fra figur 15 virker terskel spenningen å være på rundt -0.2 V. Sammenlignet med verdien funnet i oppgave b, er det en liten forskjell mellom dem. Dette skyldes sannsynligvis at jeg kunne hatt en høyere forskjell på arbeidsfunksjon-differansen. Det er ikke helt eksakt vitenskap. I tillegg tok jeg muligens ikke så hensyn til at oksidlaget i oppgaven er på 15 nm, mens den i oppgaveteksten 6.1 (som jeg brukte som eksempel) er på 10 nm.

Oppgave 1 d)

Det første verktøyet er hva slags kanal skal lages på hvilket substrat. V_T er alltid negativ for p-kanalen. Ved bruk av n-kanaler blir det negativ terskel spenning hvis p-substratet er lett dopet.

Alle ledd i ligning (5) er mulig å kontrollere gjennom fysiske prosesser. Φ_{ms} er bestemt av valget av gate materiale. Φ_F er avhengig av substrats-

doping. Q_i kan bli redusert av oksidasjonsmetoder, mens Q_d kan bli justert ved doping av substratet. C_i derimot er avhengig av dielektrisk konstant og tykkelse.

Oppgave 1 e)

Konduktans finnes ved å bruke ligning (7). Ettersom jeg ikke innehar MATLAB-koden fra ifjor, så måtte jeg avlese manuelt på grafen i oppgave 1 c) for å finne frem til verdiene.

$$\frac{8.5 * 10^{-6} A}{0.5 V} = 1.7 * 10^{-5} S \quad (23)$$

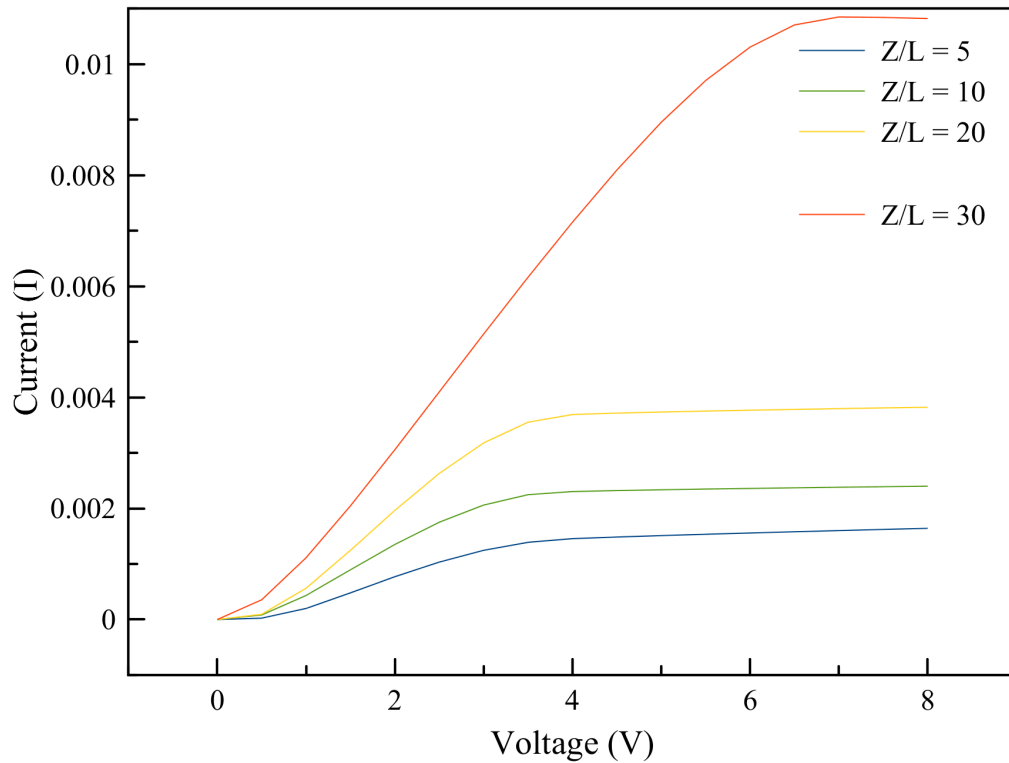
Enheten Siemens (S) er gitt av A/V.

Resistansen er da:

$$R = \frac{V}{I} = \frac{0.5}{8.5 * 10^{-6}} \approx 58823.53 \Omega \quad (24)$$

Oppgave 2

I oppgave 2 er gate lengde fastsatt på $20 \mu m$, mens gate bredden varierer.

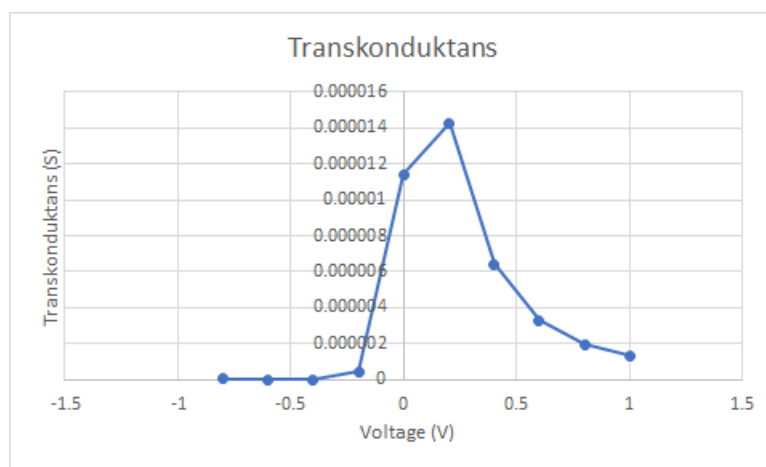


Figur 16: Strøm vs spenning ved variasjon av gate bredde fra $Z/L = 5$ til $Z/L = 30$

Å sammenligne plottet med ligning (6) gir at hvis man øker gate bredden, så får man omtrent samme effekt som å øke spenningen. Da man økte spenningen, så fant man ut at det ble en transistor. I ligning (6) har man at leddet før parenteser bestemmer konduktansen til et materiale. Elektrisk konduktans er da hvor enkelt et elektron går gjennom et materiale. Å øke gate bredden gir da at elektronet går enklere igjennom materialet.

Oppgave 3

Vi ser her på oppgave 1 c) igjen ettersom plottet allerede har blitt gjort. Transkonduktansen har ingen verdi før terskel spenningen har blitt nådd fordi det er for lavt drain strøm.



Figur 17: Skjematikk som viser transkonduktans vs spenning. Man kan også se at terskel spenningen er omtrent som før.

Oppgave 4

Plottene virker å samsvare med typiske NMOSFET. Et sted hvor det er noen forskjeller er for eksempel teoretiske terskelspenning og praksis (lest ut i fra en graf). Her har jeg allerede reflektert over dette. Men i hvert fall er de begge negative. Noe som bekrefter at de er lett dopet ettersom det er et klassisk kjennetegn.[5] Verdien på resistivitet som ble regnet ut kan også være feil ettersom det ble brukt en antagelsesverdi på 5 mV. Høyst trolig stemmer ikke resistansen helt heller ettersom vi skulle finne serie-resistent og jeg har lest av et sted.

Oppgave 5

Designen kan forandres på ved å dope p-substratet mer (som nevnt i forrige oppgave). Man kan også bruke et annet halvleder materialet enn sili-sum. GaAs er et konkret eksempel som er ofte brukt i halvleder-industrien. Det er også mulig å skifte ut gate oksidet med et annet dielektrisk. Her kan Ga₂O₃ være et eksempel. SiN_x er et annet dielektrisk materiale som kan fungere som erstatning.

En annen parameter kan også være å variere størrelsen på både gate lengde og gate bredde. Karakteriseringen foretatt i dette eksperimentet tilsier at det blir markant bedre ytelse basert på I-V kurvene.

5 Konklusjon

I oppgaver som denne, med spørsmål som skal besvares blir en konklusjonsdel litt overflødig. Det man egentlig kan gjøre er å oppsummere noen av de viktigste konklusjonene og forklare hvordan eksperimentet gikk.

Alle N-MOSFETene viste transistor egenskaper i karakteriseringsstadiet. Det ble også sett at ved å øke gatelengden ble det skapt mer strøm når samme mengde spenning ble anvendt. Den samme tendensen ble også sett når man økte gate bredden Z/L . Altså at ved å øke gate bredden, så får man skapt mer strøm.

Ved testing viste diodene at de oppfylte kravene for diodeligningen. Idealitetsfaktoren ble vist å være $\eta = 1.13$. Noe som er mye lavere enn verdier for pn-overgang dioder. Det bekrefter da Schottky dioden er i nærheten av å oppfylle den ideelle diodens egenskaper. I rapporten ble barrierehøyden funnet fra I-V kurver og C-V kurver. En liten forskjell ble sett i verdier og dette skyldes den høye innebygde spenningen.

Eksperimentet var vellykket ettersom verdiene som ble målt i karakteriseringsstadiet var meget gode. Det tyder på at komponentene fungerer som de skal og at prosessene som førte frem til komponenten gikk som de skulle.

Bibliografi

- [1] Electronics coach, *Schottky diode*. <https://electronicscoach.com/schottky-diode.html>.
- [2] Thomas Levy. *4 point measurements*.
- [3] Michael Serda, Julian adn Quirk. *Semiconductor Manufacturing Technology*. Prentice Hall, 2001.
- [4] Neil Storey. *Electronics - A systems approach*. Pearson Education Limited, Essex, England, 2013.
- [5] Ben Streetman and Sanjay Banerjee. *Solid State Electronic Devices*. Pearson Education Limited, Essex, England, 2016.

6 Appendix

Første appendix er fra Oppgave 2 for Schottky dioden.

```
q = 1;
k = 1;
T = 1;
V = linspace(-2,1);
I01 = 0.5;
I02 = 1;
I03 = 2;
I1 = I01 * ((exp(q*V)./(k*T)) - 1)
I2 = I02 * ((exp(q*V)./(k*T)) - 1)
I3 = I03 * ((exp(q*V)./(k*T)) - 1)
plot(V,I1,'b',V,I2,'r',V,I3,'g')
xlabel('Voltage (V)');
ylabel('Current (I)');
title('IV-curve');
```

Neste kode er den brukt til å finne idealitetsfaktoren.

```
V = [0
0.05
0.1
0.15
```

```
0.2
0.25
0.3
0.35
0.4
0.45
0.5
0.55
0.6
0.65
0.7
0.75
0.8
0.85
0.9
0.95
1];
I = [5.50E-09
9.16E-08
6.04E-07
3.30E-06
1.69E-05
6.67E-05
0.000176
0.000334
0.00052
0.000723
0.000938
0.001159
0.001385
0.001616
0.00185
0.002085
0.002322
0.002562
0.002803
0.003044
0.003288];
plot(V,log(I));
xlabel('Voltage (V)');
ylabel('Current (I)');
```

```
title('IV-curve');
```

Dessverre har jeg ikke flere MATLAB-koder ettersom denne rapporten ble skrevet i fjor og jeg av den grunn har forlagt dem ettersom de ikke var avanserte nok til å bevare.