

Restricties ontwerpsoftware

In deze sectie zullen de restricties worden behandeld, die in acht moeten worden genomen bij het gebruik van de ontwerpsoftware.

- De 'ports' van entities van VHDL-beschrijvingen die moeten worden gesynthetiseerd mogen *alleen* van het type *std_logic* of *std_logic_vector* zijn.
Dit om te voorkomen dat allerlei conversies moeten worden gemaakt, waarbij wellicht niet steeds van dezelfde testbench gebruik kan worden gemaakt, en ook conversies van VHDL naar sls kunnen mislukken.
- Gebruik voor de namen van signalen, ports en entities *kleine letters*. Bij de diverse data-omzettingen, die gedurende het ontwerp plaatsvinden kunnen anders fouten ontstaan.
- De namen die worden gebruikt voor terminals en circuits dienen onderscheidbaar te zijn in de eerste 14 letters.
- Voor entities, architectures en configurations moeten aparte files worden gemaakt.
- Geef de layout cellen dezelfde naam als de overeenkomstige circuit cel. Dit om bij extractie van VHDL-code uit het layout-gedeelte naam-problemen te voorkomen.
- signalen van het type 'inout' mogen alleen worden gebruikt voor 'analoge' signalen, dus signalen die aan de aangesloten moeten worden op een 'direct' buffer aan de rand.
- Aan ports mogen geen gedeelten van een *std_logic_vector* worden aangesloten.

De synthese-software voor het genereren van de circuits stelt ook beperkingen aan de VHDL-beschrijvingen. Naast de algemene aanwijzingen in appendix ?? voor het maken van "synthetiseerbare" VHDL-beschrijvingen noemen we nog de volgende aandachtspunten:

- Initialisaties van signalen bij hun declaratie worden genegeerd.
Dus bijv. *signal a: std_logic := '0';* wordt gelezen als *signal a: std_logic;*
- After-clauses in statements worden genegeerd.
Dus bijv. *a <= '1' after 2 ns;* wordt gelezen als *a <= '1';*
- Process-statements moeten worden gemaakt met een process-list waarin, bij een register beschrijving, alleen het klok signaal voorkomt, of, bij een beschrijving van een combinatorische schakeling, *alle* signalen voorkomen die tijdens de uitvoering van het process worden gelezen.
- In case- en select-statements moeten *alle* mogelijke waarden worden behandeld.
- In iedere tak van case- en if-statements moeten *alle* uitgangssignalen een waarde krijgen.

Om de tijdvertragingen van de schakelingen te kunnen bekijken is de nauwkeurigheid van de sls-simulatie default op 100 ps ingesteld. De maximale tijdsduur die dan nog kan worden gesimuleerd, zonder 'overflow'-problemen te krijgen is 100 ms. *Hou hier met het simuleren van de VHDL code rekening mee en pas zonodig de klok-frequentie van de schakeling aan.*