（3）指令汇总表：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 指令格式 | 汇编语句 | 操作数个数 | CZVS | 指令类型 | 功能说明 |
| 0000DRSR | ADD DR,SR | 2 | \*\*\*\* |  | DR<-DR+SR |
| 0001DRSR | SUB DR,SR | 2 | \*\*\*\* |  | DR<-DR-SR |
| 0010DRSR | AND DR,SR | 2 | \*\*\*\* |  | DR<-DR and SR |
| 0011DRSR | XOR DR,SR | 2 | \*\*\*\* | A | DR<-DR xor SR |
| 0100DRSR | OR DR,SR | 2 | \*\*\*\* |  | DR<-DR or SR |
| 0101DRSR | MVRR | 2 | …. | 组 | DR<-SR |
| 0110DR0000 | DEC DR | 1 | \*\*\*\* |  | DR<-DR-1 |
| 0111DR0000 | INC DR | 1 | \*\*\*\* |  | DR<-DR+1 |
| 1000DR0000 | SHL DR | 1 | \*… | 指 | DR,C<-DR\*2 |
| 1001DR0000 | SHR DR | 1 | \*… |  | DR,C<-DR/2 |
| 1010DRSR | ADC DR,SR | 2 | \*\*\*\* |  | DR<-DR+SR+C |
| 1011DRSR | SBB DR,SR | 2 | \*\*\*\* | 令 | DR<-DR-SR-C |
| 1100OFFSET | JR ADR | 1 | …. |  | 无条件跳转 |
| 11010000ADR | JMPA ADR | 1 | …. | B | 无条件跳转到ADR |
| 1110DRSR | LDRR DR,[SR] | 2 | …. | 组 | DR<-[SR] |
| 1111DRSR | STRR [DR],SR | 2 | …. | 指 | [DR]<-SR |

（\*表示状态位在指令执行后会被重置，.表示状态位在指令执行后不会被修改）

在对指令寄存器中的指令进行译码后由控制逻辑产生了14位控制信号，共同控制着ALU和寄存器完成各种操作。下表是各指令的具体控制信号值：

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 节拍 | 指令 | | 编码 | Sci | SST | I7I6 | I5I4I3 | I2I1I0 | /WR | | REC | 注释 |
| 000 |  | |  | 01 | 1 | 10 | 011 | 000 | 1 | | 01 | AR<-PC,PC<-PC+1 |
| 001 |  | |  | 00 | 1 | 00 | 000 | 000 | 1 | | 10 | IR<-MEM |
| 011 | ADD | | 0000 | 00 | 0 | 01 | 000 | 000 | 1 | | 00 | DR<-DR+SR |
|  | SUB | | 0001 | 00 | 0 | 01 | 000 | 001 | 1 | | 00 | DR<-DR-SR |
|  | AND | | 0010 | 00 | 0 | 01 | 000 | 010 | 1 | | 00 | DR<-DR and SR |
|  | XOR | | 0011 | 00 | 0 | 01 | 000 | 100 | 1 | | 00 | DR<-DR xor SR |
|  | OR | | 0100 | 00 | 0 | 01 | 000 | 011 | 1 | | 00 | DR<-DR or SR |
|  | MVRR | | 0101 | 00 | 1 | 01 | 001 | 000 | 1 | | 00 | DR<-SR |
|  | DEC | | 0110 | 01 | 0 | 01 | 010 | 001 | 1 | | 00 | DR<-DR-1 |
|  | INC | | 0111 | 01 | 0 | 01 | 010 | 000 | 1 | | 00 | DR<-DR+1 |
|  | SHL | | 1000 | 00 | 0 | 01 | 010 | 101 | 1 | | 00 | DR,C<-DR\*2 |
|  | SHR | | 1001 | 00 | 0 | 01 | 010 | 110 | 1 | | 00 | DR,C<-DR/2 |
|  | ADC | | 1010 | 10 | 0 | 01 | 000 | 000 | 1 | | 00 | DR<-DR+SR+C |
|  | SBB | | 1011 | 10 | 0 | 01 | 000 | 001 | 1 | | 00 | DR<-DR-SR-C |
|  | JR | 01000000 | | 00 | 11 | 10 | 101 | 000 | | 1 | 00 | PC<-OFFSET+PC |
| 101 | JMPA | | 1100 | 01 | 1 | 10 | 011 | 000 | 1 | | 01 | AR<-PC,PC<-PC+1 |
|  | MVRD | | 1101 | 01 | 1 | 10 | 011 | 000 | 1 | | 01 | AR<-PC,PC<-PC+1 |
|  | LDRR | | 1110 | 00 | 1 | 00 | 001 | 000 | 1 | | 11 | AR<-SR |
|  | STRR | | 1111 | 00 | 1 | 00 | 010 | 000 | 1 | | 11 | AR<-DR |
| 111 | JMPA | | 1100 | 00 | 1 | 10 | 100 | 000 | 1 | | 00 | PC<-MEM |
|  | MVRD | | 1101 | 00 | 1 | 01 | 100 | 000 | 1 | | 00 | DR<-MEM |
|  | LDRR | | 1110 | 00 | 1 | 01 | 100 | 000 | 1 | | 00 | DR<-MEM |
|  | STRR | | 1111 | 00 | 1 | 00 | 001 | 000 | 0 | | 00 | MEM<-SR |

（表中的I7对应pc\_en，I6对应reg\_en，I5I4I3对应alu\_in\_sel，I2I1I0对应alu\_func\_sel）

（1）ALU(I2I1I0)

|  |  |
| --- | --- |
| I2I1I0 | 功能 |
| 000 | A+B+Cin |
| 001 | A-B-Cin |
| 010 | A与B |
| 011 | A或B |
| 100 | A异或B |
| 101 | B 左移 |
| 110 | B右移 |

（2）BUS\_MUX(I5I4I3)

|  |  |  |
| --- | --- | --- |
| I5I4I3 | ALU\_A | ALU\_B |
| 000 | SR | DR |
| 001 | SR | 0 |
| 010 | 0 | DR |
| 011 | 0 | PC |
| 100 | 0 | DATA |
| 101 | 0 | OFFSET |

(3)T1控制Cin

|  |  |
| --- | --- |
| SCI | Cin |
| 00 | 0 |
| 01 | 1 |
| 10 | FLAG\_C |

(4)控制标志寄存器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| SST | C | Z | V | S |
| 0 | 接受ALU的运算结果 | | | |
| 1 | C | Z | V | S |

1. 地址寄存器AR和指令寄存器IR：都是8位的寄存器，地址寄存器用于存放要读写的内存地址单元的地址，输出送往地址总线，输入可能为PC内容，也可能为ALU的输出（对读写内存指令）；指令寄存器存放当前执行指令的内容，它的输入来自从内存读取的指令和数据，输出送往控制逻辑。二者共用两位控制信号REC，说明如下：

|  |  |
| --- | --- |
| REC | 操作 |
| 00 | 无操作 |
| 01 | AR接收PC |
| 11 | AR接收ALU输出 |
| 10 | IR接收 |

（6）T3：组合逻辑器件，作用相当于一个双向门，是为了解决数据总线的冲突问题设置的。控制信号就是控制逻辑输出的读写控制信号wr，进行读操作时输出高阻态，写操作时输出ALU的运算结果。

（7）reg\_en(I6)

寄存器、寄存器组和寄存器的选择：本实验中的寄存器都为16位，带有清零端和使能端，实际上在写VHDL程序时，通用寄存器以及AR、IR、PC使用的都是同一个模板。按照我们的设计，通用寄存器共有16个，由指令的低8位的全部或其中的高4位或低4位来从寄存器组中选择源寄存器和目的寄存器。安排寄存器选择器件reg\_mux，为组合逻辑器件，用于输出选定寄存器的内容。另外，由控制逻辑给出1位控制信号reg\_en，控制是否对选中寄存器进行写操作，也须由寄存器选择器件给出对特定寄存器的写使能信号。不然若由一个使能信号控制全部16个寄存器将对实际不参与写操作的寄存器造成不稳定的情况。

为了便于调试时查看寄存器内容，另外由外部输入选定寄存器读出其内容，其中读取通用寄存内容的工作也由这个器件完成。

(8)pc\_en(I7)

程序计数器PC：时序逻辑器件，16位寄存器，在控制信号pc\_en的控制下可接收ALU的运算结果（高电平接收，否则保持不变）。输出送往地址寄存器（读取指令内容）以及数据选择器（进行自增运算）。