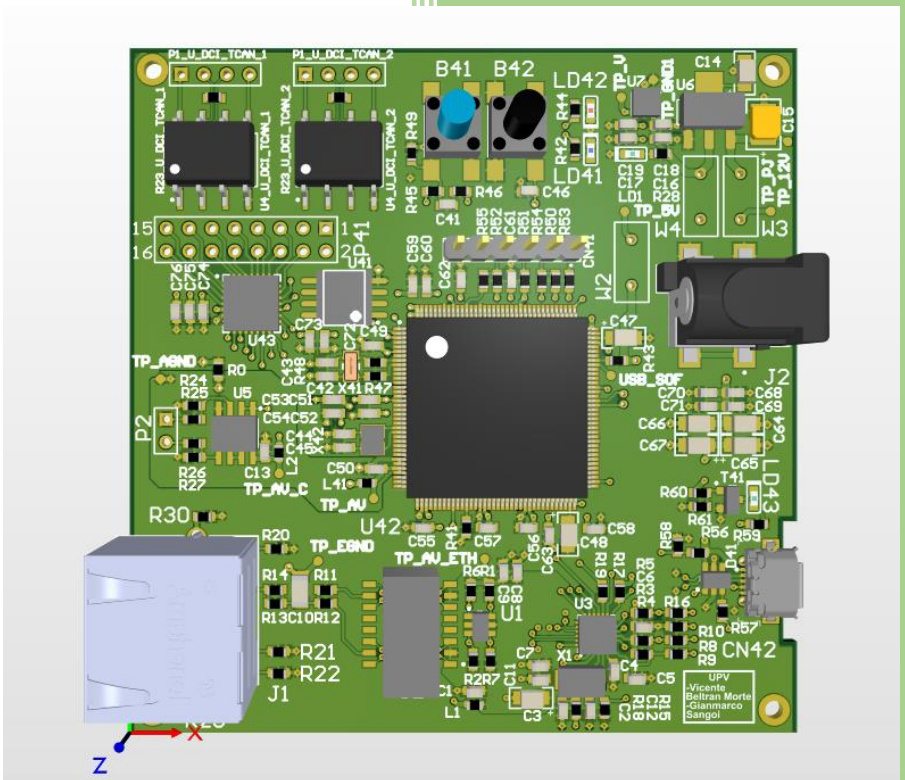


2022

# Diseño de PCB basado en placa de evaluación comercial



VICENTE BELTRÁN MORTE

GIANMARCO LEOPOLDO SANGOI

5-7-2022

## Introducción

En este documento se describe el proceso de desarrollo de un prototipo de sistema electrónico desarrollado a partir de un diseño preexistente de placa de evaluación comercial

## Requisitos

En el diseño se nos requiere añadir las siguientes características y eliminar las prestaciones adicionales o alternativas que ofrece la placa, incluyendo el zócalo del microcontrolador:

- -Ethernet con conector RJ45 y magnético externo.
- Micro-USB.
- 2 transceptores CAN con opción de terminación de línea.
- 2 acondicionadores de señal analógica de 0-10V para su conversión AD.
- 1 memoria SPI Flash de al menos 2Mb.
- 1 conector de expansión con 16 señales GPIO.
- Conector para la programación y depuración del microcontrolador de tira de pin de 100 mils de paso SWD.

Irónicamente, se nos ha indicado expresamente que eliminemos los conectores de los pines GPIO a la par que usamos el extensor. Adicionalmente, posteriormente se nos indica que el USB no proporcionará potencia y alimentación a otro dispositivo.

## Modificaciones al esquemático

Además de las modificaciones solicitadas, se han realizado algunas por iniciativa propia. Los ejemplos más importantes son la sustitución de elementos de configuración como jumpers por resistencias de 0  $\Omega$  que pueden soldarse según el uso que se la vaya a dar a la placa. Muchos otros de estos dispositivos han sido eliminados al limitar el uso del microcontrolador a ciertos parámetros (como la configuración de energía) o que la programación deba hacerse necesariamente por SWD.

Por otro lado, a la eliminación del circuito que proporciona potencia al dispositivo USB conectado, le hemos añadido un banco de condensadores grandes y pequeños para que la señal de 5V proporcionada sea de mayor calidad en caso de que se decida usar como

alimentación. Se han mantenido unos jumpers para usar en el circuito de alimentación la tensión del USB o tensiones de 5 o 12 Voltios proporcionados por un conector Jack de potencia.

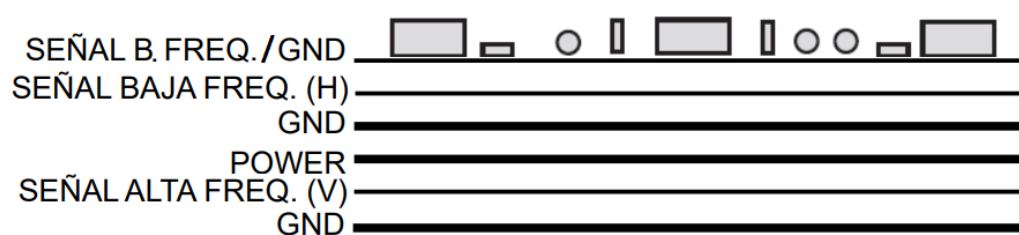
El diseño ha sido elaborado de forma jerárquica, aunque no hemos podido colocar el circuito de acondicionamiento de señal en dos bloques idénticos puesto que se ha usado un amplificador operacional doble.

## Diseño del PCB

### Stackup

Para realizar el stackup, en un inicio, decidimos utilizar 2 planos de masa y alimentación adyacentes (para así aprovechar el efecto capacitivo) y 2 planos externos de masa para apantallar las señales y reducir el ruido.

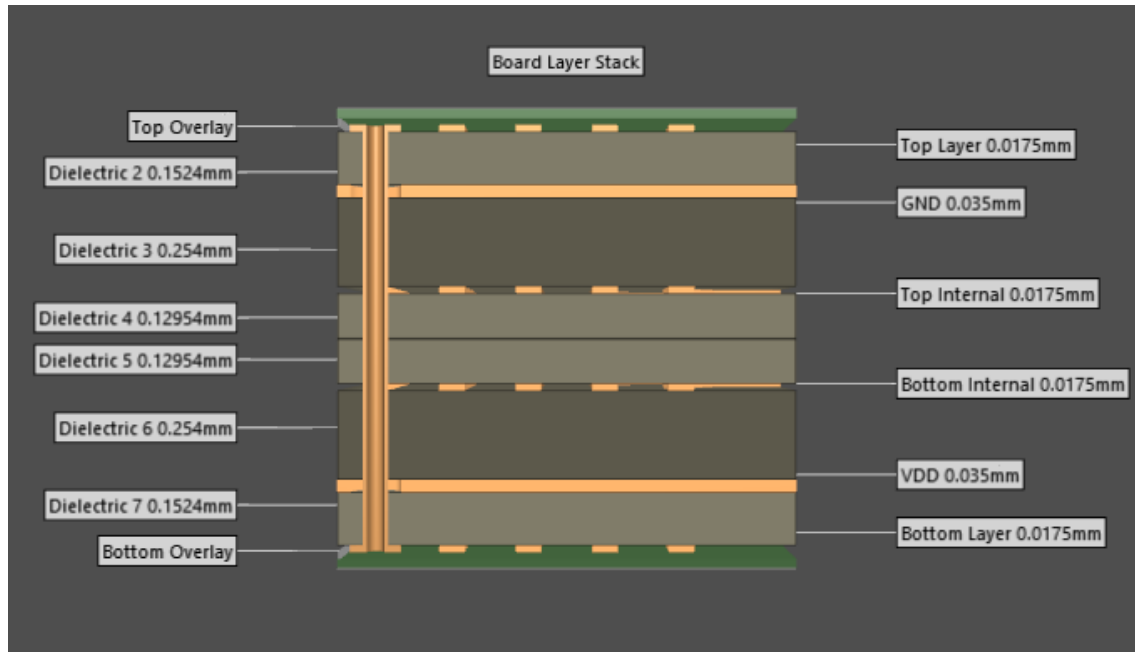
Entre un plano externo y el centro-condensador se encontrarán los buses y las señales de alta frecuencia, mientras que tras el otro plano eterno se implementarán las señales de baja frecuencia y las analógicas que por motivos técnicos no sea aconsejable colocar en las capas internas. Intentamos de esta forma no afectar los caminos de retorno de los buses y no interrumpir la tierra por las capas internas.



Dentro del CAD, esto supone la implementación de 4 capas de señal y 2 de plano (las internas de VDD y GND). Cada capa de señal está recubierta en su totalidad por un polígono conectado a GND, aunque el rutado y las vías a masa se colocarán sin tener en cuenta su presencia.

Este diseño inicial presenta problemas en el cálculo de las impedancias: puesto que las capas internas están cerca de dos planos y las externas están a 2 capas de un solo plano,

la diferencia entre tamaños de pista es enorme. Por este motivo se ha utilizado el siguiente stack-up, que tiene la ventaja añadida de que los planos “parciales” de las capas externas no se utilizan en el cálculo:



### Clase y restricciones de diseño

La clase de un circuito impreso es un indicador de la precisión necesaria en su fabricación, así como del uso de ciertas características cualitativas o tecnologías, como vías ciegas. En nuestro caso, las restricciones de diseño nos lo marcan los perfiles de impedancia de los pares diferenciales, así como el ancho de ciertos pads SMD.

En este caso podemos ver que el perfil de impedancia de Ethernet nos fuerza a elegir un diseño de clase 4, mientras que el ancho de los pines del microcontrolador nos obliga a utilizar un diseño de clase 5.

En el caso del controlador de pines GPIO adicionales, el tamaño de las vías nos obliga a ser más estrictos, pero se ha modificado el diseño de la huella para solventarlo.

Para ahorrar presupuesto el stackup es simétrico y se han elegido las medidas de la clase 5. De la misma forma, solo se han colocado vías through-hole.

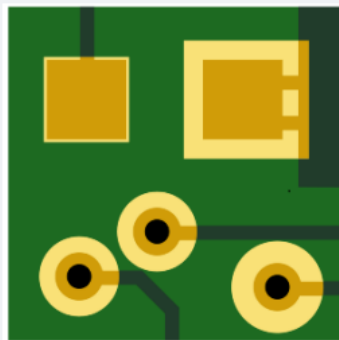
En cuanto al proceso de fabricación empleado por Lab Circuits, podemos ver que, de forma automática, establece un margen de máscara de soldadura de 0.06 mm, y que

puede fabricar trozos de máscara de 0.08mm de ancho sin que se degrade. Para anchos menores, la máscara se elimina del diseño automáticamente.

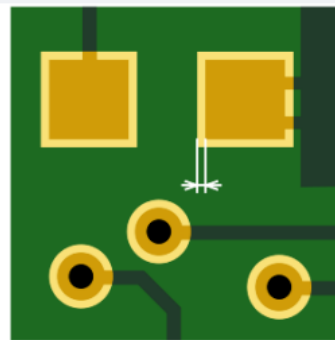
## Adecuación del margen de máscara en *pads* de soldadura

Todos los *pads* de soldadura se amplían o reducen hasta el margen estándar de 0.06 mm, o bien margen especial a petición del cliente, previa consulta al Departamento Técnico de Lab Circuits.

ORIGINAL



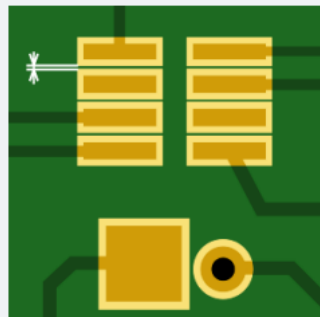
FINAL



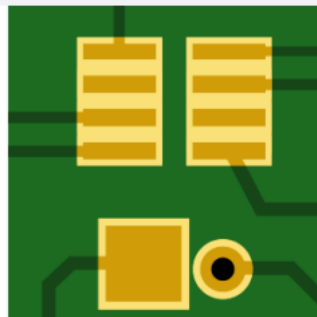
## Trazo mínimo de máscara entre *pads*

Se filtrarán y eliminarán los trazos de anchura inferior a 0.08 mm entre *pads* de forma rectangular u ovalada, a fin de evitar su rotura. Este procedimiento no contempla la detección y reparación de trazo mínimo entre *pad* redondo y rectangular u ovalado. En tintas de color diferente al verde, el trazo mínimo será de 0.11 mm.

ORIGINAL

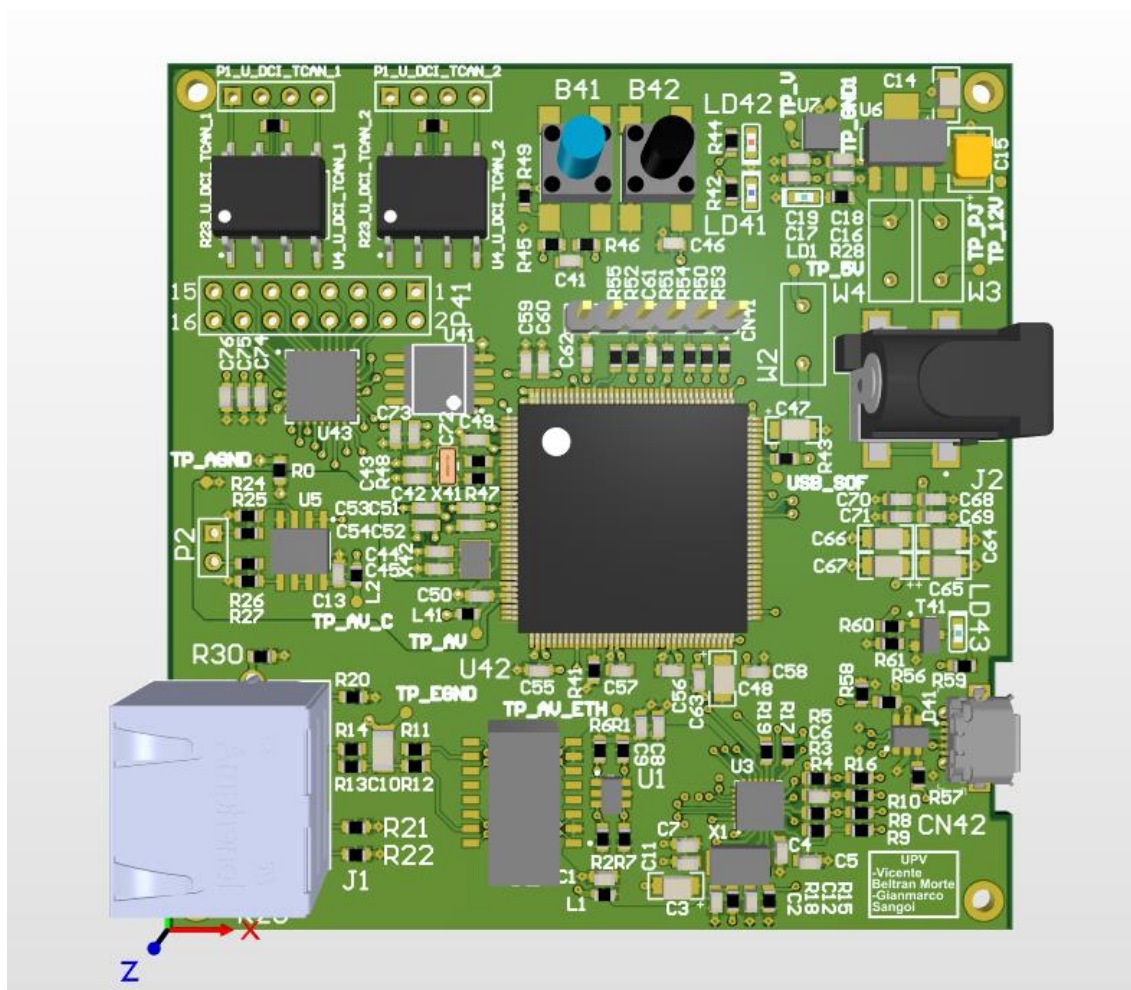


FINAL



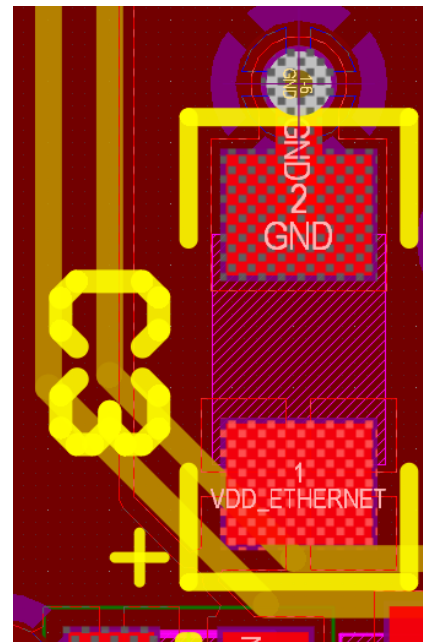
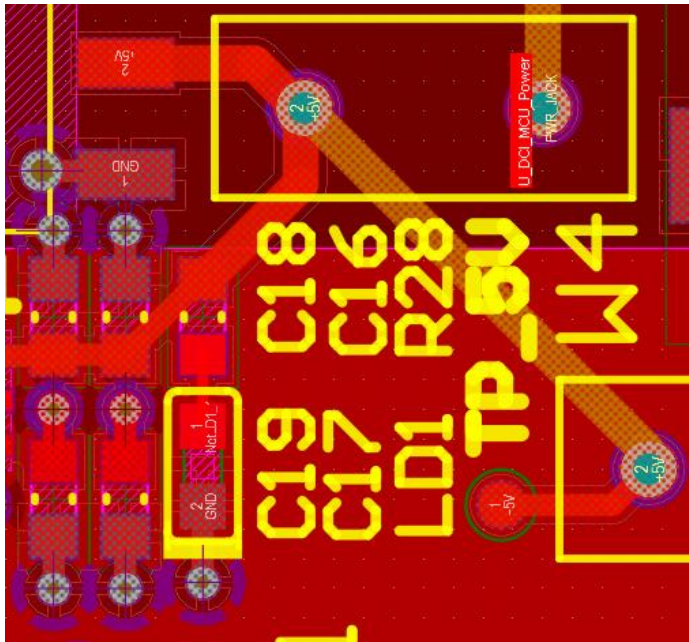
## Emplazamiento

Imitando al diseño de la PCB, el proceso de emplazamiento ha sido bottom-up, colocando primero los componentes de las roms teniendo en cuenta las futuras conexiones y la evolución de los emplazamientos anexos. Posteriormente estas room se han solapado y se han desplazado grupos de componentes, así como componentes individuales, para optimizar el espacio y rellenar las área no utilizadas. Durante este proceso, los condensadores de baja impedancia se han colocado primero. El resultado es el siguiente:



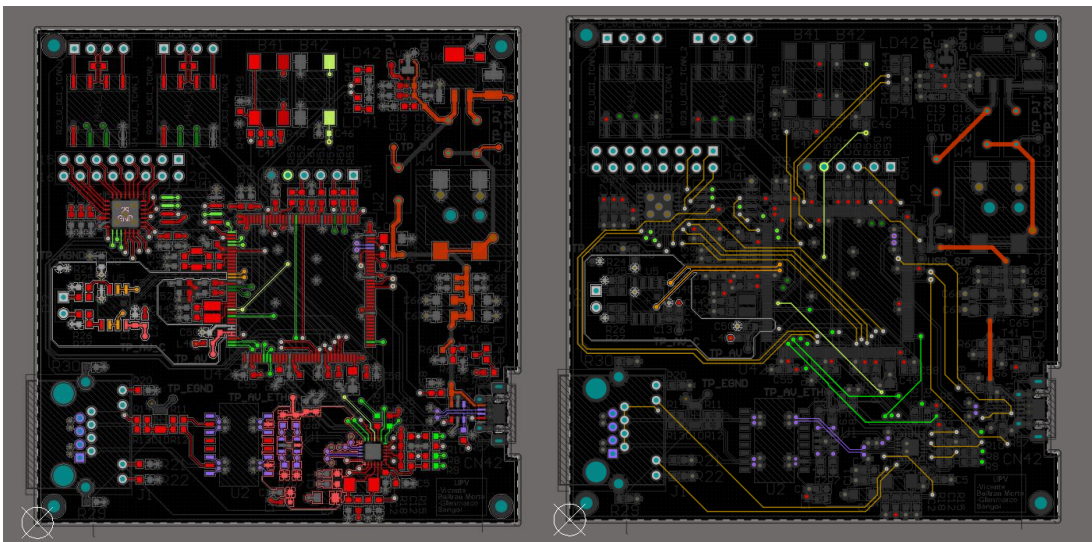
Como se observa, la litografía ha presentado un desafío. Los textos no importantes se han reducido mientras que los puntos de test y los conectores y jumpers se han mantenido en su tamaño original y/o se han colocado en negrita. En varias ocasiones, los identificadores se han tenido que apilar, y se han creado huellas adicionales para colocar símbolos en un lado distinto al habitual:

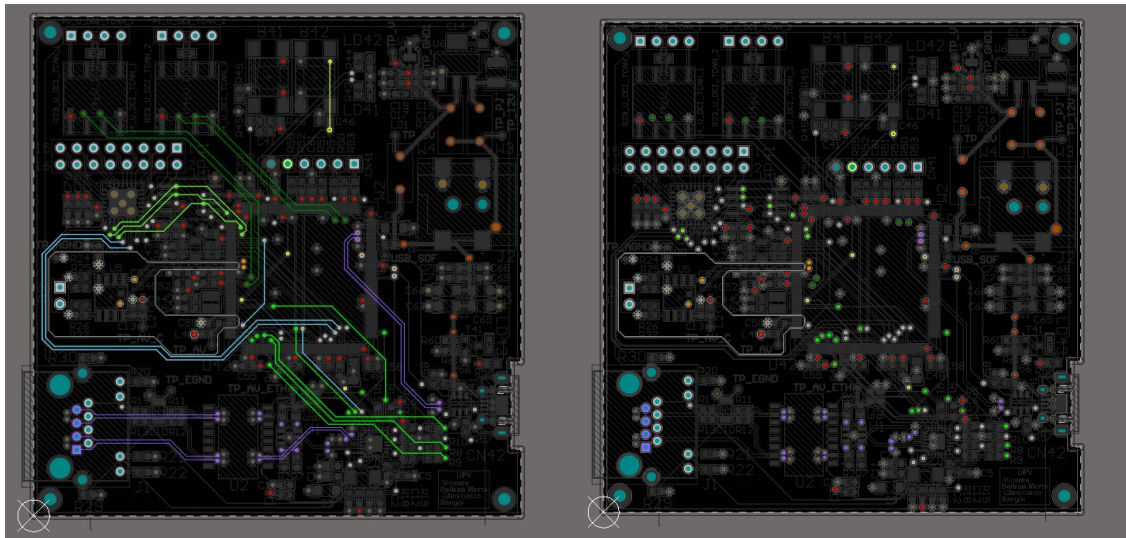




## Rutado

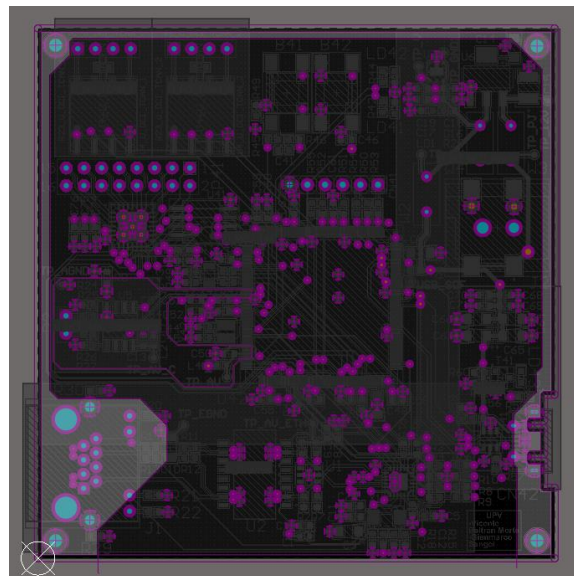
El rutado se ha realizado dando preferencia a los planos diferenciales y intentado evitar que coincidan con pistas paralelas sensibles no separadas por planos de alimentación. Se han elegido colores para identificar rápidamente las pistas: grises para las masas digital, analógica y sucia, rojos para las pistas de alimentación, morado para los pares diferenciales, verdes para las líneas de transmisión y de reloj de buses single-ended (excluyendo enables y similares), lima para el reset y naranja para la línea analógica que va al ADC:





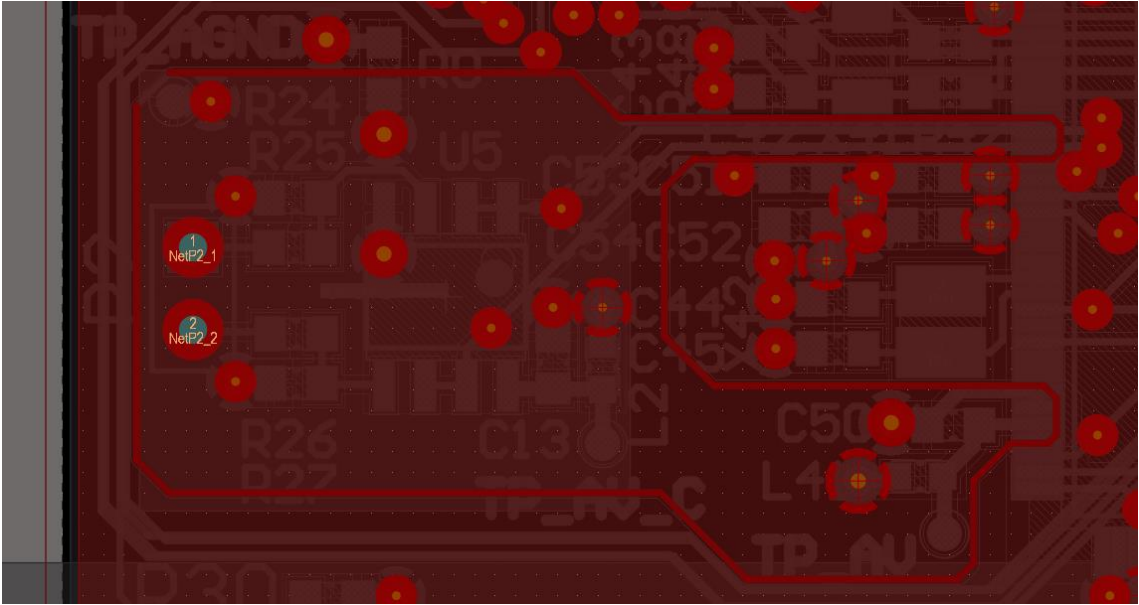
## Separación de planos

En las imágenes anteriores podemos ver que separamos la tierra sucia, que va conectado a los distintos chasis de los conectores y a los tornillos de fijación por el exterior de los conectores.

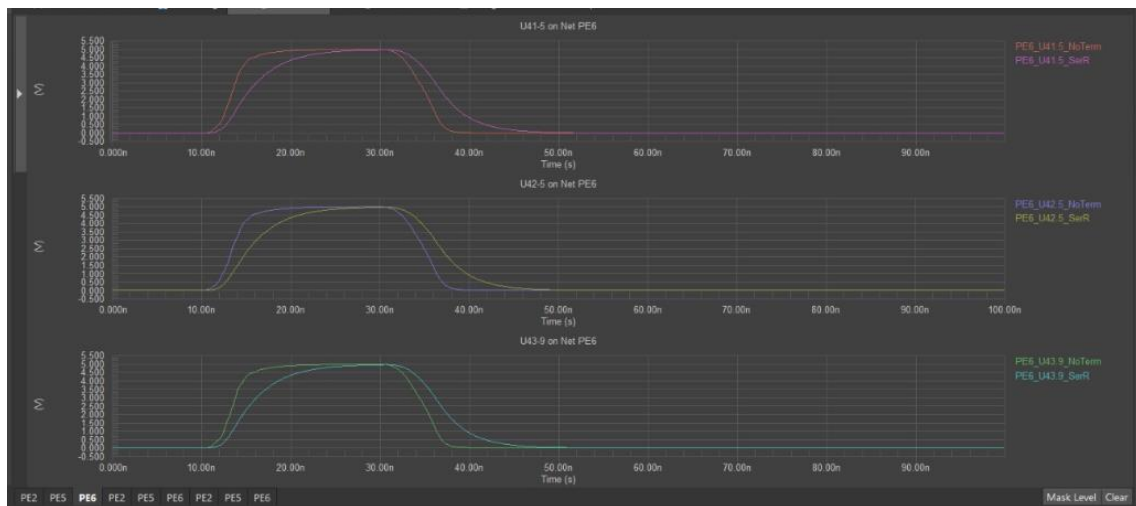
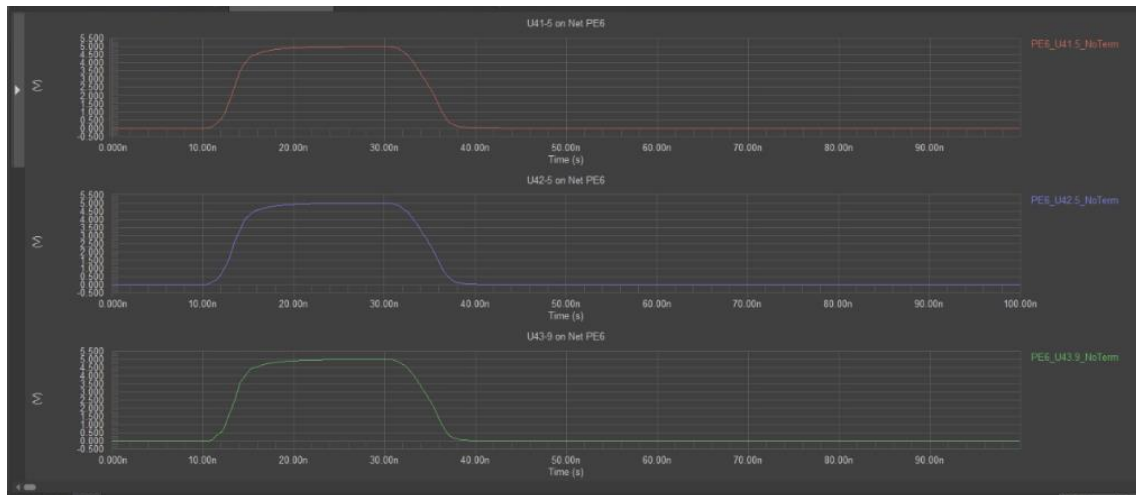


También podemos ver como separamos VDD\_Ethernet y creamos un stack-up separado de tierras y alimentaciones analógicas. Aunque el plano VDD no está partido en 2 tipos (pues la alimentación analógica se genera de simples filtrados individuales), hemos decidido crear un área separada en el plano de VDD, manteniendo un hueco de conexión con el resto de planos similar al tamaño de un PAD, que puede verse en la esquina superior izquierda:



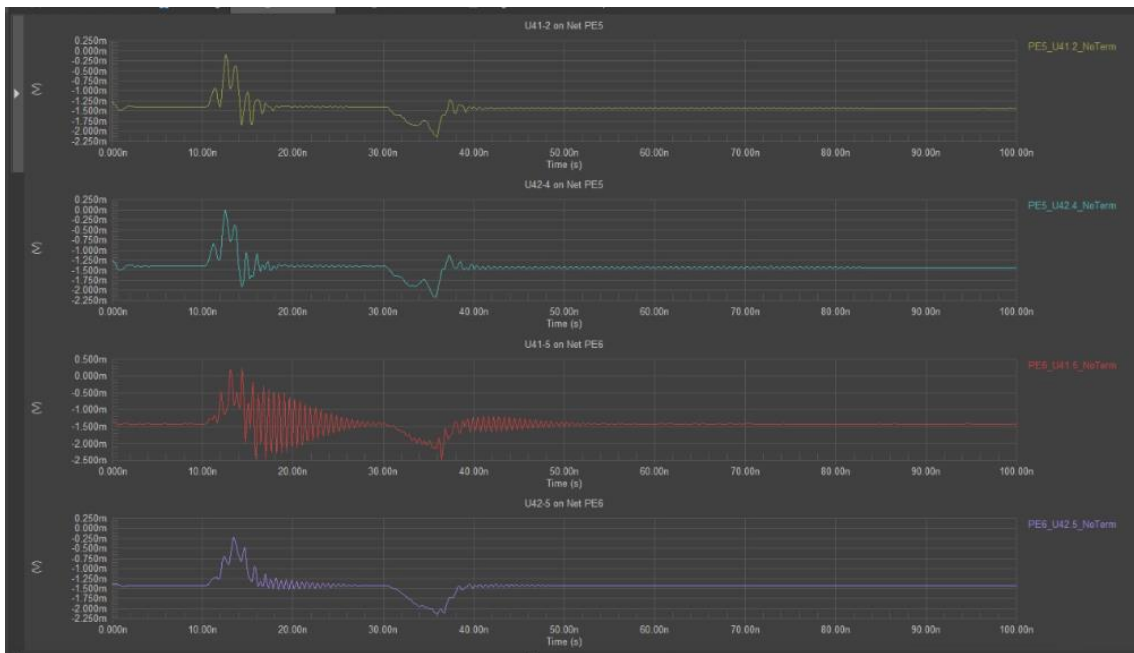
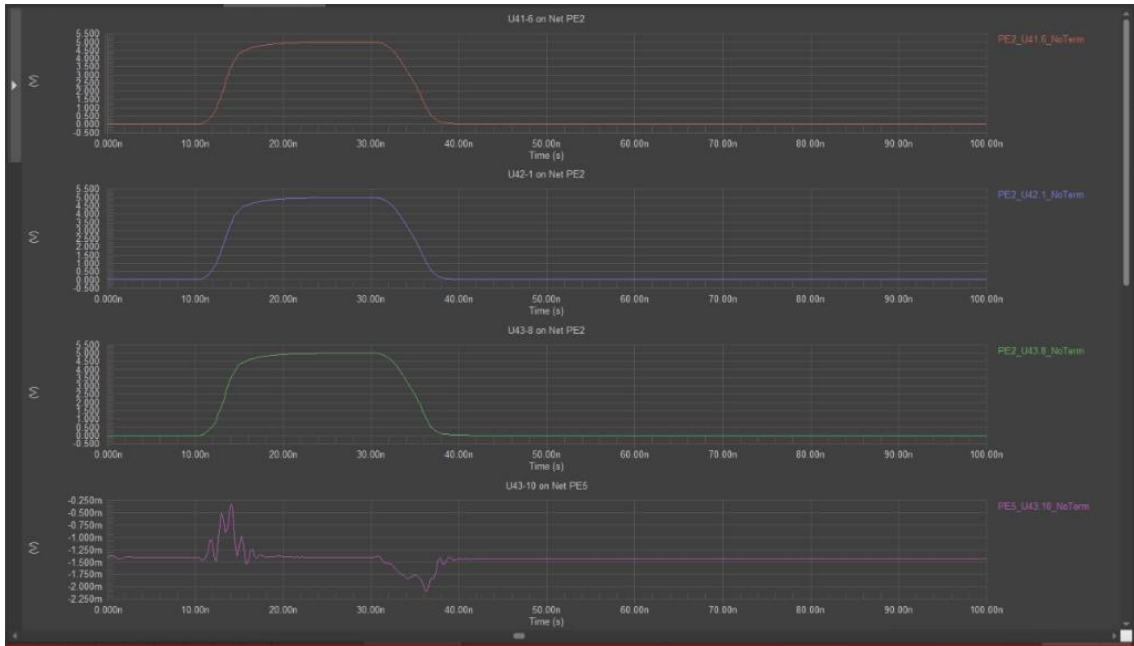


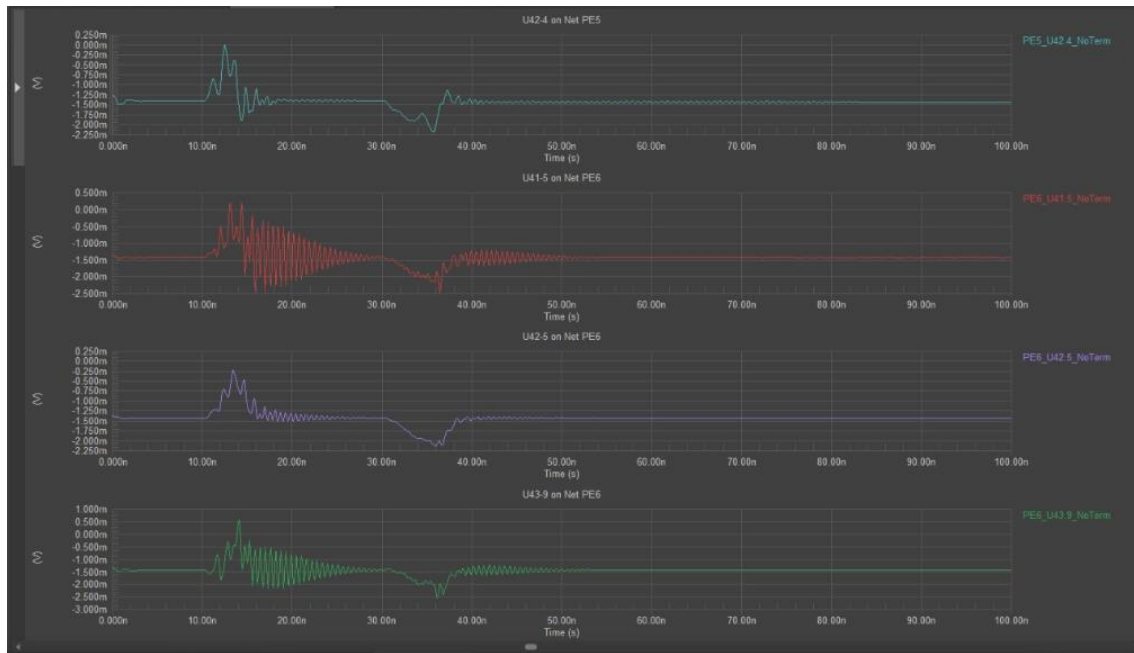
## Simulaciones



Observamos que los nodos intermedios de la memoria FLASH no generan reflexiones visibles en las ondas, el overshoot es bastante bajo para no dañar la mayoría de componentes, el nivel de tensión es suficientemente alto con las terminaciones y la señal de reloj no genera falsos flancos (las otras tampoco).

CrossTalk:





Se puede observar como los cambios de tensión son muy pequeños, pero apilados a los efectos de las reflexiones, estos pueden llegar a ser altos para algunos componentes.

#### Conclusión:

Recomendamos el uso de terminaciones y remarcamos que el efecto combinado de ambos procesos dudosamente generara falsos flancos de reloj, ya que las señales son relativamente de baja frecuencia, por lo que hemos separado las pistas y no vemos reflexiones adicionales del módulo de memoria porque hemos hecho las conexiones lo más cercano al PAD, aproximando esto lo máximo posible a un cable ideal.