



Índice

1. Introducción	1
2. Desarrollo	2
2.1. Origen del proyecto CIAA	2
2.2. Descripción de la placa	2
3. Instalacion de Software	5
3.1. Conceptos previos	5
3.2. Firmware de la EDU CIAA	6
3.3. Estructura de Directorios de Firmware de EDU CIAA	7
3.4. Iniciación a través de ejemplos	8
3.5. Instalación de IDE	8
4. Desinstalación	15
5. Primeros Pasos con la EDU-CIAA	15
5.1. Programación en Baremetal	15
5.2. Programacion en baremetal utilizando libreria sAPI	16

1. Introducción

En este trabajo se pretende desarrollar un tutorial que permita al usuario neófito poder iniciar sus primeros proyectos usando RTOS y comprender la arquitectura de los procesadores Cortex. Este estudio aborda en primer lugar, las características principales de la placa y la correcta instalación del software sobre Windows para permitir el desarrollo de códigos sobre ella; además se incluyen posibles problemas que puedan suceder en el proceso junto con sus soluciones.

Sobre el final de dicha sección se desarrolla una guía para la correcta configuración de el entorno gráfico, para poder ejecutar la compilación del primer ejemplo que nos indica que hemos finalizado satisfactoriamente la instalación del software de la EDU CIAA.

La siguiente sección comienza introduciendo al usuario en el uso de la placa a través de la biblioteca *sAPI* (realizada por Eric Pernia) la cual nos permite el desarrollo de programas utilizando lenguaje C, nuestro propósito es brindar una explicación simple de la arquitectura de los procesadores Cortex y a su vez brindar una base para la siguiente sección del informe.

Sobre el inicio del siguiente apartado, se introduce al usuario sobre la programación a través de el sistema operativo *OSEK OS*, el cual es el método de programación en el que se proyectó cuando se realizó el diseño de la placa. Nuestra meta es fijar las bases conceptuales principales de los sistemas operativos en tiempo real, e introducir al usuario a la programación de códigos simples y alentar al usuario a profundizar sobre este estudio.



2. Desarrollo

2.1. Origen del proyecto CIAA

Sobre julio de 2013, la Secretaría de Planeamiento Estratégico Industrial del Ministerio de Industria de la Nación (SPEI) y la Secretaría de Políticas Universitarias del Ministerio de Educación de la Nación (SPU) convocaron a la Asociación Civil para la Investigación, Promoción y Desarrollo de los Sistemas Electrónicos Embebidos (ACSE) y a la Cámara de Industrias Electrónicas, Electromecánicas y Luminotécnicas (CADIEEL) a participar en el "Plan Estratégico Industrial 2020". A partir de dicha convocatoria se inició el desarrollo de la Computadora Industrial Abierta Argentina (CIAA).

El pedido inicial fue que desde el sector académico (ACSE) y desde el sector industrial (CADIEEL) se presenten propuestas para agregar valor en distintas ramas de la economía (maquinaria agrícola, bienes de capital, forestal, textil, alimentos, etc.) a través de la incorporación de sistemas electrónicos en procesos productivos y en productos de fabricación nacional. Debe destacarse que muchas empresas argentinas de diversos sectores productivos no incorporaban electrónica en sus procesos productivos o en sus productos, otras utilizaban sistemas electrónicos obsoletos, muchas utilizaban sistemas importados y sólo unas pocas utilizaban diseños propios basados en tecnologías vigentes y competitivas.

A partir de esta situación, la ACSE y CADIEEL propusieron desarrollar un sistema electrónico abierto de uso general, donde toda su documentación y el material para su fabricación estuviera libremente disponible en internet, con el objetivo de que dicho sistema pueda ser fabricado por la mayoría de las empresas PyMEs nacionales, y realizar modificaciones en base a las necesidades específicas que puedan tener.

Hoy en día la CIAA está disponible en la versión CIAA-NXP y otras seis versiones están en elaboración: CIAA-ATMEL, CIAA-FSL, CIAA-PIC, CIAA-RX, CIAA-ST, CIAA-TI. Además, se está trabajando en el firmware y en el software, para que la CIAA se pueda programar en lenguaje C utilizando una API especialmente diseñada para ser compatible con los estándares POSIX y que sea portable a diversos sistemas operativos de tiempo real.

Desde la concepción del proyecto, el diseño de la placa se encuentra pensada para soportar las condiciones hostiles de los ambientes industriales los que abundan ruidos, vibraciones, temperaturas extremas, picos de tensión e interferencias electromagnéticas, y además se diseñó de modo tal que pueda ser fabricada en Argentina.

2.2. Descripción de la placa

La CIAA es una plaqueta electrónica provista de un microcontrolador y puertos de entrada y salida, cuyo diseño se encuentra disponible en Internet, dicha placa fue concebida para ser utilizada para sistemas de control de procesos productivos, agroindustria, automatización, entre otras; es notable destacar que gracias a la posibilidad del acceso a la información de dicha plataforma, cualquier empresa que desee utilizarla para la elaboración de sus productos puede rediseñarla; de modo que esto fomenta el diseño y la fabricación nacional de sistemas electrónicos.



Figura 1: Placa EDU CIAA

La placa EDU CIAA es la versión educativa de esta, la cual se encuentra diseñada con el propósito de conseguir una plataforma base para el desarrollo de proyectos educativos, en este caso, se busca proporcionar las bases del desarrollo de códigos utilizando RTOS.

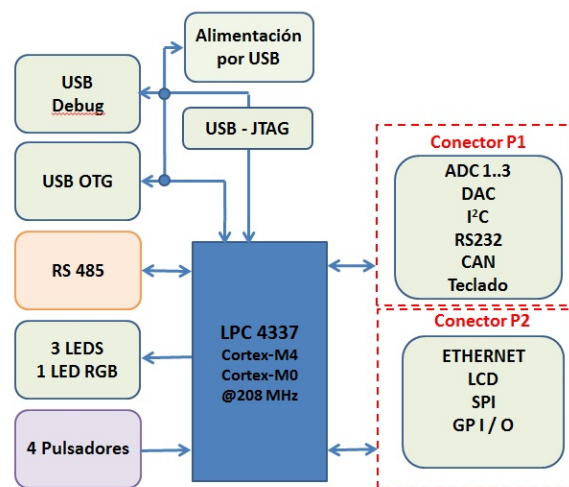


Figura 2: Diagrama en bloques de EDU CIAA basado en LPC4337.

El procesador sobre el que utiliza es el LPC4337, basado en el procesador ARM Cortex M4, utilizado para aplicaciones sobre sistemas embebidos, dicho sistema incluye el procesador Cortex M0. Utiliza una memoria flash de 1Mb, memoria de 264 kB de SRAM, memoria ROM de 64 kB, E2PROM de 16kB, y una memoria OTP de 64 bit.

La frecuencia de trabajo del procesador alcanza los 204 Mhz, una característica vital del procesador, es que provee soporte para la depuración en JTAG, con posibilidad de incluir hasta 8 breakpoints, y 4 watchpoints.

Dicho procesador nos brinda una interfaz que nos posibilita extender hasta 164 pines de entrada-salida de propósito general (GPIO), provee una interfaz USB Host/Device 2.0 de alta

velocidad con soporte para acceso directo de memoria, una interface UART 550 con soporte DMA , tres USART 550 con soporte para DMA.

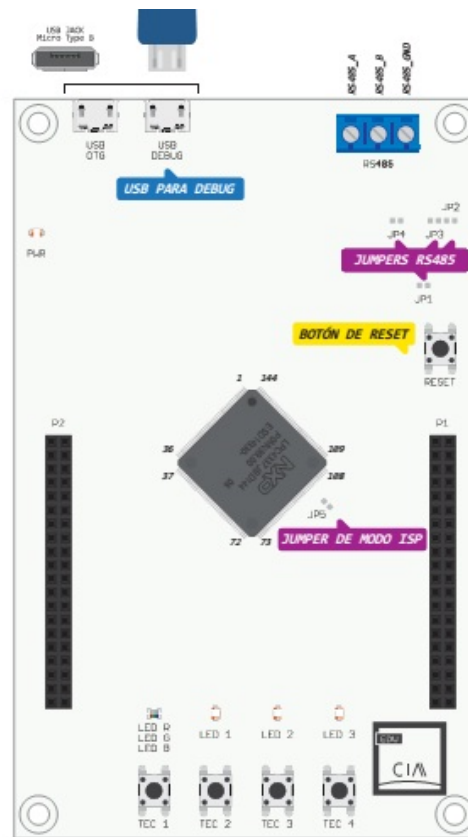


Figura 3: Imagen frontal de placa

Como perifericos analógicos, debe destacarse la inclusión de un DAC de 10 bits, con soporte DMA y frecuencia de conversión de 400000 muestras por segundo. Dos ADC's con soporte DMA, y frecuencia de conversión de 400000 muestras por segundo, con un numero máximo de 8 canales sobre cada ADC. Y un ADC de 12 bits de 6 canales con soporte DMA, y frecuencia de conversión que puede alcanzar hasta los $80,10^6$ muestras por segundo.

El cristal oscilador posee un rango de operación desde 1 Mhz hasta 25 Mhz, este procesador incluye un reloj de tiempo real de baja potencia, el cual utiliza un oscilador de cristal.

La placa provee alimentación de 3,3 V (cuyo rango oscila entre 2,2 V hasta 3,6 V), y es capaz de operar en cuatro modos, los cuales se denominan *sleep*, *deep-sleep*, *power-down*, y *deep power-down*. Es posible restablecer la operación de la placa desde los modos *deep-sleep*, *power-down*, y *deep power-down*, a través de interrupciones externas.

Sobre la Figura 1 2 se proporciona el diagrama en bloques de la placa, puede observarse que la placa cuenta con 2 puertos micro-USB (uno para aplicaciones y debugging, otro para alimentación); 4 salidas digitales implementadas con leds RGB, 4 entradas digitales con pulsadores; 1 puerto de comunicaciones RS485 con bornera. La Figura 2 3 nos muestra una imagen frontal de la placa; nótese la presencia de dos puertos sobre los cuales se ubican los pines correspondientes a la placa, la Figura 3 4 ilustra el distribución de dichos pines sobre cada puerto.

Sobre el puerto P1, se ubican los siguientes módulos:



1. 3 entradas analógicas ($ADC0_1, 2y3$)
2. 1 salida analógica (DAC0).
3. 1 puerto I2C.
4. 1 puerto asincrónico full duplex (para RS-232).
5. 1 puerto CAN.
6. 1 conexión para un teclado 3x4.

Sobre el puerto P1, se ubican los siguientes módulos:

1. 1 puerto Ethernet
2. 1 puerto SPI
3. 1 puerto para Display LCD con 4 bits de datos, Enable y RS.
4. pines genéricos de I/O.

3. Instalacion de Software

3.1. Conceptos previos

El desarrollo de codigos para sistemas embebidos tiene ciertas semejanzas con el desarrollo de aplicaciones en las PC, en nuestro caso particular se utiliza un compilador llamado *GCC* con soporte para la compilación de proyectos sobre los procesadores basados en la arquitectura ARM, en este caso particular, el compilador utilizado para el procesador de la EDU CIAA (el cual es el LPC4337) se lo denomina *arm-none-eabi-gcc*.

Para la ejecución de la depuración de algun programa previamente compilado, el hardware de la CIAA viene provisto con el chip *FT2232H*, que se encarga de hacer un puente entre la interfase JTAG del microcontrolador, y el USB que conecta a la PC en el puerto USB dedicado al debug. Mediante la herramienta de código abierto *OpenOCD* (*On Chip Debugger*) se controla el chip *FT2232H* por el USB y ademas todo lo referido al JTAG. Luego la herramienta de depuración *GDB* utilizado en el IDE-Eclipse que se instala, se comunica sobre el puerto 3333 (TCP) que el *Open OCD* tiene en escucha esperando la conexión.

Debe tenerse en cuenta que el chip *FT2232H* posee 2 canales de comunicación independientes (A y B), sin embargo, ambos salen por el mismo USB, de modo que la PC detecta 2 dispositivos distintos (en realidad es uno compuesto). Uno de ellos, se conecta al JTAG manejado por *OpenOCD* como fue mencionado, mientras que el otro se ve como un puerto virtual COM. Este último sirve principalmente para la depuración.

Dado que al funcionar como dos dispositivos distintos, para cada uno de ellos debe realizarse la instalación de un driver adecuado, en principio debe optarse por realizar la instalación de los drivers por defecto del fabricante FTDI para puerto virtual.



3.2. Firmware de la EDU CIAA

Considerando que el usuario previamente ha trabajado sobre placas de desarrollo tales como la MCE Debug, etc, y sobre microcontroladores PIC. Es necesario destacar un concepto teórico que nos brinda la posibilidad de fundamentar el trabajo sobre la placa EDU CIAA. Al trabajar sobre los otros dispositivos, es común la utilización de programas tales como *MPLABX*, o *PICC* a través del compilador *CCS Compiler*; puntualmente; cuando se inicia un nuevo proyecto a través de la herramienta de creación de la misma, es usual configurar este proyecto de manera que el software IDE genera un archivo *makefile* para la compilación del proyecto.

En este caso particular, el software IDE de la EDU CIAA trabaja de forma ligeramente distinta, el usuario debe crear un archivo *makefile* (basándose en un archivo proporcionado previamente, denominado *Makefile.config*) para poder efectuar la compilación del archivo y lograr la correcta configuración del programa, sobre la placa EDU CIAA. Dentro de dicho archivo se establece la configuración para la arquitectura del procesador utilizado. Cuando se desea realizar el primer proyecto sobre la placa, el usuario debe crear su propio archivo *Makefile.mine*, de manera que ésta se encuentra basada en el archivo *Makefile.config* brindado previamente al momento de establecer un nuevo proyecto añadiendo un Firmware que previamente ha sido diseñado por los creadores de la placa.

Debe tenerse en cuenta que la dinámica de trabajo sobre la placa se encuentra pensada para trabajar sobre la plataforma de versionado *Git*; en este caso en particular, el archivo *Makefile.mine* se encuentra diseñado de forma tal que dicho archivo sea ignorado al sincronizar su repositorio local, con su repositorio remoto (ubicado sobre *Github*).

En el *Makefile.mine* se pueden editar y configurar los siguientes parámetros:

1. **ARCH** indica la arquitectura del hardware para la cual se desea compilar. Ej: x86, cortexM4.
2. **CPUTYPE** indica el tipo de CPU. Ej: none, ia32, ia64, lpc43xx.
3. **CPU** indica la CPU para la que se desea compilar. Ej: none, lpc4337.
4. **COMPILER** es el compilador a utilizar. Ej: gcc.
5. **BOARD** es la placa sobre la cual se trabajará (CIAA-NXP, EDU-CIAA-NXP, etc.)
6. **PROJECT** es el Path al proyecto a compilar. Ej: examples\$(DS)blinking_base.

Se utiliza la variable \$(DS) para indicar el separador de directorios (de manera automática se usa '/' para linux y '\' para windows).

En el mismo *Makefile* aparecen al comienzo comentarios donde se indican los valores que pueden tomar estos parámetros.

Otro concepto importante sobre el cual se tiene en cuenta cuando se desarrollan proyectos propios, es que cada proyecto tiene también su propio archivo *Makefile*. El mismo se encuentra bajo el directorio **mak** en el directorio principal del proyecto o ejemplo. En el ejemplo **examples/blinking** el *makefile* del ejemplo se encuentra en **examples/blinking/mak** y se llama *Makefile*.

Sobre este *Makefile* contiene las siguientes definiciones:



1. **project** el nombre del proyecto y por ende nombre del ejecutable.
2. **\$(project)_PATH** es el directorio del proyecto.
3. **INCLUDE** los paths a indicar al compilador para buscar includes files.
4. **SRC_ FILES** archivos a compilar ya sean archivos c como c++.
5. **OIL_ FILES** configuración del sistema operativo (si es utilizado).

Cada proyecto incluye en su Makefile los módulos (aca digo que son los módulos) a compilar en una variable llamada MODS, por ejemplo:

—————decidir si poner como imagen o como texto
MODS += modules\$(DS)posix modules\$(DS)ciaak modules\$(DS)config modules\$(DS)bsp
modules\$(DS)platforms

Es recomendable utilizar \$(DS) en vez de / o para mantener la compatibilidad entre sistemas operativos (Linux, Windows, MAC OS).

3.3. Estructura de Directorios de Firmware de EDU CIAA

En el directorio principal luego de hacer un git clone o al bajar una release oficial se pueden encontrar los siguientes Directorios y Archivos:

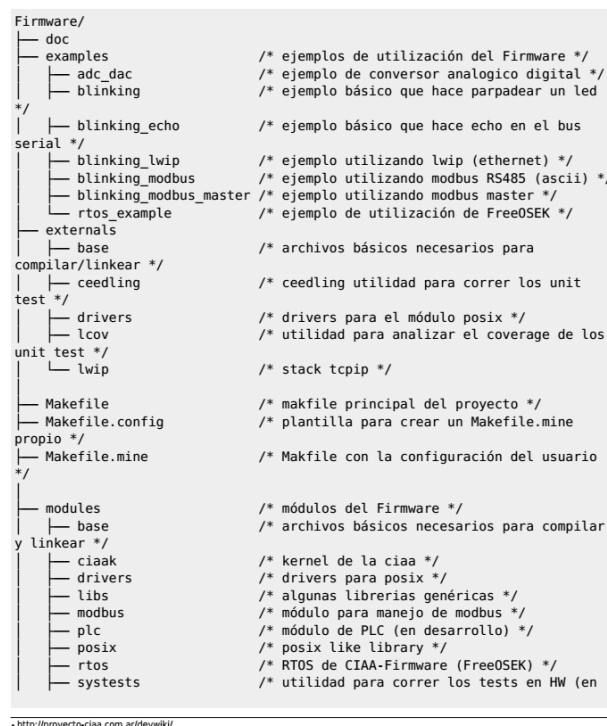


Figura 4: Estructura de directorios del Firmware

Directorio "externals" (Software y Tools Externos)

Este directorio contiene el Software y Tools externos al CIAA-Firmware, que son necesarios para



ceedling	Tool utilizada para los Unit Tests o Pruebas Unitarias
base	Fuentes, headers y linker scripts necesarios para poder compilar y linkear el código en la plataforma
drivers	Drivers provistos por el proveedor del chip, los cuales son luego adaptados al formato de la CIAA.

Cuadro 1: Tabla1

compilar, testear, etc. el Firmware. Tenga en cuenta que el Software y Tools en esta carpeta no son parte de CIAA-Firmware y pueden contener otras licencias. Sobre la 1 se ilustra los contenidos del directorio y su descripción.

modules (out (Archivos de salida)

La 2 contiene todos los archivos generados por el CIAA-Firmware:

bin	Contiene el binario del proyecto, es el archivo que se va a correr en la PC o a cargar en el CIAA-Firmware
gen	Archivos generados de OSEK RTOS
lib	Por cada Módulo el make genera un archivo .a, osea una librería
obj	Todos los archivos fuentes son compilados a object files y almacenados en este directorio

Cuadro 2: Tabla 2

3.4. Iniciación a través de ejemplos

Sobre el Firmware de la placa se distribuyen varios ejemplos los cuales se encuentran en la carpeta **examples** y pueden ser utilizados como base para iniciar cualquier proyecto. Cualquiera de los ejemplos puede ser copiado y utilizado de base para nuevos proyectos. Por ejemplo con el siguiente comando: `cp -r examples/blinkingsprojects/my_project`

Y adaptando el Makefile.mine indicado: `PROJECT_PATH = projects/my_project`.

3.5. Instalación de IDE

El entorno de desarrollo integrado (IDE) posibilita el trabajo en un ambiente ameno, tambien provee las herramientas necesarias para el desarrollo de aplicaciones en el Firmware de forma automatica. La CIAA utiliza una version modificada de la plataforma de software (IDE) *Eclipse*, denominada *CIAA-Software-IDE*, la cual contiene herramientas de programación tales como editor de texto, compilador, plataforma para depuración, etc. Sobre la página web del proyecto, se provee un instalador llamado *CIAA-IDE-SUITE*, desde donde se puede configurar automáticamente todas las herramientas necesarias para trabajar con la placa. Este instalador solamente es para los usuarios que poseen Windows XP o superior.

El paquete de instalación incluye:

1. **Eclipse**
2. **PHP (Hypertext Pre-processor)** es un lenguaje de programación de uso general de código desde el lado del servidor, originalmente diseñado para el desarrollo de contenido dinámico. En este caso, se utiliza solamente en forma de scripts para poder generar algunos archivos del **Sistema Operativo OSEK**

3. **Cygwin** es una consola que se ejecuta en Windows, de modo de emular la consola de comandos de Linux. Cuenta con todos los comandos, y el compilador GCC, propio del sistema operativo libre.

Una vez realizada la descarga del instalador, se ejecuta dicha aplicación, la figura 5 muestra el arranque del instalador, sobre ella, debe seleccionarse *Siguiente*



Figura 5: Arranque del instalador del software IDE

A continuación se presenta la siguiente ventana, sobre ella deben aceptarse los términos de uso:

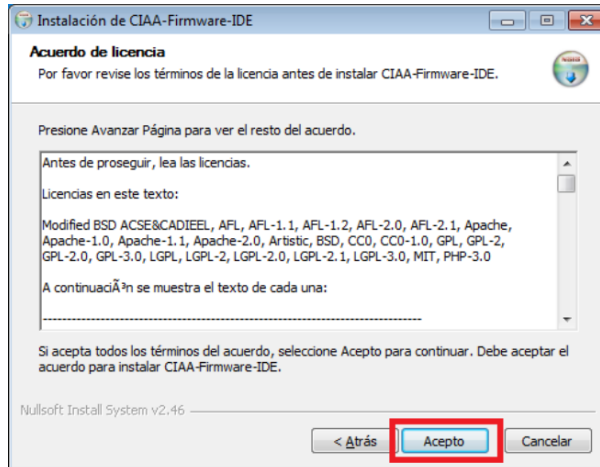


Figura 6: Arranque del instalador del software IDE

Sobre la ventana siguiente deben elegirse cuáles componentes se desea instalar, en el caso que el usuario no posea la placa disponible, no es necesario instalar los drivers, si se adquiere dicha placa en un momento posterior, dado que los drivers se instalan junto con el IDE, los mismos quedarán en la carpeta de destino para su instalación en forma manual; otra forma de instalar los controladores es ejecutar el instalador del CIAA-IDE Suite y tildar únicamente la opción **drivers** al momento de seleccionar los componentes a instalar. La figura 6 ilustra lo explicado anteriormente.

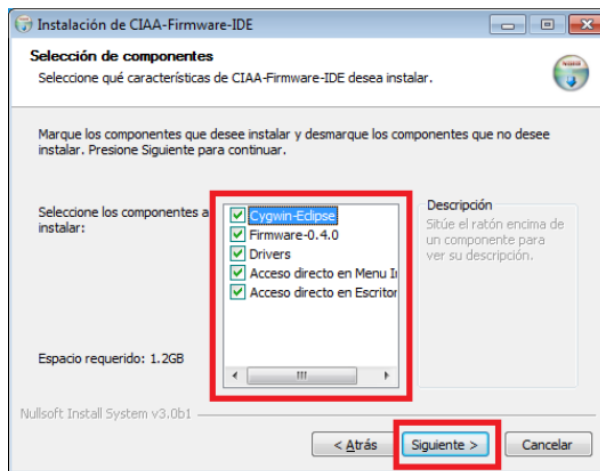


Figura 7: Selección de componentes del instalador

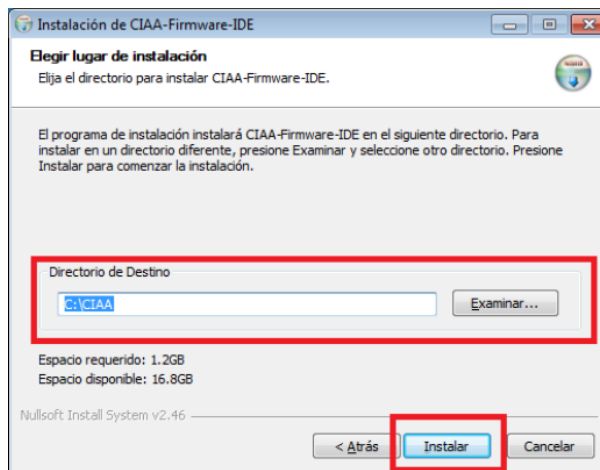


Figura 8: Elección de la ruta de instalación

A continuación debe establecerse la dirección en donde se desea instalar el entorno. La ventana que corresponde a este proceso se ilustra en la Figura 8. En caso de que se desee cambiar dicha dirección, debe tenerse la precaución de no elegir una dirección donde los directorios posean espacios en sus nombres. Es recomendable no cambiar la unidad de instalación, pues en los siguientes pasos del documento se utilizarán direcciones que harán referencia a esta carpeta de instalación, y si se cambia, se deberán cambiar consecuentemente dichas direcciones.

Luego de dicha configuración, se inicia automáticamente el proceso de instalación. En un momento aparecerá una ventana emergente, similar a la que se muestra en la Figura 9 en donde el programa pregunta si disponemos del hardware, pues para la instalación del driver es necesario conectar la placa. De no ser así, aún puede continuar la instalación haciendo click en 'No'. Por el contrario, si disponemos de la EDU-CIAA, hacemos click en 'Yes', y emergerá otra ventana, como se muestra en la Figura 11

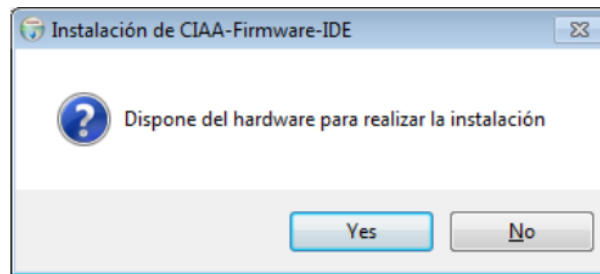


Figura 9: Instalación de los drivers: primera instancia

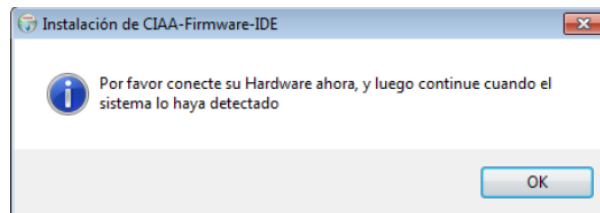


Figura 10: Instalación de drivers si se dispone del hardware

Una vez finalizada esta etapa, se procede a la instalación de los drivers por defecto del fabricante FTDI para puerto virtual. Este proceso se ilustra en las figuras 11 ,12,13.

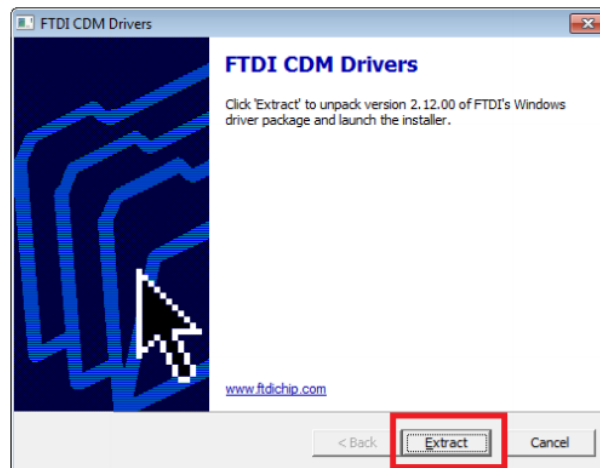


Figura 11: Instalador de drivers FTDI parte 1

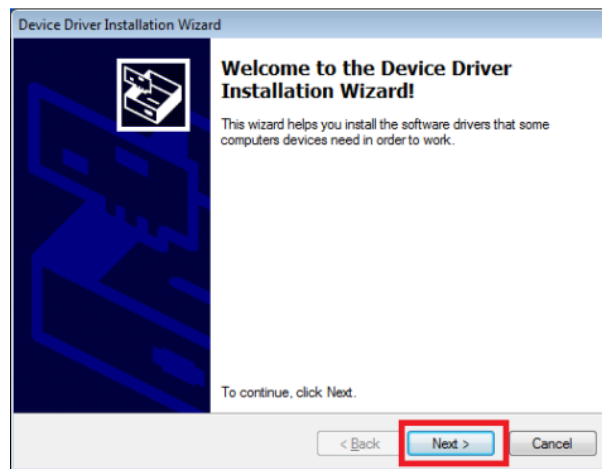


Figura 12: Instalador de drivers FTDI parte 2

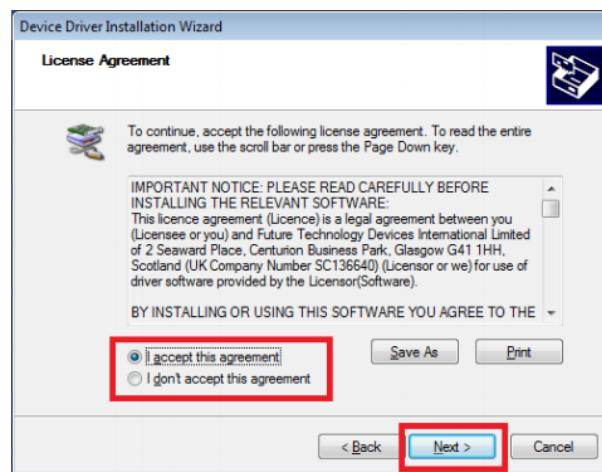


Figura 13: Instalador de drivers FTDI parte 3

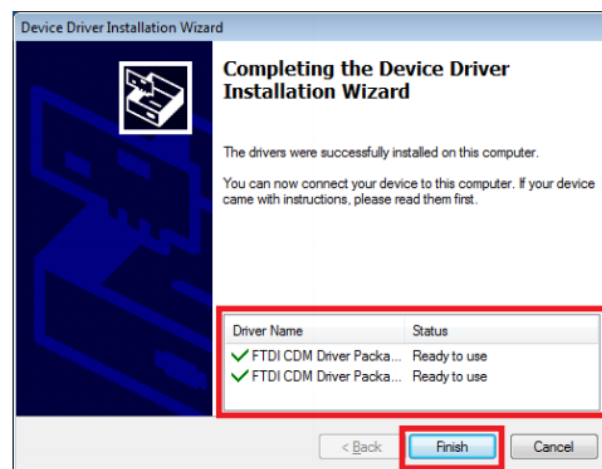


Figura 14: Instalador de drivers FTDI parte 4

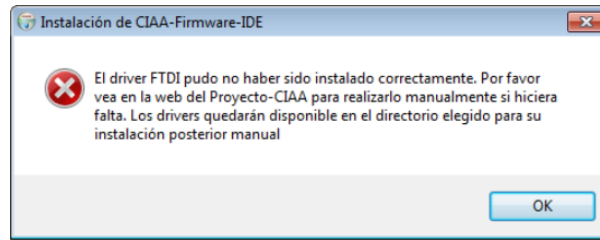


Figura 15: Instalador de drivers FTDI parte 4

Una de las posibles fallas que pueden surgir a través de este proceso, se presenta al producirse una falla en la comunicación a través del puerto virtual FTDI, que impide la correcta comunicación entre la placa y el entorno IDE. Su corrección debe efectuarse manualmente, fuera del instalador, y es posible la aparición de una ventana de error emergente como la que se muestra en la figura 15.

El instalador incluye en la carpeta donde se instaló el software (Por defecto, $C : /CIAA$) un programa que configura el driver del controlador serie, emulado por la placa, para que uno de ellos pueda ser utilizado como interfaz JTAG. Dicho programa se llama *Zadig_Win_7_2.1.1.exe*, la figura 16 nos muestra una ilustración de la ubicación del programa.

Nombre	Fecha de modifica...	Tipo	Tamaño
cygwin	29/08/2016 13:05	Carpeta de archivos	
Firmware	29/08/2016 21:21	Carpeta de archivos	
IDE4PLC	28/08/2016 0:17	Carpeta de archivos	
Linux	28/08/2016 0:17	Carpeta de archivos	
local-repo	28/08/2016 0:16	Carpeta de archivos	
usbdriver	28/08/2016 0:17	Carpeta de archivos	
driver_winusb_zadig_ft232h	10/04/2015 16:43	Imagen PNG	25 KB
Setup_Win_7_FTDI_2.12.00	08/06/2015 10:15	Aplicación	2.188 KB
SetUsers	31/03/2015 10:49	Archivo por lotes ...	2 KB
uninstall	29/08/2016 13:26	Aplicación	61 KB
zadig_Win_7_2.1.1	08/06/2015 10:16	Aplicación	5.069 KB

Figura 16: Instalador de drivers FTDI parte 4

Al abrir la aplicación, se presenta la Figura 17. Antes de proceder, el usuario debe conectar la placa, posteriormente, debe abrir el menú contextual *Options* y presionar sobre *List all devices*

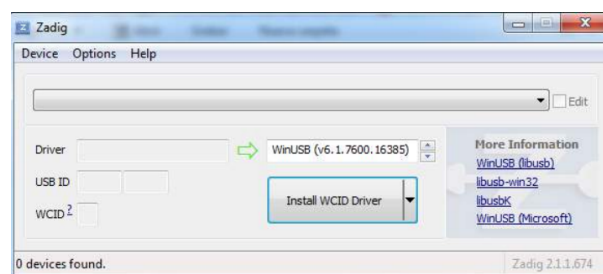


Figura 17: Entorno del software corrector Zadig para Windows

Aparecerá una lista de dispositivos de comunicación relacionados al USB. Tenemos que buscar aquellos cuyos nombres tengan relación con el puerto serie (puede aparecer Dual RS232-HS, USB Serial Converter, o algo similar).

Por lo general, aparecerán 2 con el mismo nombre, excepto que uno es Interface 0 y el otro Interface 1, como se muestra en la Figura 18 (la lista de drivers que se muestra puede diferir, dependiendo de la computadora que se utilice).

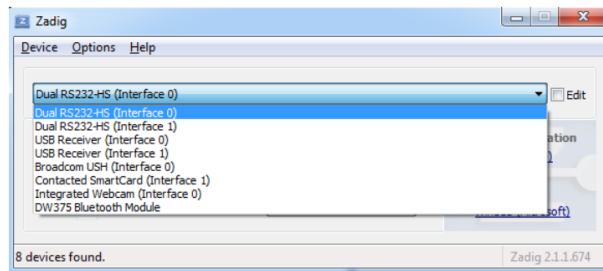


Figura 18: Lista de dispositivos vinculados a USB

Para configurar el driver:

- 1 seleccionar la **Interfase 0**
- 2 elegir el “**WinUSB v6.1**”
- 2 hacer click en el botón “**Replace Driver**”.

La Figura 19 muestra la ventana ya configurada:

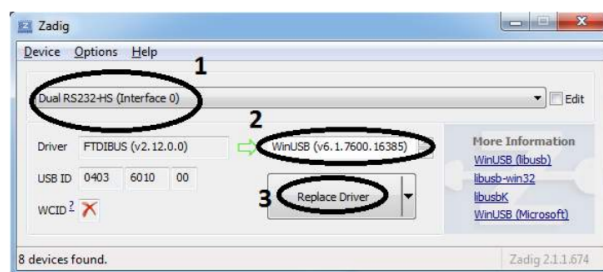


Figura 19: Configuración del Zadig para el reemplazo del driver

4. Desinstalación

Si se instaló el Software de CIAA-IDE y luego se desea desinstalarlo, se debe tener especial cuidado en quitar cualquier contenido que se quiera conservar de la carpeta $C : _ CIAA$, o el directorio de instalación elegido. Esto se debe a que el desinstalador del Software CIAA-IDE elimina el directorio y todo su contenido.



5. Primeros Pasos con la EDU-CIAA

5.1. Programación en Baremetal

Si bien el objetivo de este tutorial es introducir al usuario en la programación mediante *RTOS OSEK*, es conveniente comenzar a explicar previamente como implementar proyectos en Baremetal, éste método de programación se destaca por no utilizar SO alguno; de modo que permite una transición mas natural hacia los temas posteriores.

El primer ejemplo que se presenta ejecuta el encendido intermitente de los cuatro leds instalados en la placa. Sobre las placas del tipo *LPC43XX/LPC43SXX*, los pines digitales se encuentran agrupados en 16 conjuntos de pines, los cuales se encuentran definidos desde P0 a P9, y desde PA hacia PF; cada uno de estos pines soporta hasta 8 diferentes funciones digitales, entre ellas se incluye la función *General Purpose I/O*, el cual es seleccionable a través de la configuración de registros de pines SCU. La Unidad de Control del Sistema (SCU) determina la función y el comportamiento eléctrico de la mayoría de los pines del LPC4337, por defecto, se selecciona la función digital 0 (que corresponde a la habilitación de las resistencias de pull-up) para todos los pines.

Algunos de estos pines, soportan la multiplexación entre funciones digitales y analógicas, sin embargo, todas las entradas y salidas de los pines que corresponden a el ADC y/o DAC pueden configurarse sin establecer esta multiplexación, además, el SCU contiene registros que establecen la configuración de la función del pin multiplexado.

Otra funcionalidad que utiliza este ejemplo es el *RIT (Repetitive Interrupt Timer)*, el cual provee una forma versátil de generar interrupciones repetitivas en intervalos de tiempo específicos, y puede utilizarse como alternativa al *Systick Timer*. Dicho timer consta de un contador de 32 bits que puede incrementarse de forma libre, o puede reiniciarse mediante una interrupción generada. El funcionamiento de este Timer puede describirse de la siguiente forma:

A partir del reinicio, el contador empieza a incrementar desde *0x00000000*. Cuando el valor del contador iguala el valor programado en el registro *COMPVAL*, se establece en alto el flag que corresponde a la interrupción del Timer. Cualquier combinación de bits del registro *COMPVAL* pueden ser enmascarada a través de un registro *MASK*. Si el bit *enable_lr* se encuentra en bajo (estado por defecto), una comparación válida solamente causa que el flag de interrupción se establezca; mientras que si el bit *enable_lr* se encuentra en alto, se establece el reinicio del conteo.

Este ejemplo utiliza la librería *LPCOpen* correspondiente a la placa *LPC4337*, con el objetivo de permitir la configuración correspondiente de los pines digitales y de la configuración del timer, independizándose de el hardware utilizado, esto implica que el usuario no necesita conocer en profundidad la arquitectura del procesador.

Las siguientes instrucciones permiten la configuración del pin digital que corresponde al Led 1 de la placa; teniendo en cuenta que el diagrama de distribución de pines de la misma indica que el pin 10 del puerto 2 corresponde al puerto 0 y el pin 14 del registro de GPIO del SCU.

```
Chip_GPIO_Init(LPC_GPIO_PORT);
Chip_SCU_PinMux(
2,
10,
SCU_MODE_INACT | SCU_MODE_ZIF_DIS,
SCU_MODE_FUNC0
);
```



```
Chip_GPIO_SetDir( LPC_GPIO_PORT, 0, ( 1 << 14 ), 1 );  
Chip_GPIO_SetPinState( LPC_GPIO_PORT, 0, 14, 0 );
```

La función que corresponde a la subrutina de atención de la interrupción provocada por el Timer RIT, se la especifica como *RIT_IRQHandler*. Mientras que las siguientes instrucciones realizan la inicialización y la configuración del mismo:

```
Chip_RIT_Init(LPC_RITIMER);  
Chip_RIT_SetTimerInterval(LPC_RITIMER,250);  
NVIC_EnableIRQ(RITIMER_IRQ);
```

Al establecer el decrecimiento de un contador sobre la subrutina de atención de la interrupción, se provoca una temporización determinada por el usuario, a través de la configuración del intervalo mediante la instrucción *Chip_RIT_SetTimerInterval*

5.2. Programación en baremetal utilizando librería sAPI

Debido a que la programación de la placa en Baremetal puede tornarse un tanto engorrosa en principio, es posible utilizar una librería diseñada para la implementación de proyectos en Baremetal con la placa EDU CIAA, dicha librería se la denomina *sAPI*. Esta biblioteca implementa una API simple para la programación de dicha placa, es necesario comentar que una API es una interfaz de programación de aplicaciones, y consta de un conjunto de subrutinas, funciones y procedimientos (o métodos, en la programación orientada a objetos) que ofrece cierta biblioteca; para permitir ser utilizada por otro software como una capa de abstracción en la programación (aunque no necesariamente) entre los niveles o capas inferiores y las superiores del software.

La motivación para el desarrollo de la biblioteca sAPI surge de la necesidad de manejar los periféricos directamente desde una máquina virtual de Java para el desarrollo de Java sobre la CIAA y corresponde a la parte de bajo nivel de las clases de periféricos en Java que básicamente bindea a funciones escritas en C. Luego se extendió la misma para facilitar el uso de la EDU-CIAA-NXP a personas no expertas en la arquitectura del LPC4337 facilitando el uso de esta plataforma.

La idea es tener periféricos abstractos y lo más genéricos posibles. Que sea bien independiente de la arquitectura y en lo posible que las funciones sean todas del tipo:

- moduloConfig();
- moduloRead();
- moduloWrite();

Los siguientes módulos están incluidos:

- Tipos de datos.
- Mapa de periféricos.
- Plataforma.
- Tick.
- Retardo.



- E/S Digital.
- E/S Analógica.
- Uart.

Es necesario destacar que actualmente se encuentra disponible para las plataformas EDU CIAA NXP (microcontrolador NXP LPC4337) y para la plataforma CIAA NXP (microcontrolador NXP LPC4337). La figura 20 ilustra gráficamente como son las distintas capas de software y la correspondiente ubicación de la *sAPI*.

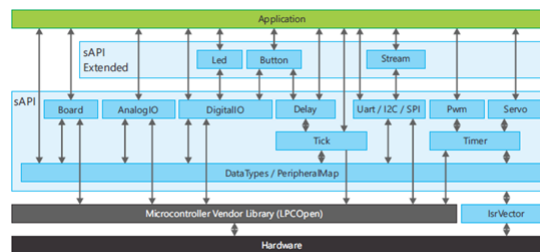


Figura 20: Capas de abstracción de software

Referencias