

Simulando Processador MIPS Pipelined Logisim Evolution

Gabriel Soltovski GRR20222546

Jean Pablo GRR20224382

Ricardo Quer GRR20224827

Agosto 2024

1 Introdução

O relatório evidencia um processador MIPS Pipelined, com um tamanho de 8 bits, baseado na arquitetura RISC-V. Esse trabalha com adaptações realizadas na arquitetura do processador, como registradores, unidades aritméticas e lógicas realizadas dentro do processador.

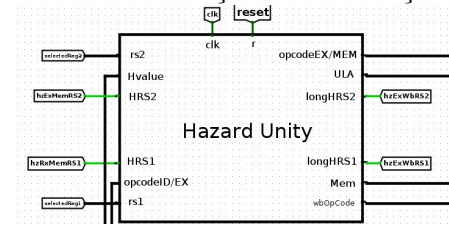
2 Adaptações Realizadas na Arquitetura

O projeto iniciou-se como um processador parcialmente desenvolvido na arquitetura RISC-V, porém, teve de ser adaptado para palavras de tamanho de 8 bits. As modificações foram realizadas desde os registradores da arquitetura até a ULA, para recepcionar a nova arquitetura.

3 Módulo de Hazard de Dados

Um módulo de dados foi implementado para gerenciar as instruções em que o processador necessita de instruções que possuem conflito em

leitura e escrita das instruções lidas pelo processador. Esse circuito foi essencial para o bom gerenciamento e execução das instruções.



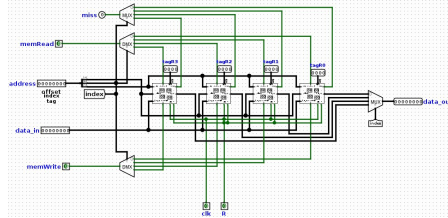
- Controle de Hazard Curto RS1: V3.0
Hex Word Addressed 0 : 1 1 1 1 1 1 1 1
1 1 1 1 1 1 0 1 0
- Controle de Hazard Curto RS2: V3.0
Hex Word Addressed 0 : 1 0 1 1 0 1 0
1 1 1 1 0 1 1 1 0

4 Instruções do RISC-V

As instruções associadas ao circuito foram escritas e desenvolvidas na linguagem Assembly RISC-V. Como o foco do trabalho foi a eficiência, foram utilizados dois registradores para acomodar os 8 bits necessários da arquitetura adaptada.

5 Memória Cache

Duas funções da memória cache foram implementadas: o mapeamento direto e o write back. O mapeamento direto foi utilizado para melhorar o desempenho e otimizar o acesso à memória do processador, enquanto o write back garantiu a eficiência no armazenamento de dados de volta à memória principal.



6 Implementação do Pipeline

A implementação do pipeline foi essencial para o desenvolvimento do processador. Esse circuito foi importante para a execução das instruções. Com ele, foi possível o paralelismo durante o processamento de informações, e, consequentemente, aumentou a taxa de execução das instruções.

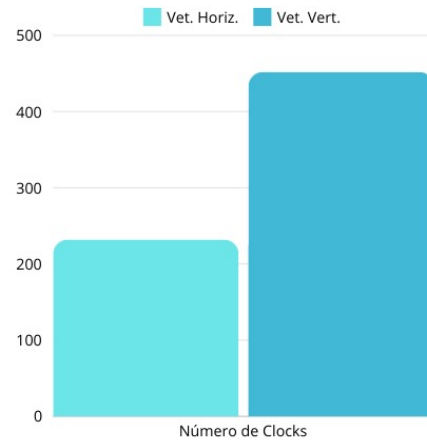
7 Instruções de Desvio (Branch)

Instruções de desvio foram integradas ao conjunto de instruções, permitindo desvios, como o incondicional e condicional, durante o fluxo de execução do programa. Com isso, tivemos a capacidade de controle de fluxo do processador.

8 Teste e Resultados

O sistema foi submetido a testes variados com a finalidade de levar o programa ao seu máximo, sendo assim, possível validar a funcionalidade de todos os componentes do processador. Benchmarks e testes específicos foram realizados para assegurar a eficiência e a confiabilidade do processador de 8 bits com arquitetura modificada do RISC-V.

Fizemos testes com contadores de clock, e para as instruções de vetor horizontal, e vetor vertical, as diferenças são as que estão representadas nos gráficos a seguir:



9 Conclusão

A implementação do processador de 8 bits baseado em RISC-V foi um sucesso e bem realizada. Foi evidente que, após a implementação do pipeline, do hazard de dados, da memória cache e das instruções de desvio (branch), o funcionamento eficiente de um processador foi alcançado. Este projeto é considerado um avanço na arquitetura de computadores, de baixo custo e alta eficiência em casos específicos.