

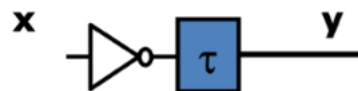
ARCHITETTURE DI CALCOLO LEZIONE 8

Ritardo dei Gate

Idealmente un gate riceve un valore di input e restituisce in output in modo istantaneo. Nella realtà si ha, tuttavia, un ritardo tra ingresso ed uscita, solitamente indicato come τ .

Ad esempio, a destra osserviamo un circuito NOT con un ritardo nell'uscita τ ; tale ritardo indica che, quando si ha in input un valore x , il valore di y esce con un certo delay.

Questo Gate come se producesse un ritardo dell'uscita, quindi per esempio qui abbiamo porta not che, questo simboletto qui messo in una scatolina all'uscita della not è come se ci stesse dicendo che si entra una x ma il valore di y che sarebbe il contrario del valore della x , non esce subito ma esce con un piccolo delay, questo delay è un ritardo.



Modello di gate con ritardo

Nei ritardi si distinguono:

- Fronte di salita: quando si passa da un segnale basso ad uno alto;
- Fronte di discesa: da segnale alto a basso.

Di solito, si parla di un ritardo generale detto ritardo tipico, che racchiude entrambe le tipologie (nel nostro corso non tratteremo separatamente i ritardi).

Nell'esempio a sinistra si osservano:

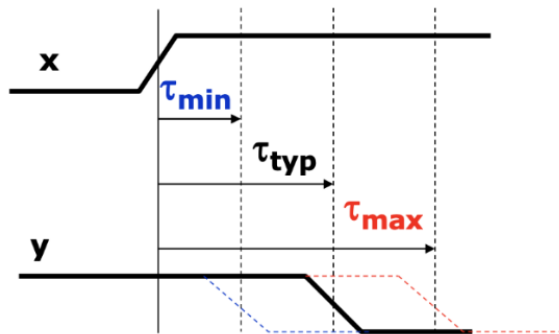
In realtà i ritardi si possono distinguere in due tipi di ritardi, sul fronte di salita e sul fronte di discesa, cosa si intende per fronte di salita e fronte di discesa ?

Il fronte di salita è quello che un segnale affronta quando passa da un segnale basso ad uno alto, mentre il fronte di discesa quando passa da un segnale alto ad uno basso; in generale non ci concentriamo sul considerare i ritardi di salita e di discesa separatamente, parliamo genericamente di un ritardo e quindi ragioneremo sempre sul cambiamento del segnale.

Il segnale a un certo punto cambia di valore, si trasforma da 0 a 1, ma il passaggio non avviene su una linea verticale che da zero a uno; questa tensione che vale per esempio 0,5 volt deve arrivare per esempio a 5 volt, ma non ci arriva subito ma arriva con pendenza, quindi il tempo che intercorre tra un valore 0,5 il valore 5 più è piccolo più ha fluidità questo fronte di salita minore è il ritardo, minore è quindi il tempo che intercorre nel passaggio da zero a uno.

Quindi chiaramente noi vorremmo che la curva della x pari a 0 sale direttamente in alto e arrivi a 1, ma nella realtà c'è sempre uno scivolo sia a salire sia a scendere, quindi c'è una fase, quella intermedia in cui il valore della x non è in realtà né 0 né 1, perché come abbiamo visto quando il valore della tensione si trova ad esempio tra 0,5 e 4,5 (poiché si considera 0v come valore 0 e 5v come valore 1) il valore della x non è determinato, e questo piccolo periodo è si spera trascurabile ma se questa pendenza dovesse essere molto limitata c'è un periodo piuttosto lungo in cui questo valore non è determinato.

- Il ritardo minimo (τ_{min}), dovuto al passaggio della X da un valore basso ad uno alto (fronte di salita);



- Il ritardo tipico (τ_{typ}), una media che indica il ritardo generale del circuito;
- Il ritardo massimo (τ_{max}), dato dalla somma del ritardo dovuto al passaggio della Y da un valore alto ad uno basso (fronte di discesa) al ritardo tipico.

Questi ritardi sono dati essenzialmente dal fatto che le variabili non scattano da un valore ad un altro in modo diretto ma tramite uno “scivolo”, sia in

salita che in discesa.

Si hanno, quindi, momenti in cui la variabile ha un valore indeterminato compreso tra 0 ed 1.

Il gap indicato che intercorre fra quando riceviamo il segnale in ingresso e quando tiriamo fuori il segnale in uscita, dovuto al fatto che il valore di y non cambia istantaneamente come il valore di x, qui abbiamo X pari a zero e y pari a 1, x diventa poi pari a uno e la y 0, la y dovrebbe quindi diventare istantaneamente pari a 0 ma come vedete c'è un ritardo in questa zona, poi c'è un fronte di discesa e poi diventa pari a 0, da quando cambia il valore della x a quando cambia quello della y c'è un intervallo, questo intervallo è in realtà un ritardo tipico che ad esempio potrebbe essere di 5 millisecondi e che in realtà oscilla in un range.

Dobbiamo considerare che tutti i dispositivi fisici ovviamente hanno delle specifiche, le quali non sono precisissime, per cui il ritardo tipico oscilla in un range rappresentato da un minimo ed un massimo.

Spesso tali pendenze sono trascurabili ma può a volte succedere che influenzi l'output.

Alea statica

I ritardi di propagazione possono determinare una temporanea variazione dell'uscita di una rete combinatoria in risposta ad una sequenza di due ingressi, a seguito dei quali sarebbe, invece, dovuta rimanere costante (glitch).

Cosa comporta il fatto che ci siano dei ritardi nei nostri dispositivi ?

Succede spesso che quando andiamo a comporre una rete combinatoria composta da tantissime porte, questi ritardi si possono sommare fra loro e di conseguenza possono manifestarsi come degli errori tecnici, che in gergo tecnico vengono chiamati GLITCH.

Ad esempio, nel caso di un semplice circuito ideale OR tra due variabili $x_1=1$ e $x_2=0$ non ci sono variazioni temporanee nell'output causate dal passaggio delle variabili da 0 ad 1 e viceversa, dato che è istantaneo.

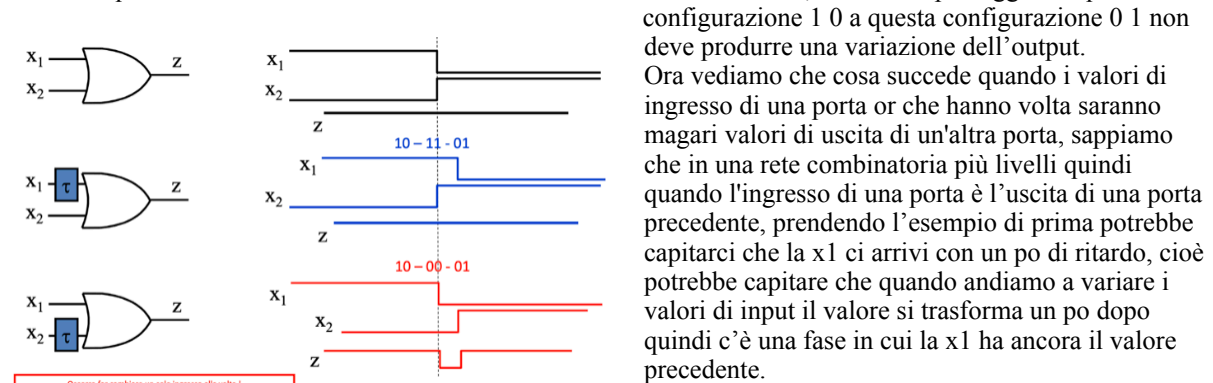
Nel contesto dei circuiti combinatori diciamo si usa denominare il fenomeno della cosiddetta alea statica, una fase temporanea in cui si ha una variazione dell'uscita di un circuito combinatorio o di una porta combinatoria che non è coerente con il valore di ingresso, quindi ad esempio potrebbe capitare che i dati di ingresso in una porta and entrano due valori, uno e zero, l'uscita anziché essere zero è uno.

Queste alea per loro natura sono sempre temporanee, cioè durano per un periodo di tempo breve quest'alea è ovviamente intesa un valore aleatorio ovvero non deterministico.

Se si ha un ritardo nell' x_1 (indicato in blu), vediamo che non si hanno glitch poiché l'OR dà 1 in tutti e tre i casi (10, 11, 01).

Se, invece, si ha un ritardo nell' x_2 vediamo che si ha una fase in cui entrambe le variabili sono 0 e si ha, quindi, un temporaneo output di 0 (scorretto).

Vediamo un paio di esempi, consideriamo questa porta or con due ingressi x_1 e x_2 e con uscita Z , abbiamo x_1 pari a 1 e x_2 pari a 0, chiaramente l'uscita sarà pari a 1, in questo momento qui i valori di x_1 e x_2 vengono cambiati quindi x_1 diventa 0 e x_2 diventa 1 ma il risultato deve rimanere 1, in teoria il passaggio da questa

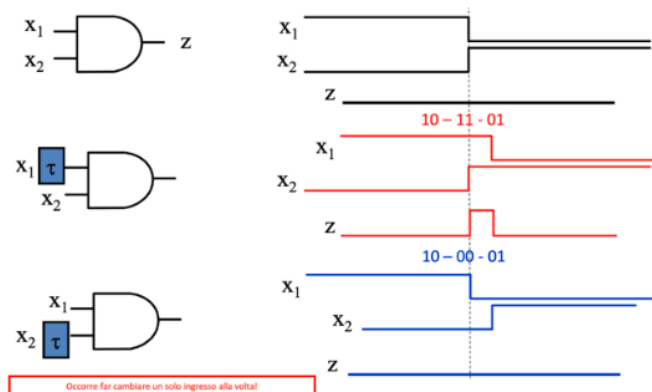


In questo caso avremmo dei problemi ?

L'output assume un valore scorretto ?

No, la or in questo caso ci restituisce comunque uno, ma il fatto è che la variabile ha comunque per uhm breve lasso di tempo un valore che non dovrebbe avere.

Mettiamoci ora in un altro scenario, qui abbiamo sempre la porta or che però questa volta riceve la x_2 in ritardo, quindi avremo la x_1 che senza ritardo vale 0 e la x_2 che dovrebbe valere 1 ma il suo input ci arriva in ritardo, per cui in questo intervallo di tempo la x_2 vale ancora 0, per cui in questo caso il valore di output quindi la Z vale 0 dandoci questa alea ovvero questo valore che momentaneamente è scorretto.



Il metodo migliore per evitare questo inconveniente è cambiare un solo ingresso per volta.

Osserviamo che, anche nel caso di porta AND, se il circuito è ideale non si hanno variazioni di output anomale quando si verifica una variazione contemporanea degli ingressi.

Con un ritardo di x_1 si ha un momentaneo glitch che porta all'uscita di 1, invece di 0.

Nel caso di ritardo in x_2 non si presenta il problema.

Ovviamente anche qui il problema si risolve cambiando una sola variabile per volta.

Chiaramente non possiamo fare dei ragionamenti sulle combinazioni, ma dobbiamo cercare delle soluzioni che non ci creino mai dei problemi, e la soluzione in caso della or è di far cambiare un solo valore per volta, quindi di non far variare contemporaneamente entrambi i valori; cambiando un solo valore per volta il problema dell'alea non si manifesta, la stessa cosa vale quindi per la porta and.

ESERCIZI

Esercizio 1

Data la seguente tabella di verità:

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

- Scrivere la forma canonica SP:
- Costruire la corrispondente mappa di Karnaugh
- Usare la mappa di Karnaugh per determinare un'espressione minima SP
- Disegnare lo schema logico dell'espressione minima determinata al passo precedente

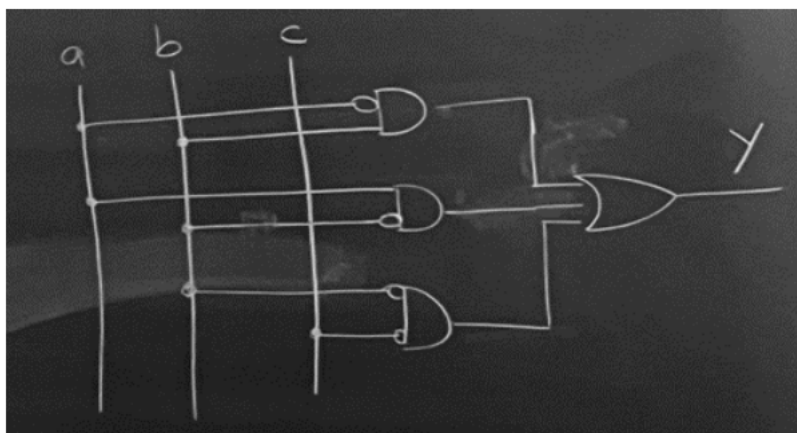
1. Per scrivere l'espressione della funzione in prima forma canonica (somma di prodotti) bisogna considerare sole le righe della tabella che hanno output (Y) pari a 1 (evidenziate). Si scriveranno in forma vera le variabili uguali a 1 ed in forma negata le variabili pari a 0.

Forma SP $\rightarrow \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}BC + A\bar{B}\bar{C} + A\bar{B}C$

2. Si costruisce una mappa di Karnaugh rettangolare in quanto vi sono tre variabili (A, B, C). Si ricorda che i valori delle variabili possono differire al più di un bit, per cui non si scriverà nella mappa 00, 01, 10, 11 (ordine crescente) ma 00, 01, 11, 10.

A \ BC	BC			
	00	01	11	10
0	1	0	1	1
1	1	1	0	0

3. Si realizzano i raggruppamenti in forma SP, quindi, considerando solo le celle aventi valore 1 (in rosso nella mappa)
Espressione minima $\rightarrow BC + AB + AB$
4. Si crea il circuito utilizzando tre porte AND (moltiplicazione), tre NOT ed una porta OR (addizione)



Esercizio 2

Data la seguente tabella di verità:

- Costruire la mappa di Karnaugh
- Determinare un'espressione minima SP e PS
- Disegnare lo schema logico

A	B	C	Y
0	0	0	-
0	0	1	1
0	1	0	-
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	-

1. Si costruisce una mappa di Karnaugh rettangolare in quanto vi sono tre variabili (A, B, C). Nella prima riga sono indicati tutti i possibili valori assunti dalla coppia "BC" mentre nella prima colonna vi sono i valori della variabile "A".

A\BC	00	01	11	10
0	-	1	0	-
1	1	1	-	0

2. Bisogna realizzare una copertura minima per poter ottenere un'espressione minima della funzione.

Procediamo prima creando un RR in forma SP, quindi raggruppando gli 1 ed i valori indifferenti, per poi riportare nell'espressione minima le variabili che valgono 1 in forma vera e le variabili che valgono 0 in forma negata.

A\BC	00	01	11	10
0	-	1	0	-
1	1	1	-	0

Espressione minima $\rightarrow B$

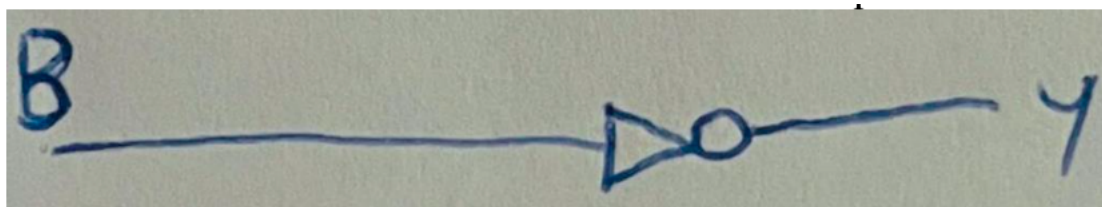
Si crea ora un RR in forma PS, quindi, raggruppando gli 0 ed i valori indifferenti, per poi riportare nell'espressione minima le variabili che valgono 0 in forma vera e le variabili che valgono 1 in forma negata.

A\BC	00	01	11	10
0	-	1	0	-
1	1	1	-	0

Espressione minima $\rightarrow B$

Si può notare come le due espressioni siano equivalenti e, quindi, diano vita allo stesso circuito.

3. L'unica variabile del circuito è la B che entra in una porta NOT.



Esercizio 3

Si consideri una semplice body sensor network (BSN) composta da quattro sensori (P, C, T, O) che misurano i seguenti parametri:

- Pressione sanguigna (sensore **P**)

- Frequenza cardiaca (sensore **C**)
- Temperatura corporea (sensore **T**)
- Livello di ossigeno nel sangue (sensore **O**)

Si supponga che ciascun sensore produca un'**uscita digitale ad 1 bit**, dove:

- **0** = valore **normale**.
- **1** = valore **anormale**.

Ad esempio, P=0 significa che la pressione sanguigna è normale, mentre P=1 indica un valore di pressione anormale.

Si progetti un circuito combinatorio che riceve in ingresso le uscite digitali dai sensori e produce in uscita un **numero binario a 2 bit** che può rappresentare quattro possibili situazioni:

- **00** (situazione di **benessere**): almeno 3 dei 4 sensori registrano un valore normale.
- **01** (situazione di **sofferenza**): pressione sanguigna e frequenza cardiaca sono anormali, mentre gli altri 2 parametri sono normali.
- **10** (situazione di **pericolo**): esattamente 3 sensori registrano un valore anormale.
- **11** (situazione di **emergenza**): tutti e 4 i sensori registrano un valore anormale.

Eventuali situazioni aggiuntive, oltre alle quattro elencate sopra, possono essere rappresentate con valori d'uscita indifferenti.

Le fasi da seguire sono:

1. Si realizza la tavola di verità
2. Si crea la mappa di Karnaugh e si individuano i raggruppamenti rettangolari
3. Si disegnano i circuiti

1. X₀ rappresenta il bit meno significativo mentre X₁ il bit più significativo.

P	C	T	O	X ₁	X ₀
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	-	-
0	1	0	0	0	0
0	1	0	1	-	-
0	1	1	0	-	-
0	1	1	1	1	0
1	0	0	0	0	0
1	0	0	1	-	-
1	0	1	0	-	-
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	1	1

2. In
forma PS; in rosso la forma SP

blu la

PC \ TO	00	01	11	10
00	0	0	-	0
01	0	-	1	-
11	0	1	1	1
10	0	-	1	-

PC \ TO	00	01	11	10
00	0	0	-	0
01	0	-	0	-
11	1	0	1	0
10	0	-	0	-

PT + CO

PS: $(T+O)(P+C)$

SP:
SP: PCTO+ PCTO

PS: $P(T+O)(T+O)(P+C)$

3. In questo caso si sceglie la forma PS poiché più sintetica

