

Esercitazione sulle reti sequenziali

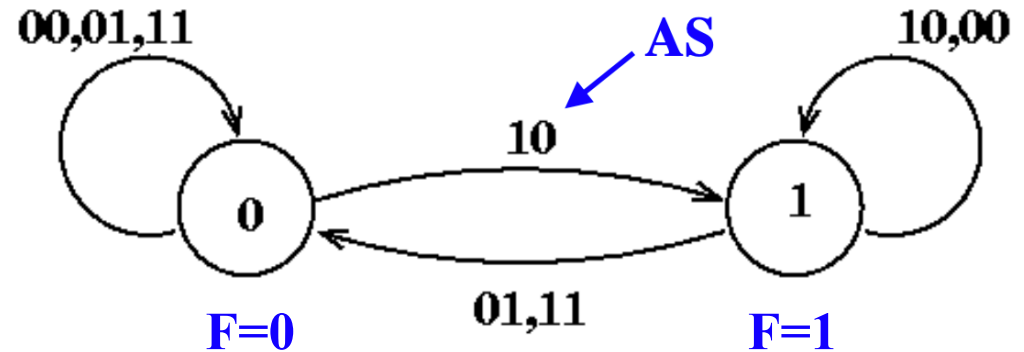
Esercizio 1

- Progettare una rete sequenziale per il controllo di un motore elettrico.
- La rete riceve in **input** i segnali relativi a due pulsanti **A** e **S**
 - **A=1** \Rightarrow **accendi**
 - **S=1** \Rightarrow **spegni**
 - In caso di pressione simultanea, **S** prevale.
- Se il motore è acceso (o spento) e arriva un altro segnale di accensione (o spegnimento), la rete deve ignorare il segnale.
- La rete deve dare in **output** il segnale **O**:
 - **O = 0** \Rightarrow **motore spento**
 - **O = 1** \Rightarrow **motore acceso**
- Si richiede di:
 1. Disegnare la macchina a stati finiti
 2. Scrivere la tabella di verità
 3. Trovare le forme SP minime
 4. Disegnare il circuito

Esercizio 1

- Macchina a stati finiti di Moore

- 2 stati
- $F=0$: motore spento
- $F=1$: motore acceso



F	A	S	F*
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

F	O
0	0
1	1

$$O = F$$

$$F^* = \sim FA \sim S + F \sim A \sim S + FA \sim S$$

Esercizio 1

- Mimimizzazione

F	A	S	F*
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

F	O
0	0
1	1

AS		00	01	11	10
F	0				1
	1	1			1

$$O = F$$

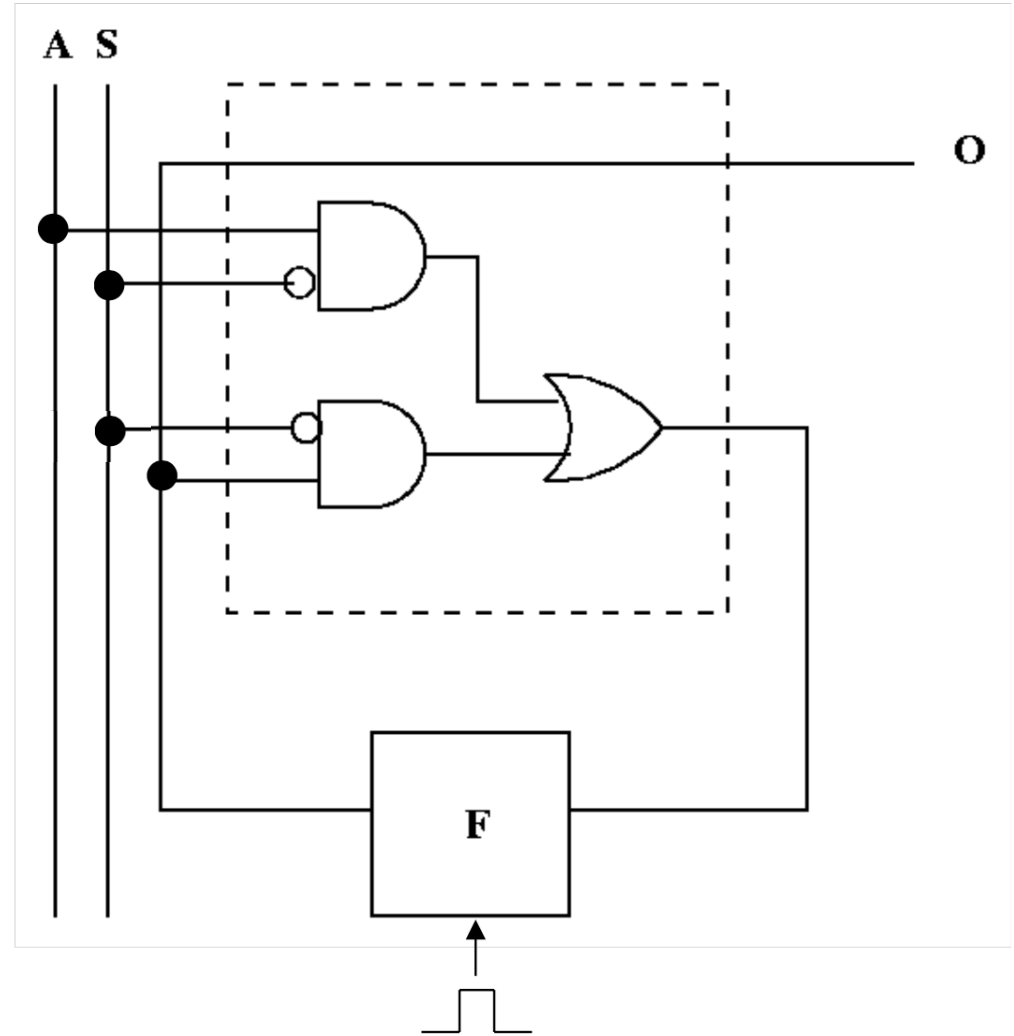
$$F^* = A\sim S + F\sim S$$

Esercizio 1

- Circuito

$$O = F$$

$$F^* = A\sim S + F\sim S$$

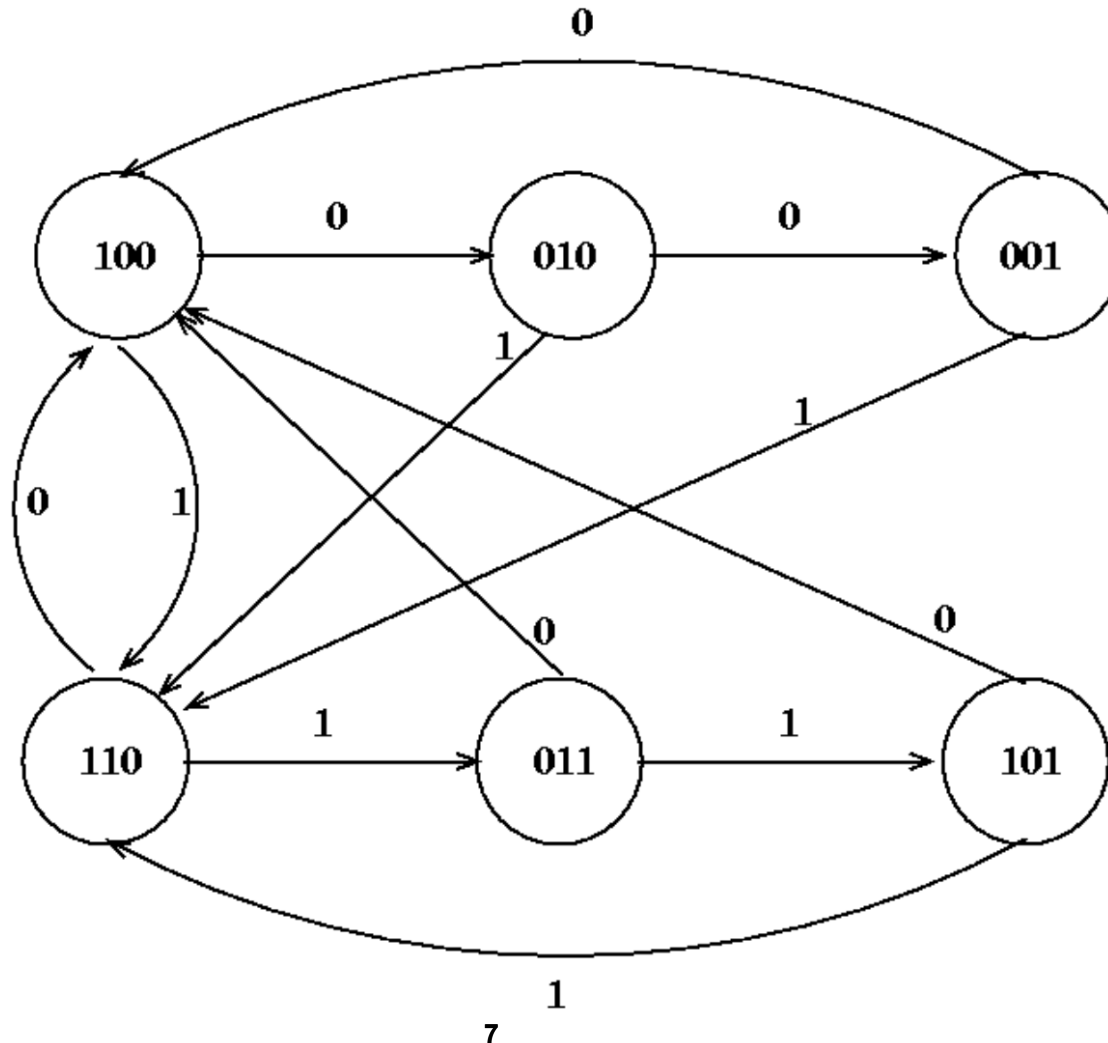


Esercizio 2

- Progettare una rete sequenziale che comanda l'accensione e lo spegnimento di tre lampadine ($Lamp_S, Lamp_D, Lamp_C$) in sequenza
- L'output del circuito sono tre bit che per comodità chiamiamo: **S,C,D**.
 - Quando questi sono affermati, le lampadine corrispondenti sono accese
- Il ritmo del circuito è determinato dal periodo di clock
- La rete riceve un segnale di ingresso I tale che:
 - se $I = 0 \Rightarrow$ le lampadine devono accendersi in sequenza, una alla volta, partendo (la prima volta) da S
 $100 \rightarrow 010 \rightarrow 001 \rightarrow 100 \rightarrow \dots$
 - se $I = 1 \Rightarrow$ le lampadine devono accendersi in sequenza, due alla volta, partendo (la prima volta) da S e C
 $110 \rightarrow 011 \rightarrow 101 \rightarrow 110 \rightarrow \dots$
- Determinare: Macchina a stati di Moore + Tabelle + Equazioni minime

Esercizio 2

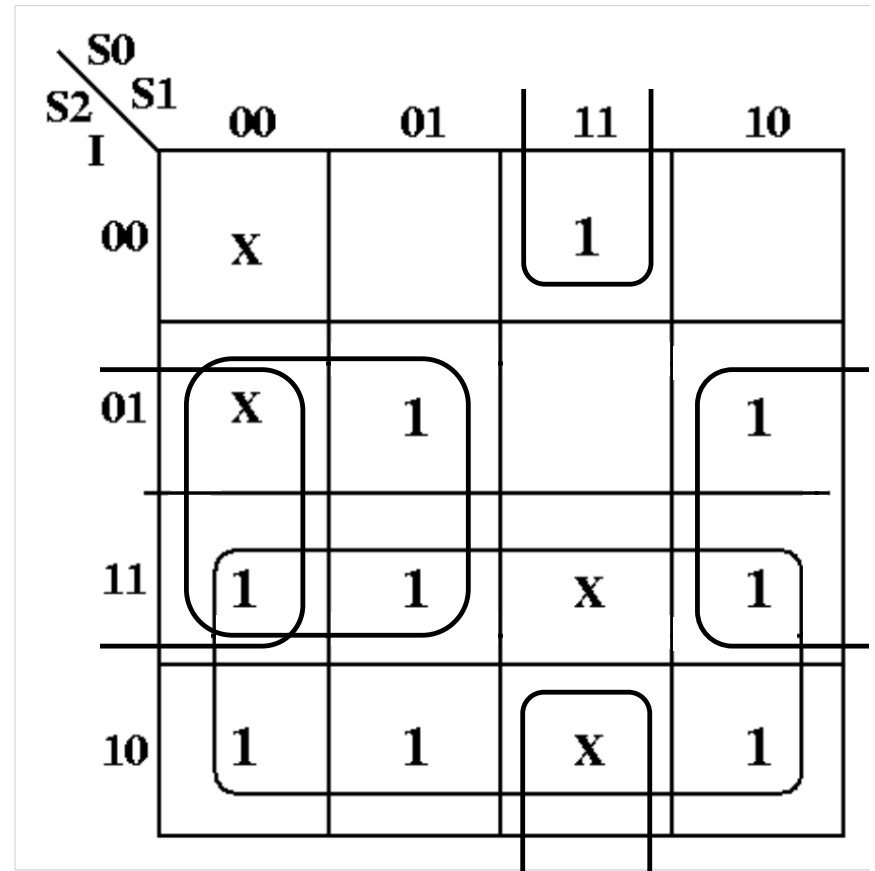
- **Macchina a stati finiti di Moore**
 - 6 stati, corrispondenti alle possibili combinazioni degli output



Esercizio 2

Tabella di verità per *NextState*

S0	S1	S2	I	S0*	S1*	S2*
0	0	0	0	X	X	X
0	0	1	0	1	0	0
0	1	0	0	0	0	1
0	1	1	0	1	0	0
1	0	0	0	0	1	0
1	0	1	0	1	0	0
1	1	0	0	1	0	0
1	1	1	0	X	X	X
0	0	0	1	X	X	X
0	0	1	1	1	1	0
0	1	0	1	1	1	0
0	1	1	1	1	0	1
1	0	0	1	1	1	0
1	0	1	1	1	1	0
1	1	0	1	0	1	1
1	1	1	1	X	X	X



$$S0^* = S0 S1 \sim I + S2 + \sim S0 I + \sim S1 I$$

Esercizio 2

Tabella di verità per *NextState*

S0	S1	S2	I	S0*	S1*	S2*
0	0	0	0	X	X	X
0	0	1	0	1	0	0
0	1	0	0	0	0	1
0	1	1	0	1	0	0
1	0	0	0	0	1	0
1	0	1	0	1	0	0
1	1	0	0	1	0	0
1	1	1	0	X	X	X
0	0	0	1	X	X	X
0	0	1	1	1	1	0
0	1	0	1	1	1	0
0	1	1	1	1	0	1
1	0	0	1	1	1	0
1	0	1	1	1	1	0
1	1	0	1	0	1	1
1	1	1	1	X	X	X

S0 \ S2 \ S1		00	01	11	10
I					
00		X			1
01		X	1	1	1
11		1		X	1
10				X	

$$S1^* = \sim S2 \cdot I + \sim S1 \cdot \sim S2 + \sim S1 \cdot I$$

Esercizio 2

Tabella di verità per *NextState*

S0	S1	S2	I	S0*	S1*	S2*
0	0	0	0	X	X	X
0	0	1	0	1	0	0
0	1	0	0	0	0	1
0	1	1	0	1	0	0
1	0	0	0	0	1	0
1	0	1	0	1	0	0
1	1	0	0	1	0	0
1	1	1	0	X	X	X
0	0	0	1	X	X	X
0	0	1	1	1	1	0
0	1	0	1	1	1	0
0	1	1	1	1	0	1
1	0	0	1	1	1	0
1	0	1	1	1	1	0
1	1	0	1	0	1	1
1	1	1	1	X	X	X

S0 S2 \ S1		00	01	11	10
I					
00		X	1		
01		X		1	
11			1	X	
10				X	

$$S2^* = \sim S0 \sim S2 \sim I + S0 S1 I + S1 S2 I$$

Esercizio 2

- Tabella di verità per *Output*

S0	S1	S2	S	C	D
0	0	0	X	X	X
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	0	0
1	0	1	1	0	1
1	1	0	1	1	0
1	1	1	X	X	X

S = S0

C = S1

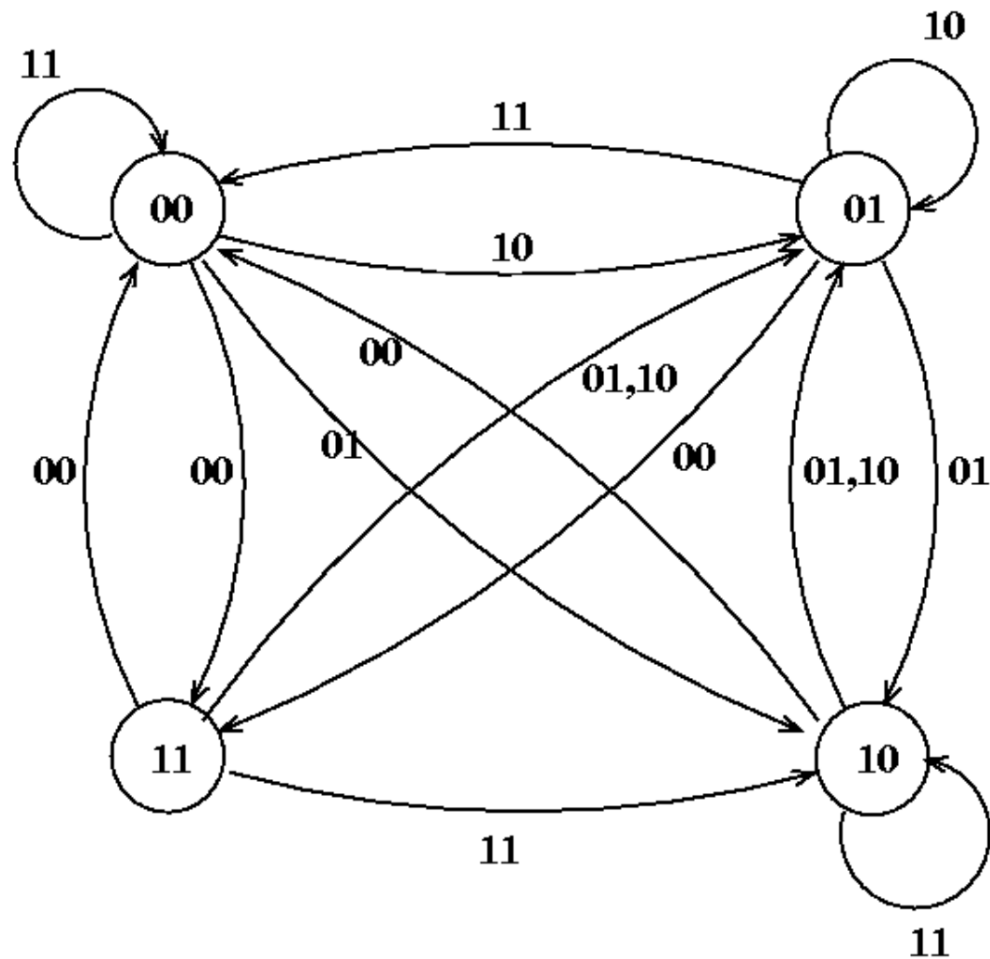
D = S2

Esercizio 3

- Progettare una rete sequenziale di Moore che
 - riceva in ingresso due segnali I_1, I_2 e
 - Restituisca in uscita due segnali O_1 e O_2 tali che:
- Se l'uscita precedente era $(O_1 O_2) = (0 _) \Rightarrow$
 - $O_1 O_2$ dovranno essere il complemento di $I_1 I_2$
- Altrimenti \Rightarrow
 - $O_1 O_2$ saranno il risultato della somma di $I_1 + I_2$
- All'inizio: $O_1 = O_2 = 0$
- Si richiede di:
 1. Disegnare la macchina a stati finiti
 2. Scrivere la tabella di verità
 3. Trovare le forme SP minime
 4. Disegnare il circuito

Esercizio 3

- **Macchina a stati finiti di Moore**
 - **Uno stato per ogni possibile output**



Esercizio 3

Tabelle di verità per NextState

S0	S1	I1	I2	S0*	S1*
0	0	0	0	1	1
0	0	0	1	1	0
0	0	1	0	0	1
0	0	1	1	0	0
0	1	0	0	1	1
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	0	0	0
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	1	0

I1 \ I2		00	01	11	10
S0 \ S1	00	1			1
	01	1			1
	11		1		1
	10		1		1

$$S1^* = \sim S0 \cdot \sim I2 + I1 \cdot I2 + S0 \cdot \sim I1 \cdot I2$$

Esercizio 3

Tabelle di verità per NextState

S0	S1	I1	I2	S0*	S1*
0	0	0	0	1	1
0	0	0	1	1	0
0	0	1	0	0	1
0	0	1	1	0	0
0	1	0	0	1	1
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	0	0	0
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	1	0

		I1 \ I2			
		00	01	11	10
S0 \ S1	00	1	1		
	01	1	1		
	11			1	
	10			1	

$$S0^* = \sim S0 \cdot \sim I1 + I1 \cdot I2 \cdot S0$$

Esercizio 3

Tabelle di verità per Output (O1 e O2)

S0	S1	O1	O2
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

$$O1 = S0$$

$$O2 = S1$$

Esercizio 3

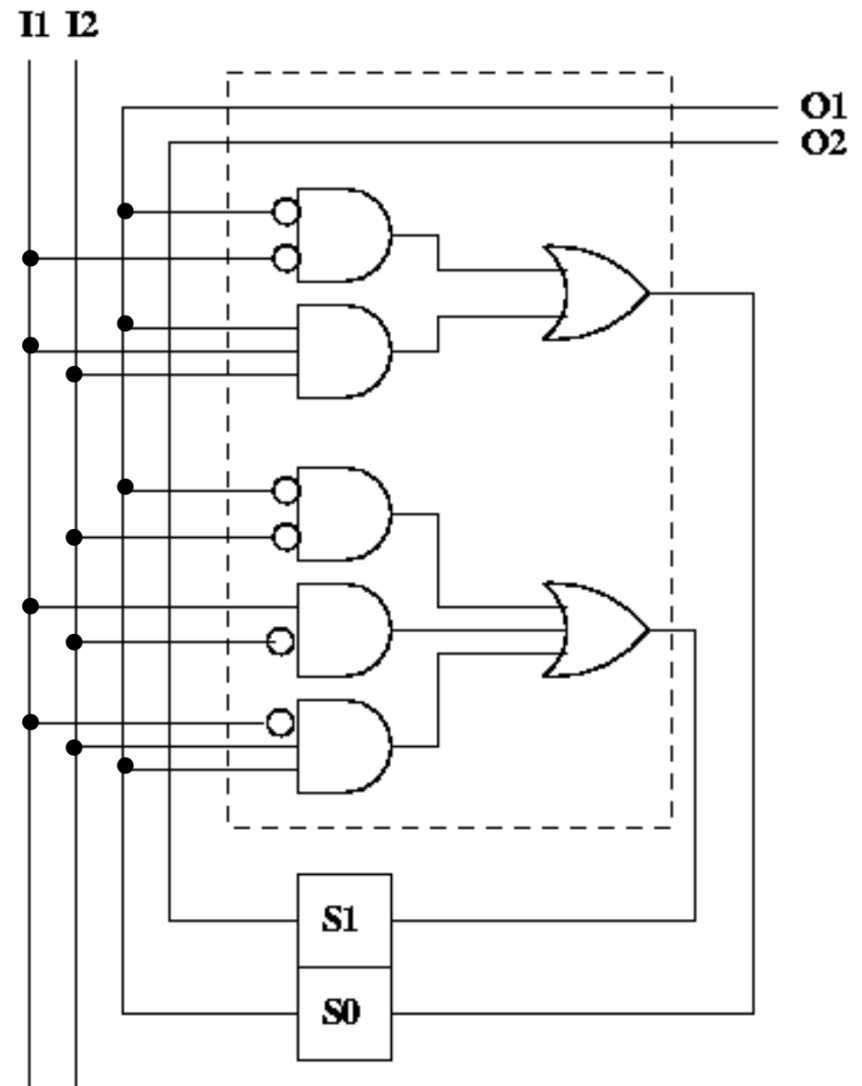
Circuito finale

$$S1^* = \sim S0 \cdot \sim I2 + I1 \cdot I2 + S0 \cdot \sim I1 \cdot I2$$

$$S0^* = \sim S0 \cdot \sim I1 + I1 \cdot I2 \cdot S0$$

$$O1 = S0$$

$$O2 = S1$$



Esercizio 4

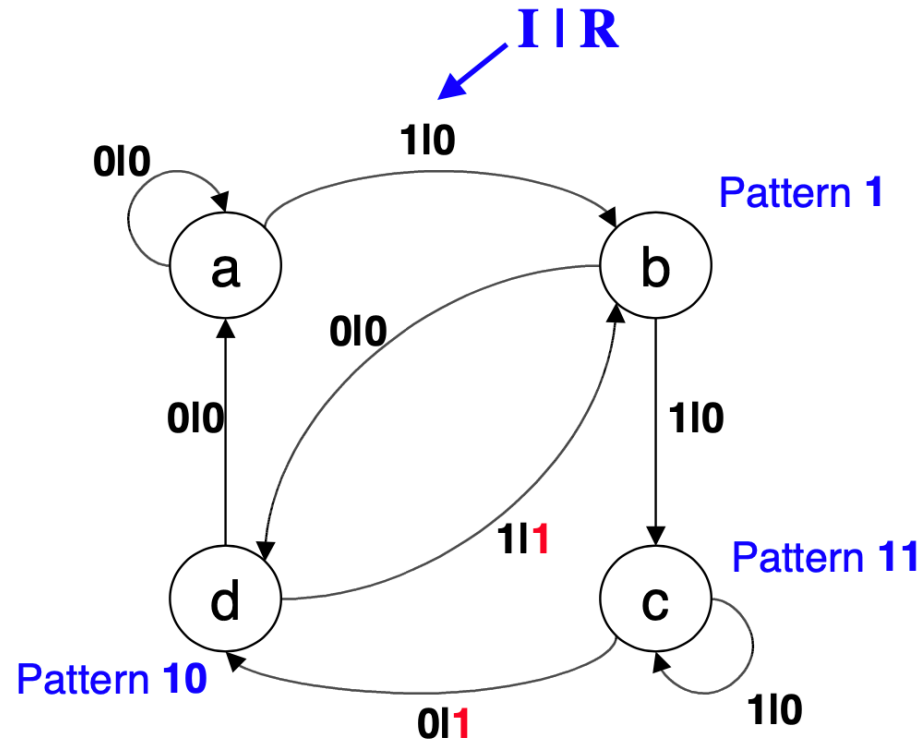
- Progettare una rete sequenziale che
 - riceva in **input** un segnale **I**
 - rilevi la presenza delle *sequenze* 101 e 110, anche sovrapposte.
- La rete ha un solo segnale di **output R** tale che:
 - **R = 1 se una delle due sequenze è stata rilevata**
 - **R = 0 altrimenti**
- Si richiede di:
 1. Disegnare la macchina a stati finiti
 2. Scrivere la tabella di verità
 3. Trovare le forme SP minime
 4. Disegnare il circuito

es. I = 0011 1101 100101

↑
sovrapposizione

Esercizio 4

- Macchina a stati finiti di Mealy, con *a* stato iniziale
- Sequenze sovrapposte 101 e 110

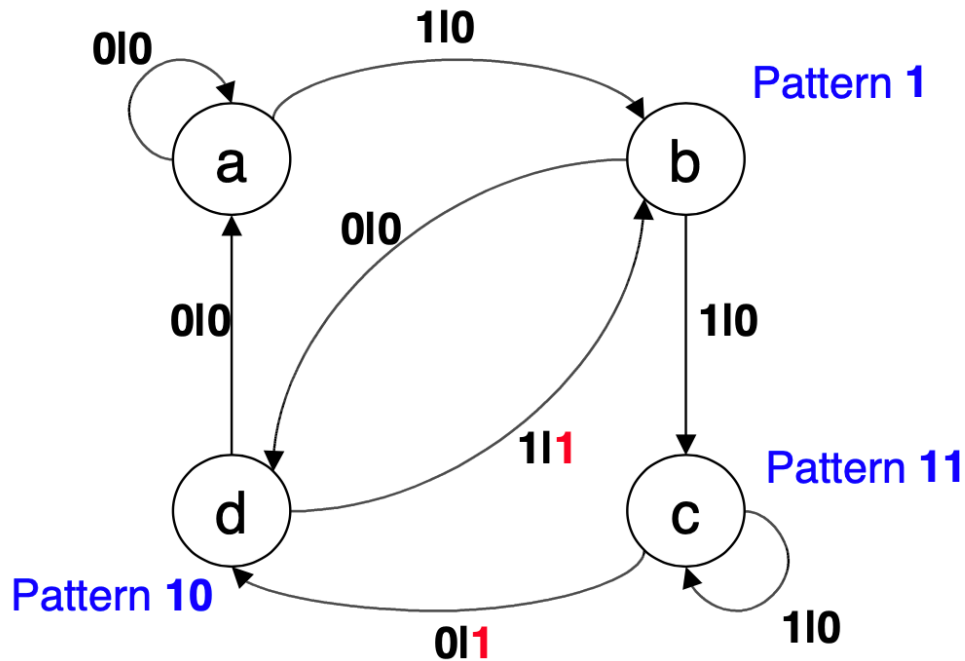


- es. $I = 0011 \underline{1101} 100101$

↑
sovrapposizione

Esercizio 4

- Tabella di verità, con due bit (F_1, F_2) per memorizzare lo stato



	F_1	F_2	I	R	F_1^*	F_2^*
a	0	0	0	0	0	0
	0	0	1	0	0	1
b	0	1	0	0	1	0
	0	1	1	0	1	1
d	1	0	0	0	0	0
	1	0	1	1	0	1
c	1	1	0	1	1	0
	1	1	1	0	1	1

$$R = F_1 \sim F_2 I + F_1 F_2 \sim I$$

$$F_1^* = \sim F_1 F_2 \sim I + \sim F_1 F_2 I + F_1 F_2 \sim I + F_1 F_2 I$$

$$F_2^* = \sim F_1 \sim F_2 I + \sim F_1 F_2 I + F_1 \sim F_2 I + F_1 F_2 I$$

Esercizio 4

- Minimizzazione di R

	F_1	F_2	I	R	F_1^*	F_2^*
a	0	0	0	0	0	0
	0	0	1	0	0	1
b	0	1	0	0	1	0
	0	1	1	0	1	1
d	1	0	0	0	0	0
	1	0	1	1	0	1
c	1	1	0	1	1	0
	1	1	1	0	1	1

		F_1			
I	F_2	00	01	11	10
	0			1	
	1				1

$$R = F_1 F_2 \sim I + F_1 \sim F_2 I$$

Esercizio 4

- Minimizzazione di F_1^*

	F_1	F_2	I	R	F_1^*	F_2^*
a	0	0	0	0	0	0
	0	0	1	0	0	1
b	0	1	0	0	1	0
	0	1	1	0	1	1
d	1	0	0	0	0	0
	1	0	1	1	0	1
c	1	1	0	1	1	0
	1	1	1	0	1	1

$F_1 \backslash F_2$		00	01	11	10
0			1	1	
1			1	1	

$$F_1^* = F_2$$

Esercizio 4

- Minimizzazione di F_2^*

	F_1	F_2	I	R	F_1^*	F_2^*
a	0	0	0	0	0	0
	0	0	1	0	0	1
b	0	1	0	0	1	0
	0	1	1	0	1	1
d	1	0	0	0	0	0
	1	0	1	1	0	1
c	1	1	0	1	1	0
	1	1	1	0	1	1

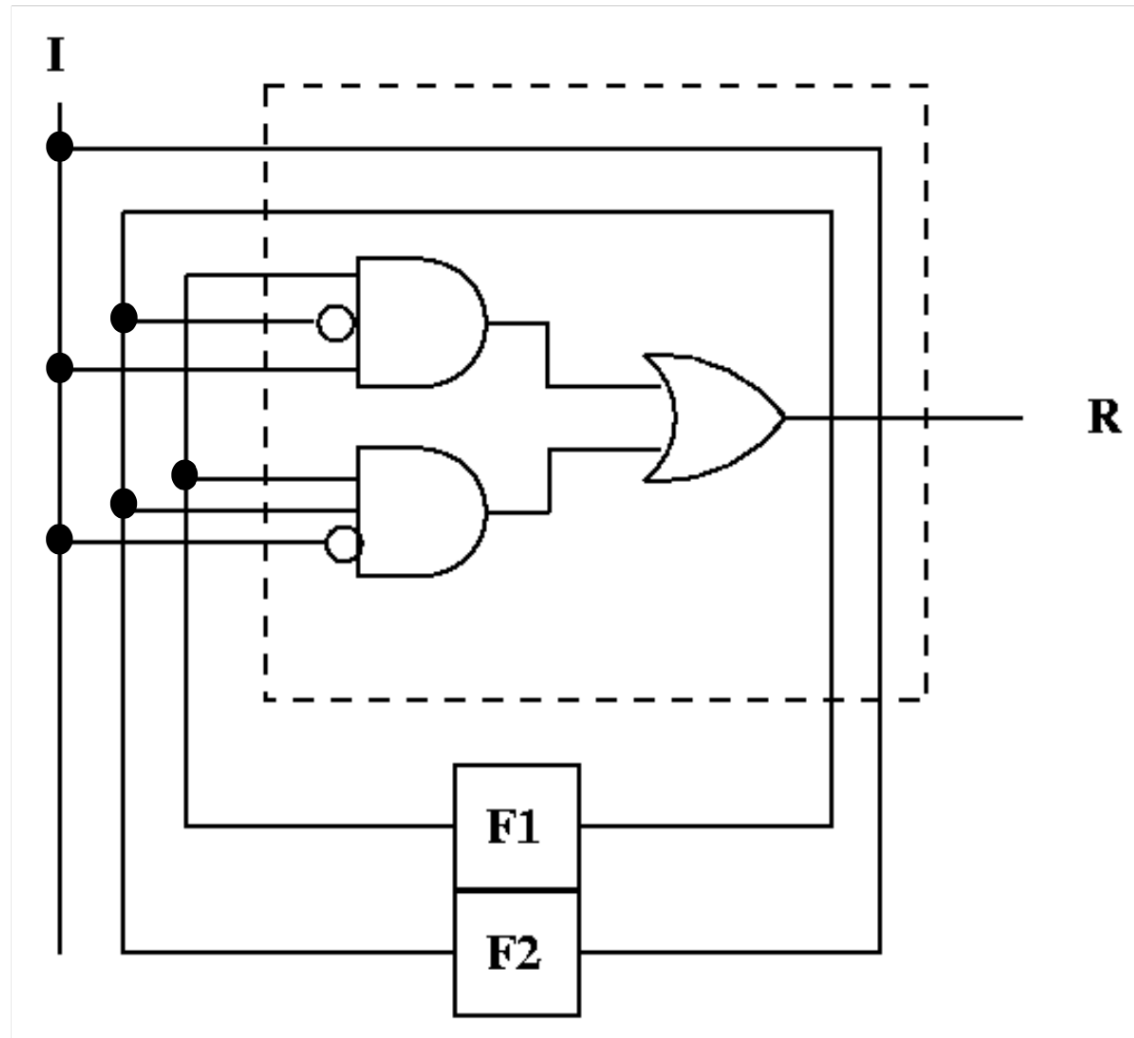
		F_1			
I	F_2	00	01	11	10
	0				
1		1	1	1	1

$$F_2^* = I$$

Esercizio 4

- Circuito finale

$$R = F_1 \sim F_2 I + F_1 F_2 \sim I$$
$$F_1^* = F_2$$
$$F_2^* = I$$



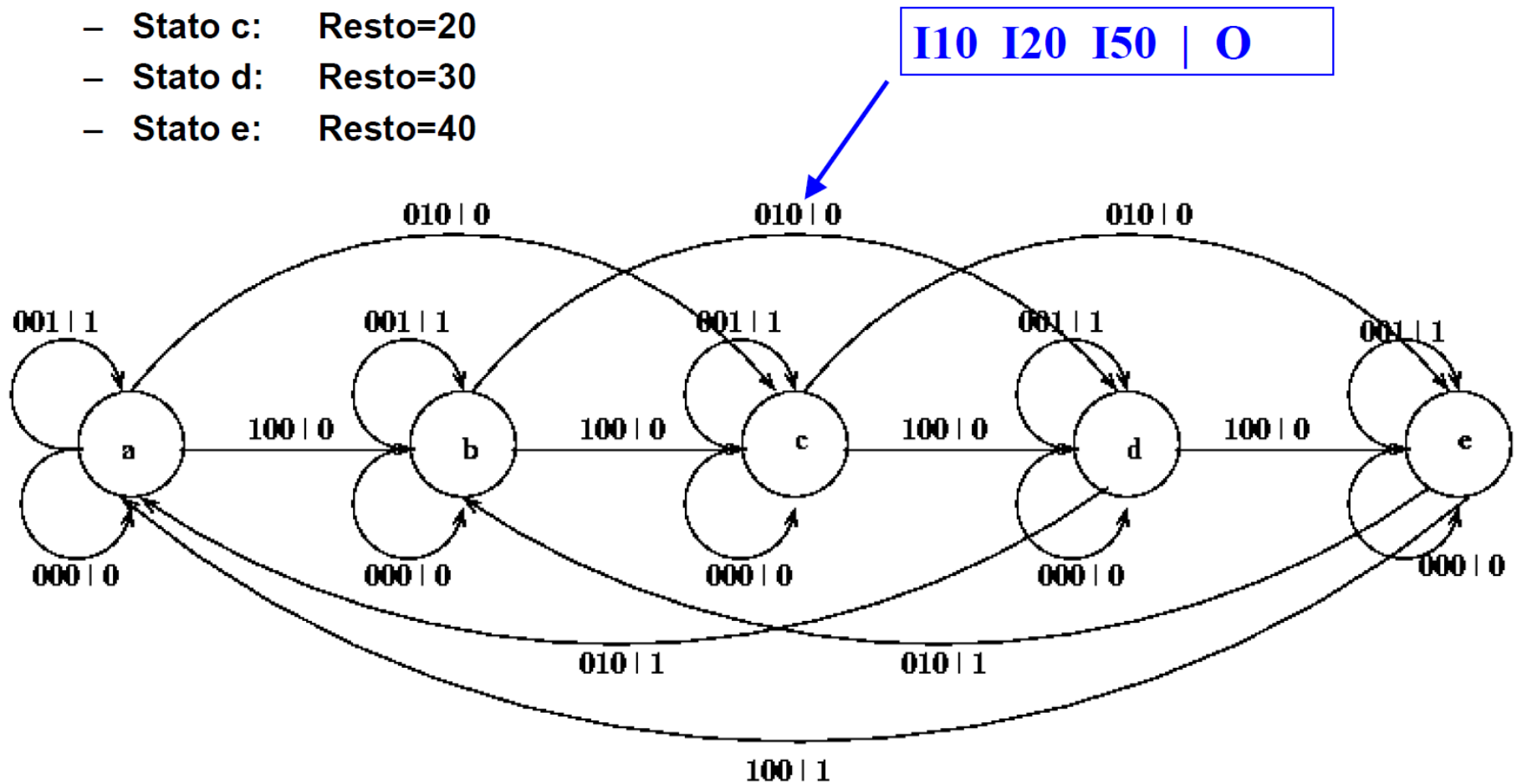
Esercizio 5

- Disegnare una macchina a stati finiti di Mealy per il controllo di un distributore automatico di bibite
 - Il costo di una bibita è di 50 centesimi
 - Il distributore accetta monete da 10, 20, 50 centesimi.
 - I segnali di ingresso I_{10} , I_{20} e I_{50} vengono settati in corrispondenza della moneta introdotta. Può essere introdotta una sola moneta alla volta.
 - L'uscita O vale
 - 1 se la cifra totale introdotta è ≥ 50
 - 0 altrimenti.
 - Quando $O=1$
 - la cifra introitata viene ridotta di 50 centesimi e la bibita viene restituita
 - Fare in modo che l'eventuale resto possa essere utilizzato dal cliente successivo.
- Scrivere le tabelle di verità relative alla macchina a stati finiti progettata.

Esercizio 5

- Automa di Mealy

- Stato a: Resto=0
- Stato b: Resto=10
- Stato c: Resto=20
- Stato d: Resto=30
- Stato e: Resto=40



Esercizio 5

Tabella di verità parziale (per il primo stato...)
3 bit (S0 S1 S2) per rappresentare ogni stato.

	S0	S1	S2	I10	I20	I50	O	S1*	S2*	S3*
a	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	1	1	0	0	0
	0	0	0	0	1	0	0	0	1	0
	0	0	0	0	1	1	X	X	X	X
	0	0	0	1	0	0	0	0	0	1
	0	0	0	1	0	1	X	X	X	X
	0	0	0	1	1	0	X	X	X	X
	0	0	0	1	1	1	X	X	X	X
b	0	0	1	0	0	0				
	etc...									