

2주차 예비 보고서

전공: 컴퓨터공학

학년: 3학년

학번: 20171602

이름: 강지혁

1. HDL이 무엇인지 조사하고 Verilog 이외의 HDL에 대하여 조사하시오.

1.1. HDL이란?

HDL(Hardware Description Language)는 디지털 회로의 동작이나 구조를 모델링하는데 사용되는 프로그래밍 언어이다. 또한 HDL은 회로를 시뮬레이션 하고, 그 결과를 확인 하는데 사용된다. 시중에 나와있는 많은 HDL중에 IEEE(Institute of Electrical and Electronics Engineers) 표준에서 공식적으로 승인된 Verilog와 VHDL이 가장 많이 사용된다. 이외에도 JHDL(Just-Another HDL), Active-HDL과 같은 독점 HDL들이 있다.

1980년대 IC기술의 급속한 발전으로 설계 방식을 표준화할 필요가 생겼는데, 이로 인해 HDL이 개발되었다. Xilinx사는 FPGA 기반 개발 보드를 프로그래밍 하는데 사용할 수 있는 CAD 소프트웨어를 제공하며 CAD 도구에는 회로도 편집기, Verilog 편집기, 컴파일러, 라이브러리, 설계 시뮬레이터 및 다양한 유틸리티 도구들이 포함된다.

1.2. Verilog 이외의 HDL

①VHDL: VHSIC Hardware Description Language는 디지털 회로 및 혼합 신호를 표현하고 설계 입력, 문서화, 문서화를 위한 시스템 수준에서 논리 게이트 수준에 이르기까지 다양한 구조를 모델링 하는 HDL이다. 1987년부터 VHDL은 IEEE에서 IEEE Std. 1076으로 표준화 되었으며 오늘날에는 디지털 회로의 설계, 검증, 구현 등의 모든 용도로 사용된다.

②JHDL: Just-Another Hardware Description Language은 BYU에서 1997년에 시작된 프로젝트인 Configurable Computing Laboratory에서 개발되었다. JHDL은 low-level HDL로, Java 개체로 묶는 객체 지향 방식을 적용하여 회로를 설계하는데 중점을 둔다.

2. Verilog의 역사와 발전 과정을 조사하시오.

Verilog는 1984년 Gateway Design Automation Inc.에 의해 당시 사용되던 HDL인 Hilo와 C언어의 특징을 기반으로 개발되었다. 그 당시 Verilog는 독점적인 HDL이었는데, 표준화되지 않아서 1984년에서 1990년 사이에 나온 거의 모든 개정판에서 언어가 점차적으로 수정되었다. Verilog의 개발사 Gateway Design Automation을 인수한 Cadence Design System은 Verilog가 독점 HDL 언어인 Verilog가 표준화되지 않았기 때문에 VHDL로 전환될 것을 우려했고, 1991년에 Verilog에 대한 문서를 공개했다. 그 결과로 1995년 12월에 Verilog IEEE Std. 1364-1995는 IEEE 표준이 되었다.

3. Verilog의 기본적인 구조와 문법에 관하여 조사하시오.

3.1. space, tab, new-lines, form feed

단어들을 구분하는 space, tab, new-lines, form feed들은 어휘 토큰들을 분리하기 위해 사용된다. 공백(black)과 tab은 문자열에서 의미 있게 취급된다.

3.2. 주석

Verilog의 주석은 HDL 코드의 설명을 위해 사용되며, 컴파일 과정에서 무시된다. 주석은 C/C++ 에서와 동일한 방식으로 작성할 수 있는데, 단일 라인의 주석은 //로, 두 줄 이상의 주석은 /* ~ */로 사용할 수 있다.

3.3. 숫자

숫자는 여러 개의 비트가 할당되어 저장된다. 2진수, 8진수, 10진수, 16진수로 지정할 수 있는데, 단순 10진수는 signed 정수로 취급되고, 음수는 2의 보수 형식으로 표현된다.

3.4. 식별자

식별자는 변수, 함수 이름, 모듈 이름, 인스턴스에 고유의 이름을 지정하기 위해 사용자가 정의한다. 식별자는 문자 또는 밑줄로 시작할 수 있으며 문자, 숫자 및 밑줄을 원하는 수만큼 포함할 수 있다. 또한, Verilog의 식별자는 대소문자를 구분한다.

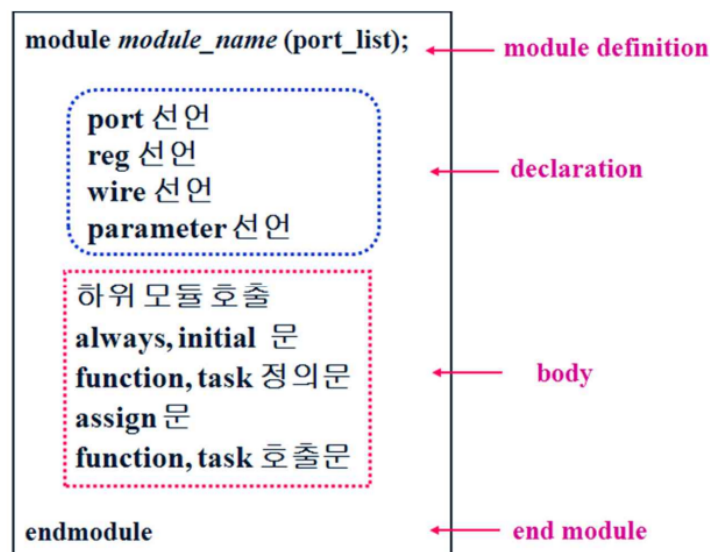
3.5. 연산자

연산자는 변수에 대한 작업을 수행하기 위해 사용되는 1개 혹은 2개, 때로는 3개의 문자로 연산자에는 >, +, ~, &, !가 포함된다.

3.6. Verilog keyword

Verilog Keyword는 Verilog에서 특별한 의미를 지닌 단어이다. 예를 들어 assign, while, wire, reg, and, or, nand, and module등은 Verilog에서 특별한 의미로 사용되기에 식별자로 사용하지 못한다.

3.7. Verilog 모듈의 구성



Verilog code의 기본 구조는 위 그림과 같다. module definition은 module로 시작해야 하며 모듈 이름, 포트 목록, 세미콜론으로 끝난다. declaration은 포트 목록에 나열된

포트들의 방향, 비트 폭, reg 및 wire 선언, parameter 선언 등 모듈에서 필요로 하는 것들을 선언한다. body는 회로의 기능, 동작, 구조 등을 표현하는 다양한 Verilog 구문들로 구성된다.

4. 참고문헌

Mohammed Ferdjallah. (2011). Introduction to Digital Systems: Modeling, Synthesis, and Simulation Using VHDL (pp. 47-49). New Jersey: Wiley

Deepak Kumar Tala. (2014). Verilog Tutorial. California: ASIC World

Peter M. Nyasulu and J Knight. (2003). Introduction to Verilog [PDF file].

https://www.cs.upc.edu/~jordicf/Teaching/secretsofhardware/VerilogIntroduction_Nyasulu.pdf