

2주차 결과 보고서

전공: 컴퓨터공학

학년: 3학년

학번: 20171602

이름: 강지혁

1. 연속 할당문, 절차형 할당문의 차이를 비교하여 설명하시오.

1.1. 연속 할당문

연속 할당문은 assign문을 이용하여 net형 객체에 스칼라 또는 벡터 형태의 값을 할당하며, 우변 수식의 값에 event가 발생했을 때 좌변의 객체에 값의 할당이 발생한다. net에 대한 값의 할당은 연속적이고 자동적으로 이루어지므로, 우변의 값이 바뀌게 될 때 자동으로 할당된다. 또한 연속 할당문은 논리식으로 표현된 조합 회로의 모델링에 이용될 수 있다.

1.2. 절차형 할당문

절차형 할당문은 always, initial, task, function과 같은 procedure 내부에서 사용되며, 시뮬레이션의 실행 흐름이 procedure내의 할당문에 도달했을 때 할당을 위한 트리거가 발생된다. 절차형 할당문은 우변 수식의 event 발생과는 무관하게 해당 문장의 실행에 의해 좌변 variable에 값이 할당되는 특성을 가지고 있으므로, 우변 수식의 event 발생과 무관하게 다음 절차형 할당문에 의해 값이 갱신될 때까지 변수에 할당된 값이 유지된다. 절차형 할당문은 다시 blocking 할당문과 nonblocking 할당문으로 구분된다.

2. blocking 및 nonblocking 문법의 차이를 simulation을 통해 설명하시오.

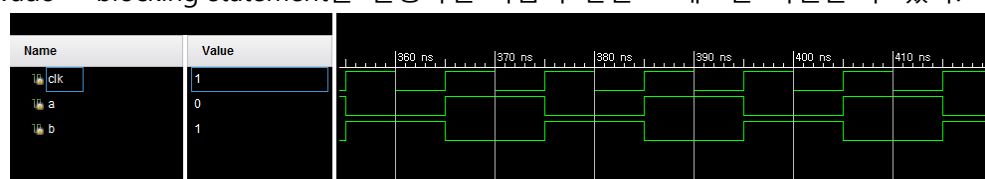
2.1. blocking 문법

시스템 콜을 호출할 때 네트워크 시스템이 동작을 완료할 때까지 시스템 콜에서 프로세스가 멈추는 방식이다. 일대일 통신을 하거나 프로그램이 한 가지 작업만 하는 경우에는 blocking 문법으로 프로그램을 작성할 수 있다. $y = x$ 와 같은 형식으로 표현되며, begin, end까지 순차적으로 계산과 동시에 저장에 이루어진다. 즉, 각각의 문장이 수행이 끝나기 전에 blocking 된다.

Syntax for Blocking Assignment

```
variable = expression
#Δt variable = expression;
grab inputs now, deliver ans. later.
#Δt variable = expression;
grab inputs now, deliver ans. later.
```

Vivado로 blocking statement를 실행하면 다음과 같은 그래프를 확인할 수 있다.



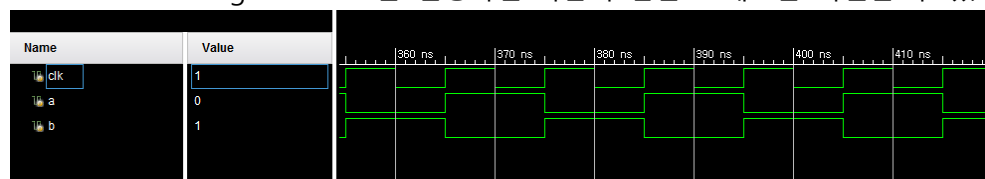
2.2. non-blocking 문법

요청이 들어오는 순간 내용에 관계없이 응답을 즉시 반환하며, 네트워크 시스템이 즉시 처리할 수 없는 경우라도 시스템 콜이 바로 return되어 응용프로그램이 nonblocked 된다. $y \leq x$ 와 같은 형식으로 표현되며 begin, end까지 모든 계산을 수행한 후 한꺼번에 저장 작업이 수행된다.

Syntax for Non-Blocking Assignment

```
variable <= expression
variable = #Δt expression;
#Δt variable <= expression;
```

Vivado로 nonblocking statement를 실행하면 다음과 같은 그래프를 확인할 수 있다.



3. Verilog의 for문, if문, while문, case문을 C언어와 비교하여 설명하시오.

- ①for문: C언어의 loop와 유사하게 statement나 block of statement를 반복해서 실행하기 위해 사용된다. 만약 loop가 하나의 statement만을 포함하는 경우 begin, end를 생략할 수 있다.
- ②if문: C언어의 if문과 유사하게 논리식의 true, false에 따라 실행되는 block of statement들이 결정된다. if문 뒤의 expression이 true일 때 if문 다음의 문장을 실행하고, expression이 false이면 else문 다음의 문장을 실행한다.
- ③while문: C언어의 while문과 유사하게 while문의 논리식이 true일 동안 block of statement를 실행한다. synthesis중에 발생할 수 있는 combinational feedback을 방지하기 위해 while loop는 반드시 @(posedge/negedge clock)문으로 묶어야 한다. 만약 loop가 하나의 statement만을 포함하는 경우 begin, end를 생략할 수 있다.
- ④case문: C언어의 case문과 유사하게 case의 논리식에 따라 여러 분기중 하나를 선택하여 실행한다. 기본 블록의 statement는 case의 choice들 중 true인 choice가 없을 때 실행된다. 기본 블록이 없을 경우, true인 choice가 없을 때 synthesizer는 원치 않는 latch들을 생성하게 된다.

3. Verilog의 net형 자료형에 대해서 조사하시오.

Verilog Language는 두 종류의 기본 data type을 가지고 있다. net은 구성요소들 사이에 구조적인 연결을 나타내며, register는 데이터를 저장하는 데 사용되는 변수를 나타낸다. net data type은 trireg를 제외하고 값을 저장하지 않으며, 주어진 회로에 변화가 있을 때 값이 연속적으로 변할 수 있다.

net 자료형	기능
wire	함축된 논리적 동작이나 기능을 하지 않는 단순한 연결을 위한 net.

tri	함축된 논리적 동작이나 기능을 하지 않는 단순한 연결을 위한 net. 하드웨어에서 tri-state가 되는 점이 wire와 다르다.
wand	다중 구동자를 갖는 net. wire-and (models open-collector)의 하드웨어 구현을 모델링하기 위해 사용한다.
wor	다중 구동자를 갖는 net. wired-or (models ECL)의 하드웨어 구현을 모델링하기 위해 사용한다.
triand	다중 구동자를 갖는 net. 하드웨어에서 tri-state를 갖는다.
trior	다중 구동자를 갖는 net. 하드웨어에서 tri-state를 갖는다.
supply0	회로 접지 (circuit ground)에 연결되는 net. 전원 단자에서 끌어오는 선.
supply1	전원 (power supply)에 연결되는 net. ground에서 끌어오는 선.
tri0	저항성 pulldown (resistive pulldown)에 의해 접지로 연결되는 net.
tri1	저항성 pullup (resistive pullup)에 의해 전원으로 연결되는 net.
triereg	물리적인 net에 저장되는 전하를 모델링하는 net.

4. 참고문헌.

Deepak Kumar Tala. (2014). Verilog Tutorial. California: ASIC World

Peter M. Nyasulu and J Knight. (2003). Introduction to Verilog [PDF file].

https://www.cs.upc.edu/~jordicf/Teaching/secretsofhardware/VerilogIntroduction_Nyasulu.pdf