

I emissione	Emessa:	Verificata:	Approvata:
	ing Gabriele Filosofi	<Caio>	<Sempronio>

1 Indice

1	Indice	1
2	Premessa	2
3	Indicazioni generali	3
3.1	Classificazione dei segnali	3
3.2	Composizione PCB e parametri costruttivi	3
3.3	Routing dei segnali	5
3.4	Dimensionamento linee	5
3.5	Aree diffuse di tipo GND	5
3.6	Condensatori di Bypass	5
3.7	Resistenze di terminazione	6
3.8	Serigrafia	6
3.9	Net Points e Test Points	7
4	Indicazioni specifiche per i vari moduli	8
4.1	Memoria RAM DDR2 (U6, U9, U10)	8
4.2	Alimentazione	12
4.3	Video Decoder (U48)	13
4.4	Audio Codec (U1)	14
5	Meccanica	15
6	Package Componenti	15
6.1	Connettore SIM Card (J14)	15
6.2	Connettore FPC 50 posizioni (J10)	16
6.3	BGA	16

2 Premessa

Il presente documento contiene le indicazioni per lo sbroglio e la costruzione del PCB IPVP6441 (Base Board) che è parte del Modulo Digitale del prodotto IPvPhone di Interactive Media. I documenti di riferimento sono:

- Lista Parti IPvPhone-LP
- Schema elettrico IPVP6441-SE (Orcad)
- Package componenti (formato pdf)
- File Gerber e Schema elettrico EVM DM6441 (formato pdf)

Per qualsiasi chiarimento contattare ing. Gabriele Filosofi (e-mail: g.filosofi@adfl.it; mobile: 3317393126)

3 Indicazioni generali

3.1 Classificazione dei segnali

La seguente tabella indica la classificazione dei segnali usata nel seguito

Tipo	Descrizione
Segnali Veloci	Tutti i segnali con frequenza fondamentale > 10MHz (CAM_PCLK, CAM_XCLK, DATACLK, DATACLKA, PSTN_MCLK, AUDIO_MCLK, SD_CLK, VPVCLK, LCD_CLK_1.8V, ETH_MDCLK, SC_CLK_13.5MHZ, TIMERO_IN, VPCLK, VPBECLK, TCK, RTCK, DSP_TCK, DSP_RTCK, ETH_TCK)
Segnali DDR2	Tutti i segnali che collegano U6 a U9 e U10
Segnali	Tutti i segnali che non rientrano nelle precedenti categorie

Tabella 0. Classificazione dei segnali

3.2 Composizione PCB e parametri costruttivi

La seguente tabella indica la composizione del PCB IPVP6441 e gli strati da riservare alle varie classi di segnali.

Layer	Altra denominazione	Tipo	Descrizione
1	Lato Componenti (LC)	Segnali	Segnali; Segnali DDR2; componenti; TPs
2	Layer interno 2	Piano Massa	GND;
3	Layer interno 3	Segnali	Segnali; Segnali DDR2; +5V
4	Layer interno 4	Piano Alim.	+1.8V; +1.2V; CVDD; DVDD_3.3V
5	Layer interno 5	Segnali	Segnali
6	Layer interno 6	Segnali	Segnali; Segnali Veloci; +5V
7	Layer interno 7	Piano Alim.	+3.3V; DVDD_1.8V; +1.8VA_VID; +3.3VA_VID
8	Lato interno 8	Segnali	Segnali; Segnali DDR2
9	Layer interno 9	Piano Massa	GND; GNDA_VID; GNDA_AUD; GNDA_DAC
10	Lato Saldature (LS)	Segnali	Segnali; Segnali DDR2; componenti; NPs

Tabella 1. Composizione PCB IPVP6441

- Layer 1 e Layer 10: 0.5 OZ Cu (17 um) con copertura 0.5 OZ Au (17 um)
- Layer interni: 0.5 OZ Cu (17 um)
- Dielettrico: FR4
- Range di accettabilità impedenza caratteristica:
 - Segnali USB_D, /USB_D: 90±5 Ohm (differenziali)
 - Segnali ETH_TX, /ETH_TX: 90±5 Ohm (differenziali)
 - Segnali ETH_RX, /ETH_RX: 90±5 Ohm (differenziali)
 - Segnali DDR2: 50-70 Ohm ±10% (DDR_CLK, /DDR_CLK è differenziale)
 - Tutti gli altri segnali: 50±10 Ohm
- Larghezza **minima** e distanza minima assoluta tra linee per Segnali DDR2: **W = 4 mils**
- Larghezza **minima** e distanza minima assoluta tra linee per Segnali: **W = 5 mils**

- Diametro del via (finito): 5-8 mils
- Diametro pad del via: 20-27 mils
- Spessore **massimo** PCB (finito): 2 mm
- Montaggio componenti passivi: su LC e LS
- Montaggio integrati: preferibilmente sul LC

La seguente figura mostra lo stack degli strati del PCB.

Layer 1		0.034 mm	0.5 OZ Cu / 0.5 OZ Au
Layer 2	Prepreg	0.101 mm (4 mils)	FR4
		0.017 mm	0.5 OZ Cu
	Core	0.305 mm (12 mils)	FR4
Layer 3		0.017 mm	0.5 OZ Cu
	Prepreg	0.101 mm (4 mils)	FR4
Layer 4		0.017 mm	0.5 OZ Cu
	Core	0.152 mm (6 mils)	FR4
Layer 5		0.017 mm	0.5 OZ Cu
	Prepreg	0.101 mm (4 mils)	FR4
Layer 6		0.017 mm	0.5 OZ Cu
	Core	0.152 mm (6 mils)	FR4
Layer 7		0.017 mm	0.5 OZ Cu
	Prepreg	0.101 mm (4 mils)	FR4
Layer 8		0.017 mm	0.5 OZ Cu
	Core	0.305 mm (12 mils)	FR4
Layer 9		0.017 mm	0.5 OZ Cu
	Prepreg	0.101 mm (4 mils)	FR4
Layer 10		0.034 mm	0.5 OZ Cu / 0.5 OZ Au

Figura 0. PCB stack-up

Con questa scelta si ottengono i seguenti valori teorici per l'impedenza caratteristica in funzione dei layer e della larghezza minima delle linee (**4 mils** per i Segnali DDR2, **5 mils** per gli altri segnali)

Layer	Type	W = 4 mils (DDR2 Signals)		W = 5 mils	
		Z0	Z0 diff.	Z0	Z0 diff.
1	Microstrip	59	95	53	91
3	Stripline	59	96	54	91
5	Dual Microstrip	59	96	53	91
6	Dual Microstrip	59	96	53	91
8	Stripline	59	96	54	91
10	Microstrip	59	95	53	91

Tabella 2. Impedenze caratteristiche sui vari layers

I valori di impedenza differenziale si ottengono con una distanza tra linee pari a W.

3.3 Routing dei segnali

- E' tollerato il routing dei segnali entro il 10% della distanza di Manhattan
- Alternare sui Layer la direzione privilegiata del routing (orizzontale, verticale, orizzontale, ecc.)
- Evitare angoli a 90°
- Le coppie DDR_CLK e /DDR_CLK, USB_D e /USB_D, ETH_TX e /ETH_TX, ETH_RX e /ETH_RX sono coppie differenziali. Le linee di una coppia devono procedere insieme, equidistanti alla minima distanza (W), per la stessa lunghezza, con impedenza differenziale controllata. La differenza di lunghezza tra le due linee non deve superare 25 mils.

3.4 Dimensionamento linee

La seguente tabella indica il dimensionamento di alcune linee (valori minimi)

Larghezza minima	Segnali
20 mils (0.5 mm)	DDR_VREF; VREF; DAC_VREF; AUDIO_DVDD; AUDIO_AVDD; VA_DAC; VDDA_1P8V; VDDA_1P1V; PLLVDD18; APLLREFV
40 mils (1.0 mm)	CAM_DVDD; +3.3VA_ETH; ETH_CTT; +3.3VA_UART; UART_GND; USB_VDDA3P3; USB_VDDA1P8; SIM_VCC; SIM_GND; +3.3V_SC; GND_SC; DDR_VDDLL; USB_VBUS; USB_GND VL50; VL33; VL18; VL12; +3.3VA_DAC
80 mils (2.0 mm)	VIN1; VIN2; VIN3; VIN4; ETH_GND
Area diffusa	+5V; +3.3VA_DAC; +1.2V; +1.8VA_VID; +3.3VA_VID; GNDA_VID; GNDA_AUD; GNDA_DAC; CVDD; DVDD_1.8V; DVDD_3.3V
Piano diffuso	+3.3V; +1.8V; GND

Tabella 3. Dimensionamento di alcune linee

3.5 Aree diffuse di tipo GND

Sulla scheda ci sono diverse masse che richiedono un minimo di diffusione nell'area dove sono utilizzate (p.es. GNDA_AUD). In genere queste masse devono essere collegate alla massa principale GND in un solo punto (ad esempio tramite qualche vias) per garantire un certo isolamento. In generale questa area di contatto deve guardare verso il punto di entrata di GND (connettore J11).

Il collegamento a GND può avere funzione di dissipazione del calore, nel qual caso è opportuno aggiungere qualche altro via.

Separare bene le aree GNDA_AUD, GNDA_DAC e GNDA_VID sul layer 9 (almeno 2 mm).

3.6 Condensatori di Bypass

I condensatori di Bypass sono quelli posizionati nello schema elettrico vicino ai pin di alimentazione degli integrati. I condensatori di Bypass devono essere posizionati il più vicino possibile al rispettivo integrato (la massima distanza del collegamento tra il condensatore e il via di alimentazione è 65 mils; la massima distanza del collegamento tra il pin e il via di alimentazione è 40 mils). I vias che collegano un condensatore di bypass devono essere riservati esclusivamente a quel condensatore. Vias di dimensioni maggiori sono preferibili, purché non creino tagli nel piano di massa.

Per quanto riguarda U6 i condensatori di Bypass sono tutti quelli presenti a pag. 4 dello schema elettrico. Questi vanno montati tutti sul LS, nella zona sottostante U6, secondo lo schema di riferimento in figura 5. I condensatori di capacità più grande devono stare più perifericamente rispetto a quelli di capacità minore.

3.7 Resistenze di terminazione

Su molte linee, specialmente sui Segnali Veloci, sono presenti delle resistenze in serie, tipicamente da 22 Ohm, o singole o in array (RNn). Queste resistenze sono delle “terminazioni” e devono essere posizionate preferibilmente vicino all'integrato che pilota la linea. Per esempio, R139 deve essere posizionata vicino a U32, R133 deve essere posizionata vicino a U28, ecc.

3.8 Serigrafia

Oltre alle serigrafie standard, preferibilmente orientate tutte allo stesso modo, prevedere le serigrafie aggiuntive:

- “USB” vicino a J16
- “UART0” vicino a J15
- “ETH” vicino a J5
- “SIM” vicino a J14
- “SD/MMC” vicino a J13
- “PSTN” vicino a J12
- “VIDEO IO” vicino a J10
- “LINE IN” vicino a J1
- “MIC IN” vicino a J2
- “LINE OUT” vicino a J3
- “HP OUT” vicino a J4
- “JTAG/ICE” vicino a J7
- “ICE” e “JTAG” vicino a J8 e a J9 (vedi schema el.)
- “+12V” vicino a J11
- “SV IN” vicino a J17
- “CVBS IN” vicino a J18
- “SV OUT” vicino a J20
- “CVBS OUT” vicino a J19
- Logo Interactive Media (come fatto su c.s. PSTN)



	IPvPhone – IPVP6441 Note per il masterista	Rev. 4 27/2/2008
--	---	---------------------

Figura 0 . Logo Interactive Media

Prevedere triangolino serigrafico che indica il pin 1 di tutti gli integrati e i connettori. Il triangolo deve rimanere esterno all'area occupata dal componente, in modo da essere visibile quando il componente è montato.

3.9 Net Points e Test Points

I componenti denominati NPn (Net Points) sono delle piazzole di rame montate sul LS, 1 mm circa di diametro, senza solder resist. Anche la serigrafia è sul LS.

I componenti denominati TPn (Test Points), a differenza dei NP, sono montati sul LC, hanno un foro passante metallizzato, la serigrafia sul LC, 1.5 mm circa di diametro esterno e 1 mm circa diametro interno finito.

Questi punti servono per monitorare alcuni segnali in fase di test o di collaudo. I TP devono essere posizionati in prossimità dei componenti che compaiono nella stessa pagina dello schema elettrico dove sono rappresentati.

4 Indicazioni specifiche per i vari moduli

Nel seguito si dà particolare enfasi a singoli moduli funzionali del circuito

4.1 Memoria RAM DDR2 (U6, U9, U10)

Questo paragrafo si occupa di U6, U9 e U10 e le loro interconnessioni (Segnali DDR2), cioè tutto quello che è contenuto alla pag. 5 dello schema elettrico. I Segnali DDR2 sono a loro volta suddivisi in 4 gruppi, ciascuno col suo clock di riferimento, come indicato nella seguente tabella

Gruppo di segnali DDR2	Clock di riferimento
DDR_BA[0..2]; DDR_A[0..12]; /DDR_CS; /DDR_CAS; /DDR_RAS; /DDR_WE; DDR_CKE (brevemente “ ADDR_CTRL ”)	DDR_CLK, /DDR_CLK ¹
DDR_D[0..7]; DDR_DQM0	DDR_DQS0
DDR_D[8..15]; DDR_DQM1	DDR_DQS1
DDR_D[16..23]; DDR_DQM2	DDR_DQS2
DDR_D[24..31]; DDR_DQM3	DDR_DQS3

Tabella 4. Gruppi dei Segnali DDR2

L'obiettivo è

- minimizzare lo skew tra le linee appartenenti a un dato gruppo (compreso il clock), equalizzando la lunghezza delle linee ⁽²⁾. La tolleranza è 100 mils.
- minimizzare il crosstalk tra le linee appartenenti a gruppi differenti, riducendo l'accoppiamento tra i gruppi

¹ DDR_CLK e /DDR_CLK rappresentano un unico segnale (differenziale)

² Questa equalizzazione non è necessaria tra linee di gruppi diversi

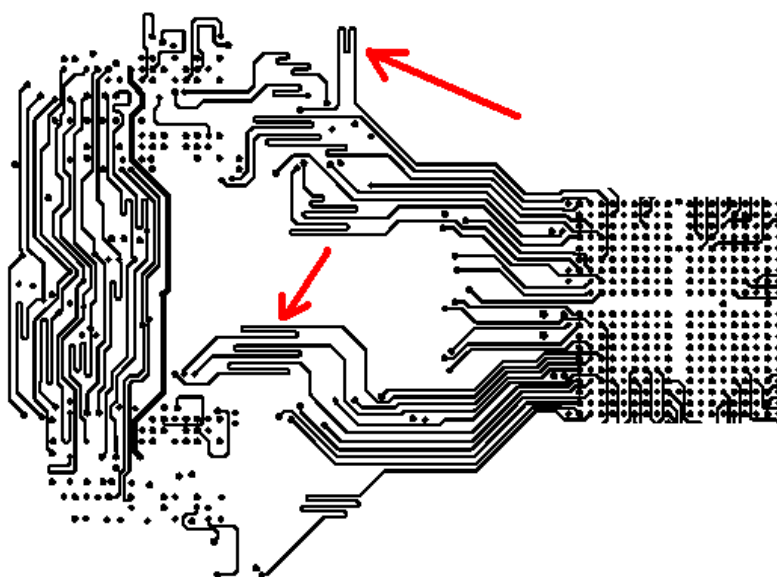


Figura 1. Equalizzazione in lunghezza

La seguente figura mostra le distanze minime consentite tra i vari segnali all'interno di uno stesso gruppo. In queste figure w è la larghezza minima di una traccia e vale **4 mils**.

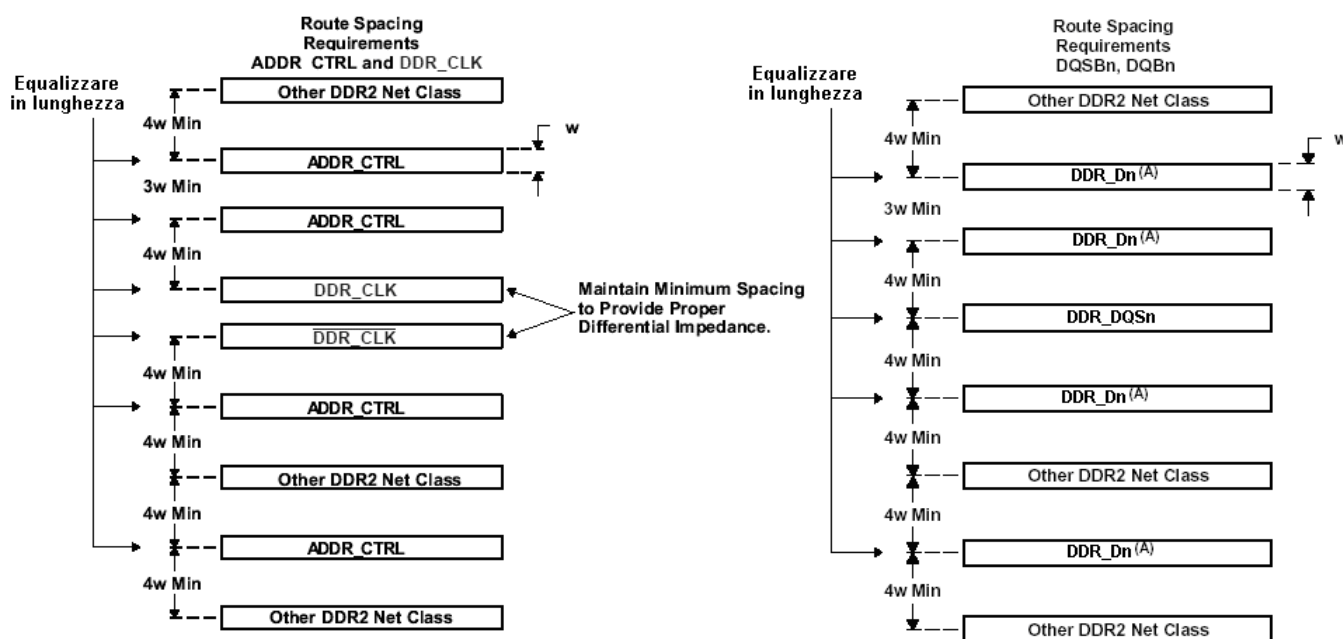


Figura 1. Distanze minime tra i Segnali DDR2

Nella figura DDR_Dn sono solo le otto linee associate al DDR_DQSn considerato. Le altre linee del bus dati devono essere considerate parte del gruppo "Other DDR2 Net Class". La separazione tra due linee non deve essere la minima consentita per più di 500 mils. La lunghezza delle linee appartenenti a un dato gruppo non deve superare la massima distanza di Manhattan in quel gruppo (compreso il clock). Tutti i Segnali DDR2 sono riferiti alla massa GND. Nell'area DDR2 non sono ammessi tagli nel piano di massa. La seguente figura mostra il posizionamento di U6, U9 e

U10, con distanze massime (in mils) e area riservata ai soli segnali DDR2 nei Layer interni 1,3,8 e 10³)

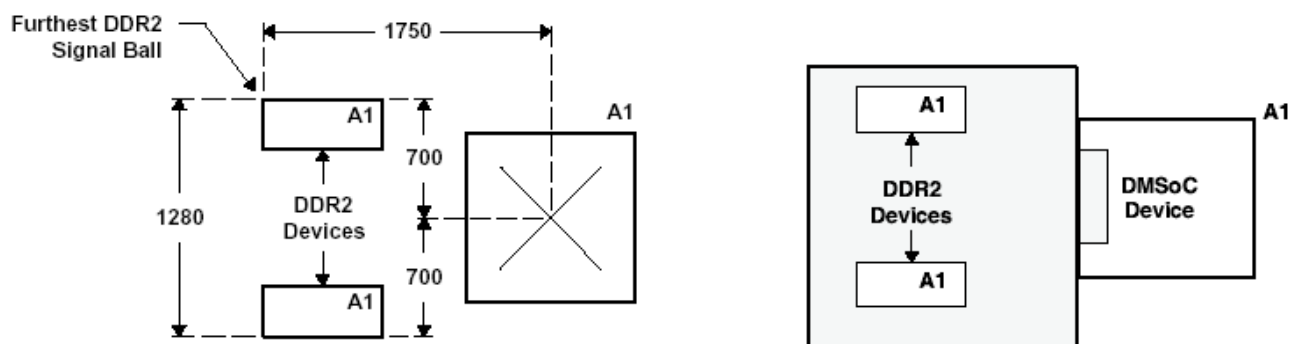


Figura 2. Posizionamento componenti U6, U9, U10 (distanze in mils)

Le reti resistive RN9..16 devono essere posizionate più vicino a U9 e U10, mentre le reti resistite RN17..21 devono essere posizionate più vicino a U6. Il piazzamento suggerito è mostrato in figura seguente.

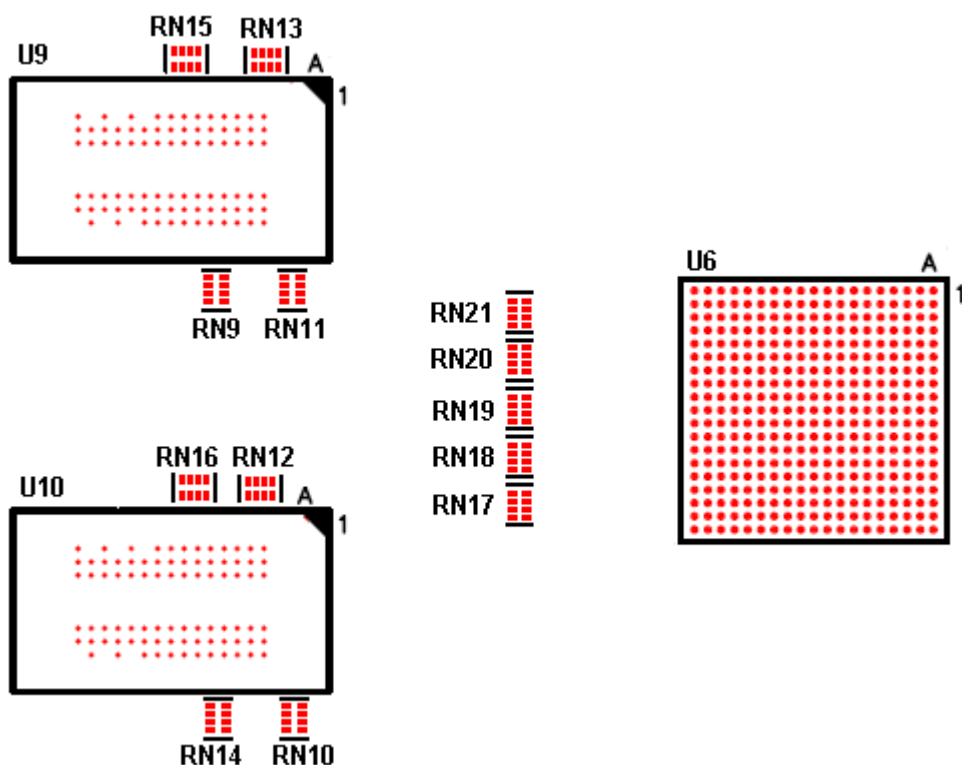


Figura 2. Posizionamento reti resistive RN9..21

Per quanto riguarda l'area riservata al montaggio degli integrati U9 e U10, bisogna prevedere il montaggio di tre package differenti:

- MT47H16M16BG FBGA-84 (8 x 14 mm)

³ Nella figura "A1" indica la ball di riferimento dell'integrato

- MT47H32M16BN FBGA-84 (10 x 12.5 mm)
- MT47H64M16HR FBGA-84 (8 x 12.5 mm)

I tre package non differiscono per il ball-grid-array, ma solo per l'area occupata dal chip, come mostrato nella seguente figura

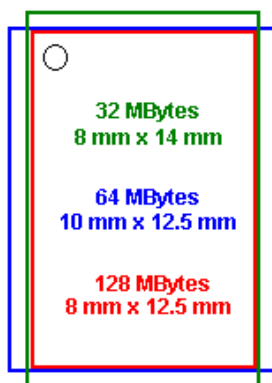


Figura 3. Dimensioni esterne di U9 e U10

Quindi, l'area riservata al montaggio di U9 e U10 dovrà essere almeno 10 mm x 14 mm

La seguente figura mostra lo stile di routing per i Segnali DDR2 (quelli che terminano su U9 e U10 e quelli che terminano soltanto su uno dei due). Quando il collegamento è a "T" i due rami trasversali devono avere la stessa lunghezza (tolleranza 100 mils).

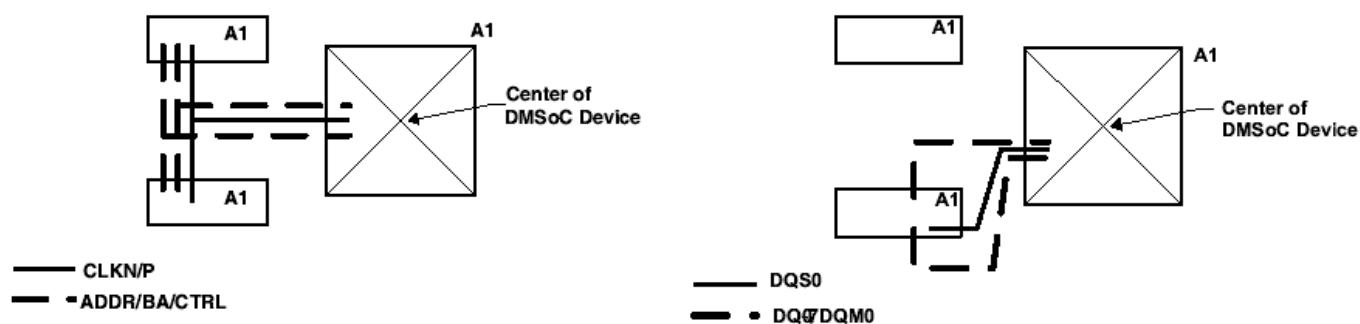


Figura 4. Routing tipico dei Segnali DDR2

La seguente figura mostra un esempio di posizionamento per i componenti passivi

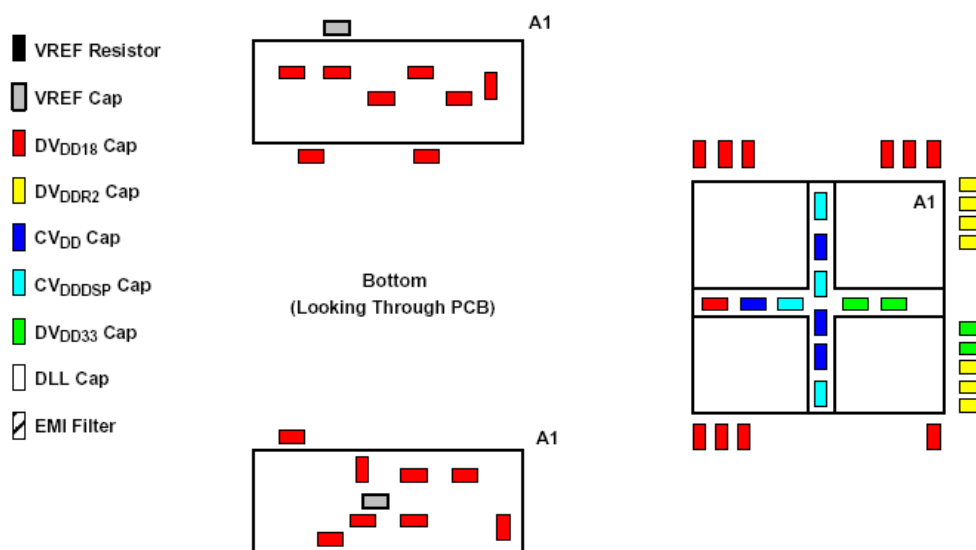


Figura 5. Posizionamento componenti passivi intorno a U6, U9, U10

La seguente figura mostra un esempio di routing per la linea DDR_VREF (larghezza nominale 20 mils) e la posizione dei condensatori di Bypass collegati a questa linea.

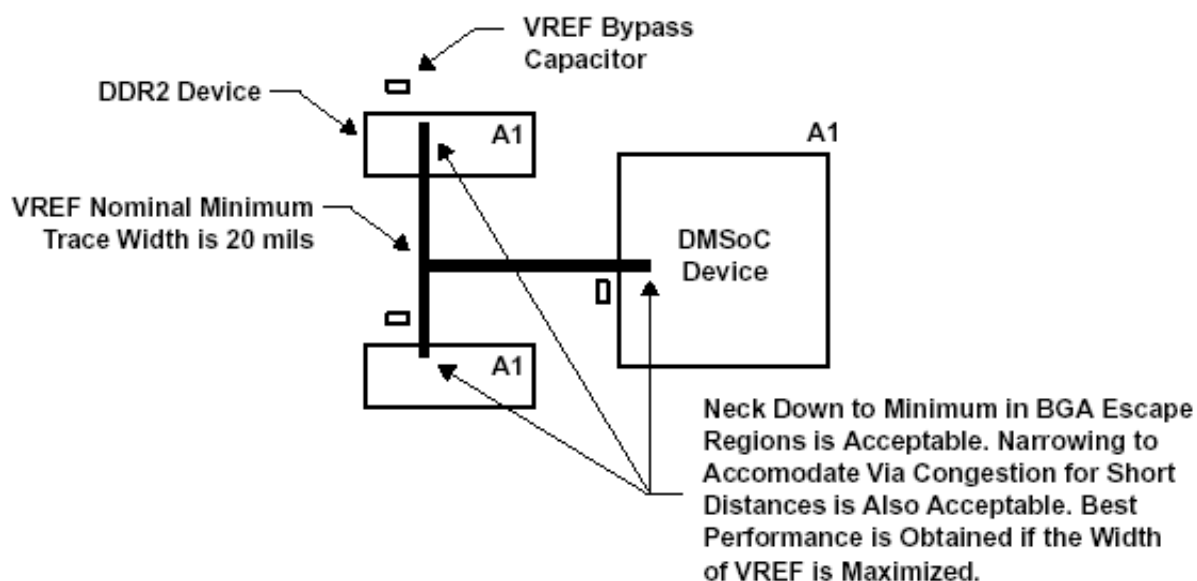


Figura 6. Routing linea DDR_VREF

Tutte le suddette indicazioni sono state rispettate sulla scheda DaVinci EVM DM6441, di cui si allega Schema elettrico e file Gerber, come utile riferimento.

4.2 Alimentazione

I componenti U25 e U27 sono due regolatori switching (LT3506AEFE). Come layout di riferimento si può guardare la seguente figura.

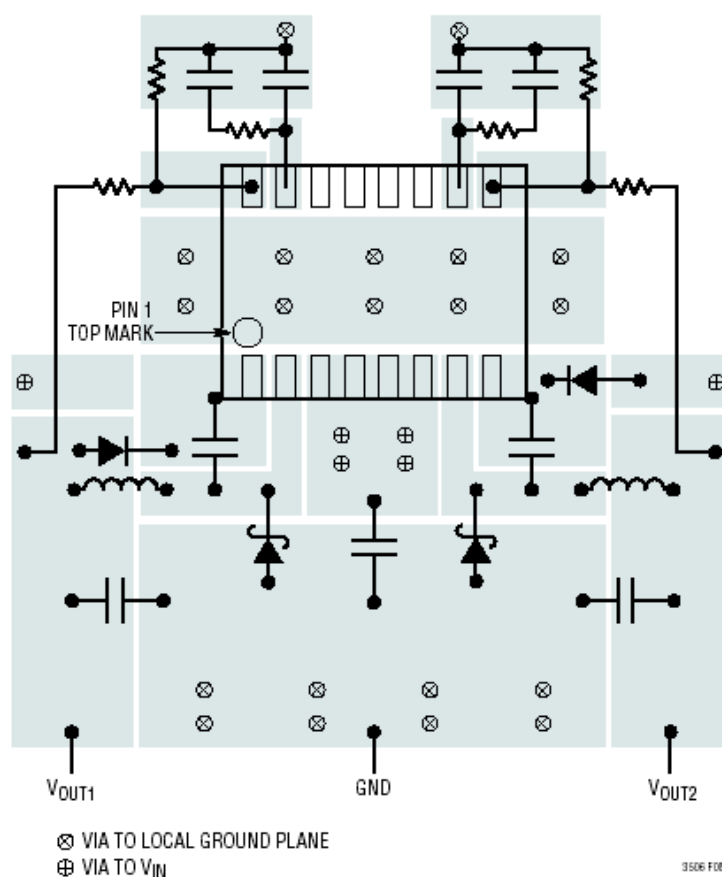


Figura 7. Esempio di layout per LT3506AEFE (U25 e U27)

Si noti l'abbondanza di via. Essi hanno lo scopo di ridurre la resistenza nei confronti dei flussi di corrente e/o di calore. Sotto il corpo dell'integrato c'è un pad termico, indicato con il pin 17 nello schema elettrico, che deve essere collegato a GND con una decina di via.

4.3 Video Decoder (U48)

Il componente U48 è in package TQFP-80 PowerPAD. Sul lato inferiore del corpo del componente vi è una metallizzazione che deve essere collegata a GND per ottimizzare la dissipazione del calore. Per fare ciò occorre disporre sul LC un'area di rame 10 mm x 10 mm, con al centro una finestra priva di solder resist 6.2 mm x 6.2 mm, e connessa al piano GND con dei vias da 0.25 mm (vedi figura).

Per maggiori dettagli vedere il documento di package allegato.

5 Meccanica

La seguente figura mostra le dimensioni esterne del PCB e un **suggerimento** per il piazzamento dei componenti (non tutti sono visibili). Si noti il connettore SIM J14, che va montato sul LS. In caso di necessità altri componenti possono essere montati sul LS, ma non i BGA.

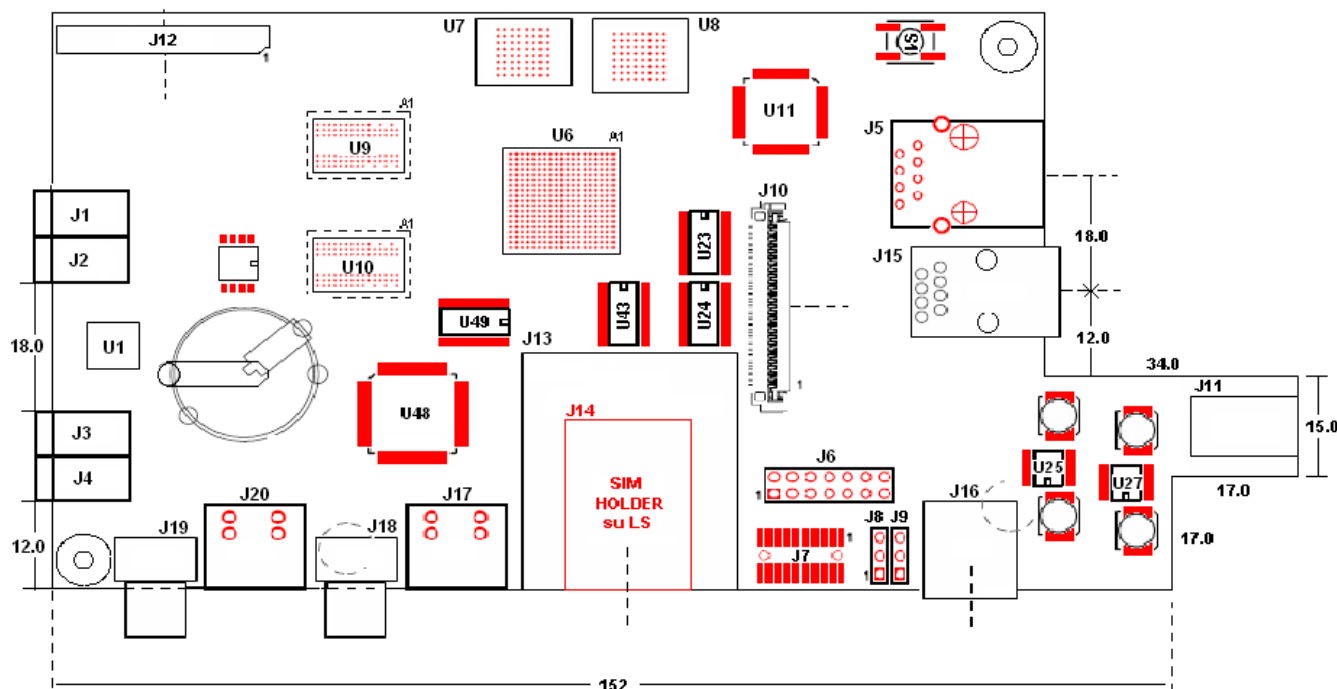


Figura 8. Layout posizionamento indicativo (vista LC)

Le dimensioni esterne della scheda devono corrispondere a quelle del videotelefono campione fornito. Il connettore J12 deve essere allineato con il connettore J5 della scheda PSTN.

L'asse dei connettori J5, J13, J14, J15, J16 è stabilito dai vincoli meccanici della scocca di plastica del videotelefono campione fornito (occorre fare qualche verifica con il calibro).

L'asse del connettore J10 è uguale a quello del connettore corrispondente presente sullo stampato del videotelefono campione fornito.

J8 e J9 possono essere affiancati a toccarsi, in modo che la distanza tra pin corrispondenti sia proprio 2.54 mm.

6 Package Componenti

Il package dei componenti è dato negli allegati in formato pdf. Nel seguito sono riportate informazioni integrative.

6.1 Connettore SIM Card (J14)

Il connettore J14 ha la seguente numerazione dei pin

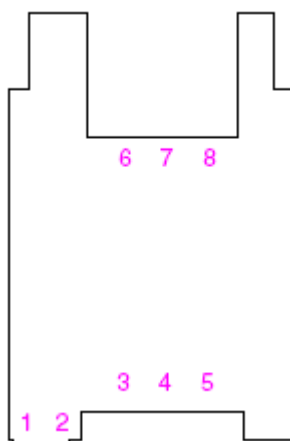


Figura 10. J14 - Top View

6.2 Connettore FPC 50 posizioni (J10)

Il connettore FPC da 50 posizioni J10 deve essere montato sul LC. Questo connettore è unito a un connettore uguale presente sulla Video IO Board (IPVP6441A), rispetto al quale ha i segnali invertiti. Questo significa che il segnale che ha posizione n sulla Base Board ha posizione 51-n sulla Video IO Board, e viceversa. Per entrambe i connettori la numerazione dei pin è quella standard.

6.3 BGA

La scheda ha molti componenti in package BGA. I parametri più importanti sono il **diametro dei pin** (ball) e il **pitch**.

Per quanto riguarda il Solder Resist, in generale ci sono due situazioni possibili, come mostrato nella seguente figura

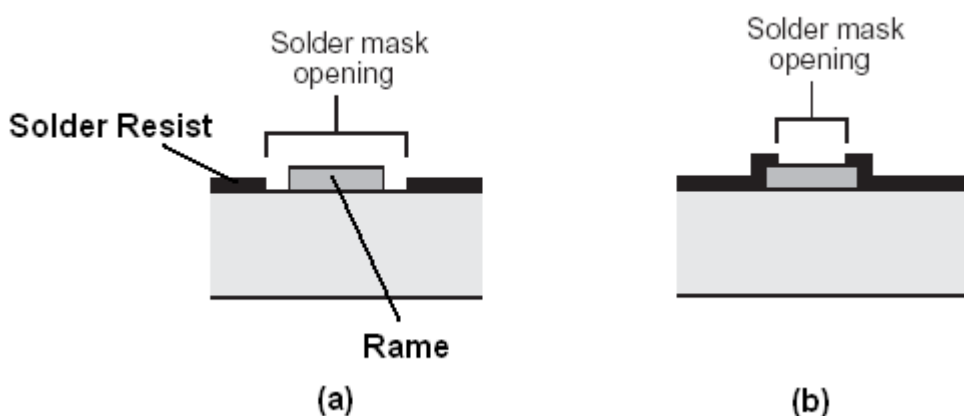


Figura 9. Pads tipo NSMD (a) e SMD (b)

Nel tipo NSMD il diametro dell'apertura del Solder è maggiore del diametro del pad di rame. Nel tipo SMD il diametro dell'apertura del Solder è minore del diametro del pad di rame, e pertanto una piccola parte del rame è coperta dal Solder.

6.3.1 Pads BGA per U6

L'integrato U6 è in tecnologia *Flip Chip BGA (361 pin)*, con pitch **0.8 mm** e diametro dei pin **0.5 mm**.

I pads di rame sul PCB che devono venire a contatto con i pin del BGA devono rispettare le dimensioni riportate nella seguente figura

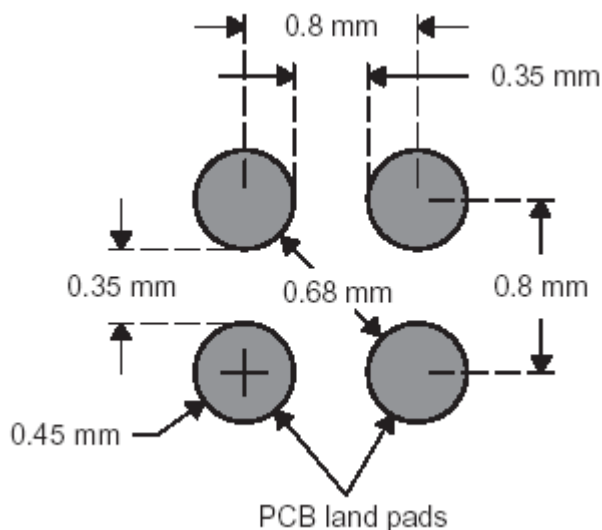


Figura 10. BGA Pads per U6

Con questa scelta non più di una linea da 4 mils può passare tra due pin del BGA.
Per U6 prevedere il tipo NSMD con

- Diametro pad di rame: **0.45 mm**
- Diametro apertura del Solder: **0.60 mm**

6.3.2 Pads BGA per U9 e U10 (DDR2)

U9 e U10 hanno pitch **0.8 mm** e diametro dei pin **0.45 mm**.

Per questi componenti prevedere il tipo NSMD con

- Diametro pad di rame: **0.35 mm**
- Diametro apertura del Solder: **0.50 mm**

6.3.3 Pads BGA per U7 (Flash Intel)

U7 ha pitch **1 mm** e diametro dei pin **0.43 mm**.

Prevedere il tipo NSMD con

- Diametro pad di rame: **0.35 mm**

- Diametro apertura del Solder: **0.50 mm**

6.3.4 Pads BGA per U8 (Flash Spansion)

U8 ha pitch **1 mm** e diametro dei pin **0.6 mm**.

Prevedere il tipo NSMD con

- Diametro pad di rame: **0.45 mm**
- Diametro apertura del Solder: **0.60 mm**

Riferimenti:

- *Implementing DDR2 PCB Layout on the TMS320DM644x DMSoC (SPRAAC5F)*
- *TMS320C6000 Board Design for JTAG (SPRA584C)*
- *High-Speed DSP Systems Design (SPRU889)*
- *The Flip Chip Ball Grid Array Package Reference Guide (SPRU811)*
- *PowerPAD Thermally Enhanced Package (SLMA002A)*
- *datasheet componenti*
- *PCB impedance Calculator (Cristaudo Pietro)*
- http://www.technick.net/public/code/cp_dpage.php?aiocp_dp=util_pcb_imp_stripline_dual