

I emissione	Emessa:	Verificata:	Approvata:
	ing Gabriele Filosofi	<Caio>	<Sempronio>

1 Indice

1	Indice	1
2	Premessa	2
3	Moduli Hardware.....	2
3.1	Alimentazione	4
3.2	Generatore di Power-on Reset e Voltage Monitors	5
3.3	Da Vinci™ System On Chip	5
3.4	Memoria Flash NOR	17
3.5	Memoria RAM DDR2	17
3.6	Switches e Voltage Translators.....	21
3.7	Interfaccia Ethernet 10/100 Mbps	22
3.8	Sincronismi audio e video	22
3.9	Ingresso Video Decoder PAL/NTSC	28
3.10	Interfaccia CMOS Camera Sensor	30
3.11	Uscita Video	32
3.12	Uscita Display LCD	33
3.13	Interfaccia SD-MMC / MS	35
3.14	Audio Codec	37
3.15	Modulo Analogico PSTN.....	40
3.16	UART-0.....	43
3.17	UART-1.....	43
3.18	UART-2.....	43
3.19	RTC	43
3.20	Emulatore In-Circuit JTAG	44
3.21	Memory Map.....	44
3.22	JTAG Boundary Scan Chain	46
3.23	I/O Expander	47
3.24	I2C bus	47
3.25	USB 2.0	48
3.26	Dip-Switch	48
3.27	SIM Card Reader.....	49
3.28	Programmazione registri VPSS	50
4	Riferimenti	53

2 Premessa

L'IP Video Phone (IPvPhone) di InteractiveMedia™ e' un dispositivo innovativo "combinato" costituito da un videotelefono IP (Modulo Digitale) e da un telefono POTS tradizionale (Modulo Analogico). Il dispositivo può essere utilizzato come un normale telefono fisso (POTS), anche in assenza di alimentazione locale, ma se fornito di alimentazione e di connettività IP permette di effettuare video chiamate IP ad alta qualità.

Il presente documento contiene la Parte I delle Specifiche di Progetto del solo Modulo Digitale, e tratta dell'architettura hardware. La Parte II tratta dell'architettura software.

Dal punto di vista hardware il Modulo Digitale si compone delle due schede IPVP6441 (Base Board) e IPVP6441A (Video IO Board). Il cuore del IPVP6441 e' il TMS320DM6441 "DaVinci Digital Media Processor", dispositivo SoC di TEXAS INSTRUMENTS costituito da un core ARM9 e da un core DSP TMS320C64x+.

Il core ARM9, ben supportato da diversi sistemi operativi, e il core DSP con le sue periferiche dedicate formano una combinazione ideale per applicazioni multimediali incentrate sul video. Sul lato DSP esistono molte terze parti, oltre a TI stessa, in grado di fornire software di compressione audio/video (H.264, G.711, G.729, MPEG4, ecc).

Come già detto, il videotelefono ha possibilità di funzionare anche come un comune telefono fisso, al suo interno infatti è presente un modulo che implementa in tutto e per tutto le funzionalità di un telefono analogico omologato. Le funzionalità del telefono tradizionale sono arricchite dalla possibilità di gestire gli SMS in entrata e in uscita.

Il videotelefono è dotato di una cornetta telefonica, una tastiera, un monitor orientabile TFT a colori con risoluzione 320x240 (QVGA), una videocamera integrata con risoluzione 640x480 (VGA), ingressi e uscite audio e video, una porta Ethernet 10/100 Base-T per la connettività IP, una porta seriale di servizio, un'interfaccia USB 2.0 host, uno slot per la scheda SIM e uno slot SD/MMC/MS per lo storage.

Inoltre il videotelefono implementa il self-view PIP (picture-in-picture), la cancellazione dell'eco, il VAD (voice activity detection), la generazione dei toni DTMF, un buffer anti-jitter adattativo, e tutti i protocolli di segnalazione e controllo necessari alla instaurazione di una videochiamata su IP.

3 Moduli Hardware

Nei paragrafi seguenti sono descritti nel dettaglio i vari sottosistemi HW del Modulo Digitale, del quale la seguente figura dà uno schema a blocchi

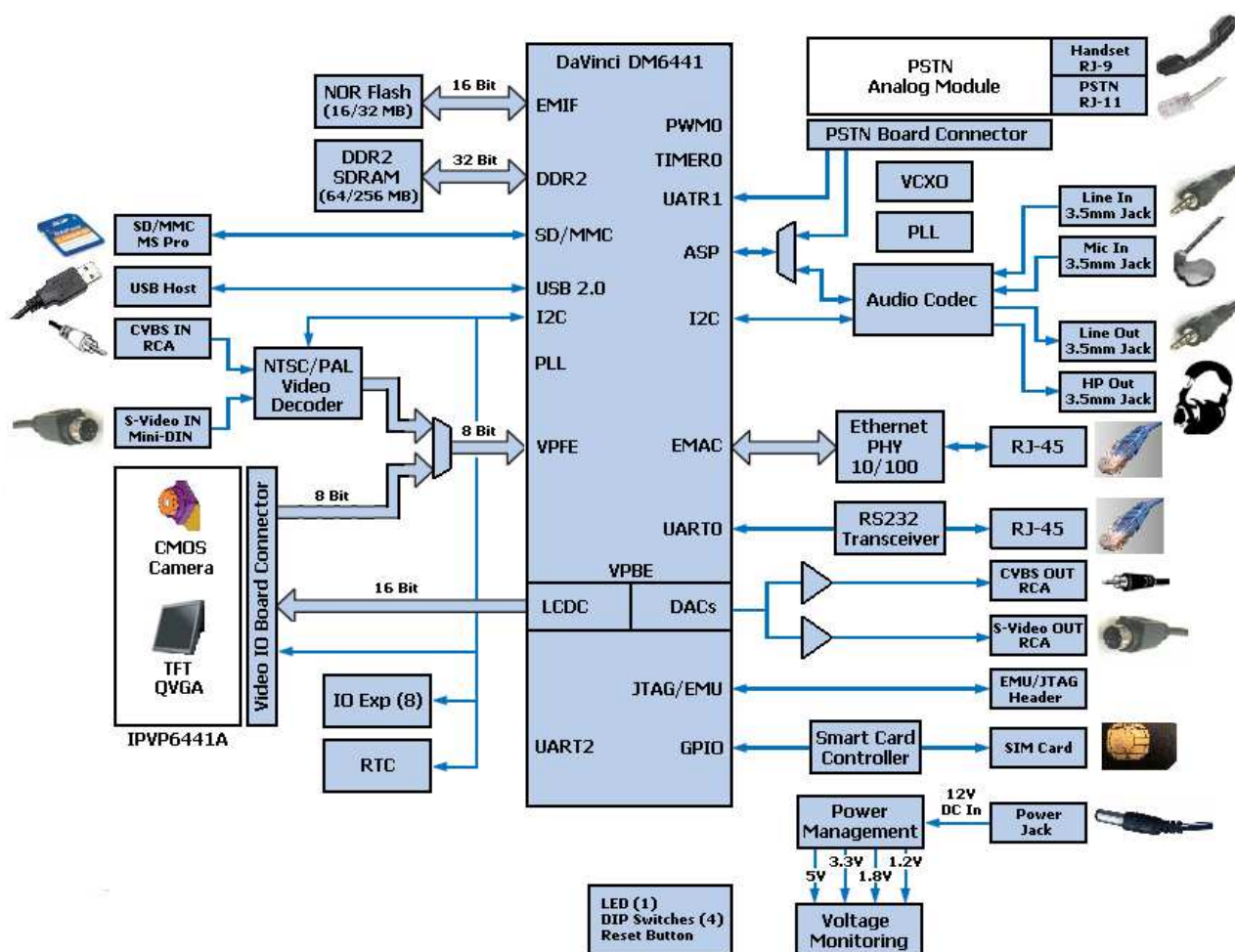


Figura 1. Schema a blocchi del Modulo Digitale

La figura seguente mostra il modulo digitale, lato componenti

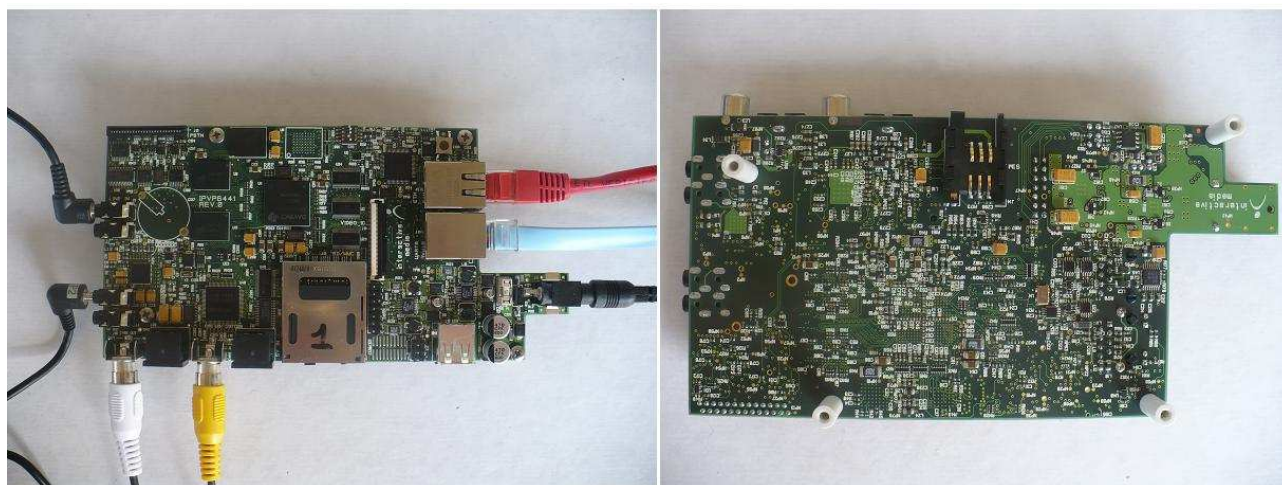


Figura 1. Modulo Digitale IPVP6441

3.1 Alimentazione

Il Modulo Digitale del IPvPhone riceve 12Vdc@2A da un alimentatore esterno Wall Adapter sul connettore J11 (power jack 5.5 mm).

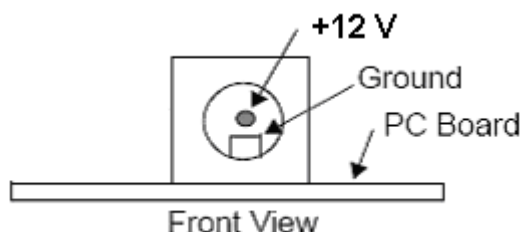


Figura 2. Connettore +12V (J11)

Le tensioni derivate dai +12V sono:

- VCC5 = 5V±3% (interfaccia USB host, alimentazione modulo PSTN)
- DVDD33 = 3.3V±3% (I/O DM6441, logica, CMOS Camera Sensor)
- DVDD18 = 1.8V±3% (I/O DM6441, memorie, logica, CMOS Camera Sensor, DDR2, Flash, AIC33)
- CVDD = 1.2V±3% (core DM6441)
- CAM_DVDD = 2.8V±3% (CMOS Camera Sensor)

La seguente tabella fornisce un'indicazione dei consumi previsti per vari dispositivi in condizioni operative tipiche (in mA).

Device	5V	3.3V	2.8V	1.8V	1.2V
DM6441		42		150	800
DDR2 SDRAM				660	
NOR Flash				90	
CMOS Camera Sensor			35	40	
TVP5146		22		146	
TFT 3.5" (EVERVISION)	87	20			
TFT 5.7" (SHARP)	860	130			
PLL esterni		8		25	
Modulo Analogico	100				
LXT971		100			
AIC33		6		6	
Logica		50	10	50	
SIM Card Controller	55	55		30	
Video OP AMPs		18			
Totale	1015	431	45	1197	800

Tabella 1. Stima dei consumi tipici (mA)

Per generare le tensioni suddette vengono utilizzati due regolatori switching DC/DC duali LINEAR TECHNOLOGY LT3506A (U25,U27). Con una frequenza di switching PWM di 1.1MHz, questi regolatori possono fornire tensioni di uscita ≥0.8V e correnti fino a 1.6 A, mantenendo una buona efficienza. Sul lato inferiore del componente vi è un pad termico connesso a GND tramite una dozzina di vias, per la dissipazione del calore.

Un regolatore lineare LDO TI TPS73201DBVR da 250 mA, presente sulla scheda IPVP6441A, genera i 2.8V necessari per alimentare il CMOS Camera Sensor, a partire dai 3.3V.

La scheda IPVP6441 può montare all'occorrenza anche il dispositivo DaVinci DM6446, avente uno speed-grade maggiore. In questo caso il consumo relativo alle voci DM6441 e DDR2 SDRAM dovrebbe grossomodo aumentare di un fattore 22/19, cioè di un 16%.

Il consumo misurato del Modulo Digitale è risultato essere 0.9A @ 12V con TFT 3.5" acceso; 0.52A @ 12V con TFT spento.

3.2 Generatore di Power-on Reset e Voltage Monitors

Il pin /RESET del DM644x deve essere tenuto attivo (basso) durante il power-up. Prima che il /RESET venga disattivato le tensioni di core e di I/O e il clock esterno a 27 MHz sul pin MXI/CLKIN devono raggiungere le corrette condizioni operative.

La supervisione delle varie tensioni nei range operativi è affidata a dispositivi TI TPS3808G12 (U39,U41,U42).

Se la tensione sul pin SENSE di questo dispositivo scende al disotto di una soglia predefinita (oppure se l'ingresso /MR va a zero) l'uscita open drain /RESET va a 0 per 20 ms.

La tensione nominale di soglia è 1.12V. Per il monitoraggio delle tensioni differenti da 1.2V la tensione viene riportata sul pin SENSE mediante un opportuno partitore resistivo.

3.3 Da Vinci™ System On Chip

Il cuore del Modulo Digitale è rappresentato dal System On Chip TI TMS320DM6441ZWT, con DSP embedded C64x+@513Mhz, CPU RISC embedded ARM926@256MHz, un coprocessore video (VICP) e una serie di periferiche, anch'esse integrate.

Il processo di fabbricazione è a 90 nm, il package BGA-361, le alimentazioni 3.3V/1.8V (I/O) e 1.2V (Core).

La seguente figura mostra i due core, le periferiche e i sottosistemi integrati nel DM644x.

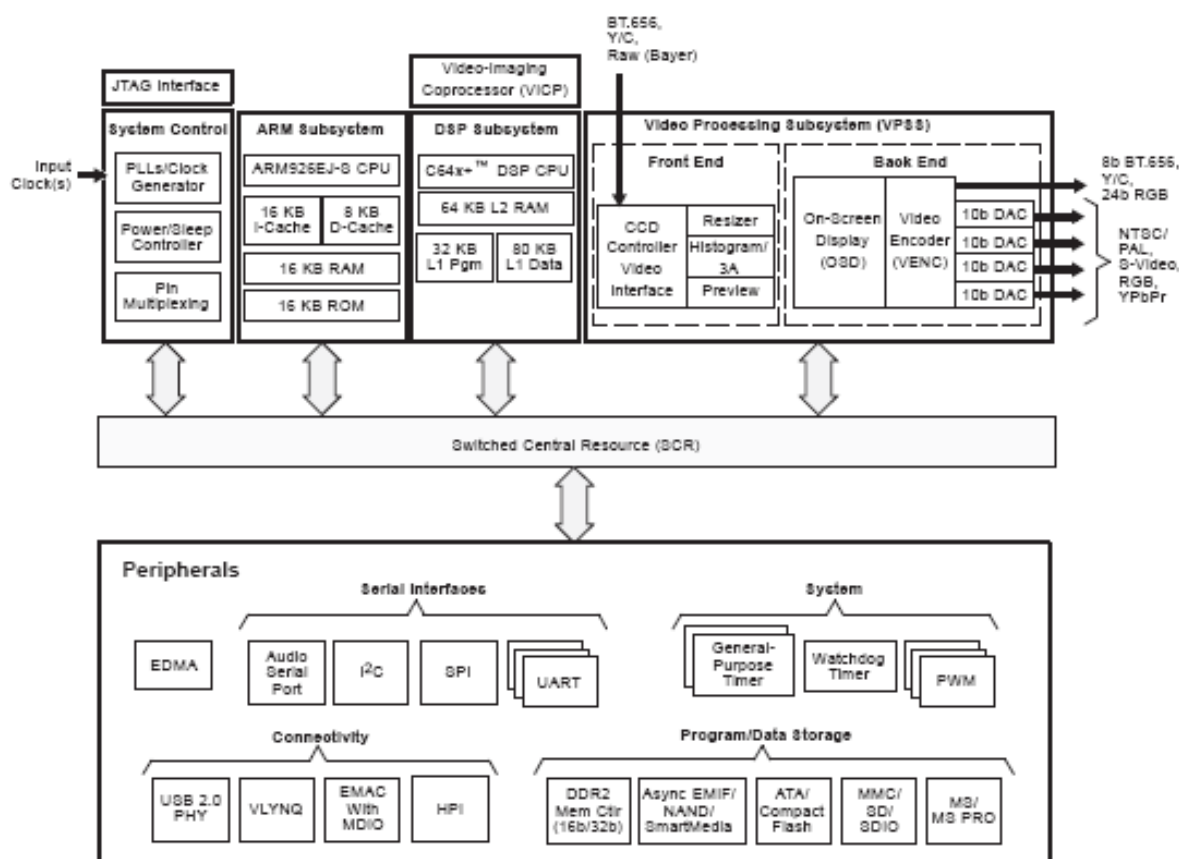


Figura 3. Blocchi funzionali del SoC DM644x

Il core ARM è ARM926EJ-S, il che significa che è un ARM9 (con architettura Harvard) dotato di cache, MMU, 5 stadi di Pipeline, 37 registri a 32-bit, set di istruzioni ARMv5TEJ con estensioni Thumb, DSP e acceleratore Java (Jazelle).

L'ARM è un po' il gestore di tutti i sottosistemi (compreso il DSP) e ha accesso a tutte le periferiche, ad eccezione del VICP.

Il DSP ha accesso a DDR2, EMIF e alle periferiche VICP, EDMA, ASP e Timers.

Le risorse di memoria presenti nel DM6441 sono così suddivise:

DSP

- 32KB L1 program (L1P)/cache (up to 32KB)
- 80KB L1 data (L1D)/cache (up to 32KB)
- 64KB unified mapped RAM/cache (L2)

ARM

- 16KB I-cache
- 8KB D-cache
- 16KB RAM
- 8KB ROM (bootloader RBL)

3.3.1 Endianess

La modalità di funzionamento del DM644x è Little Endian, il che significa che il byte (half-word) a un indirizzo word-aligned è il byte (half-word) meno significativo della word presente a quell'indirizzo.

3.3.2 Caratteristiche elettriche dei pin di I/O

I pin di I/O del DM644x hanno livelli logici riferiti alla tensione 3.3V oppure alla tensione 1.8V. Le soglie nominali di tensione V_{IH} , V_{IL} , V_{OH} , V_{OL} sono esemplificate nella figura seguente

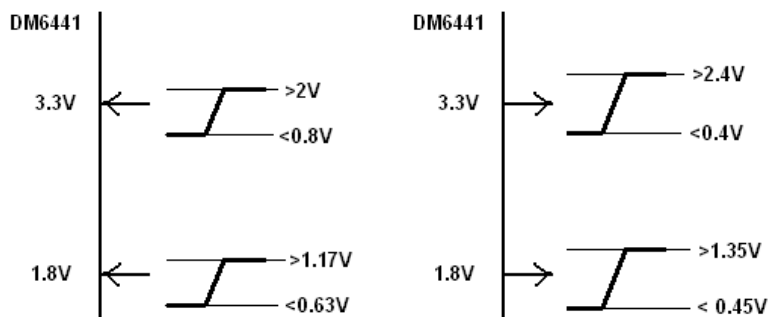


Figura 4. Livelli logici sui pin del DM644x

La corrente massima in ingresso o in uscita a ciascun pin è 4mA, la capacità associata 4pF.

3.3.3 Modalità di Boot ARM

Al momento in cui il pin /RESET torna alto lo stato logico presente su alcuni pin del DM644x definisce le seguenti opzioni di boot:

- Address bus EMIF a 22-bit (AEAW[]=11111b)
- Data bus EMIF a 16-bit (EM_WIDTH=1)
- Il boot del DSP è controllato dall'ARM (DSP_BT=0)
- L'ARM esegue il boot da Flash oppure dalla ROM interna al DM644x (BTSEL[]=01b/11b)

Per quanto riguarda l'ultimo punto, la scelta è selezionabile in HW tramite il Dip-Switch SW1.

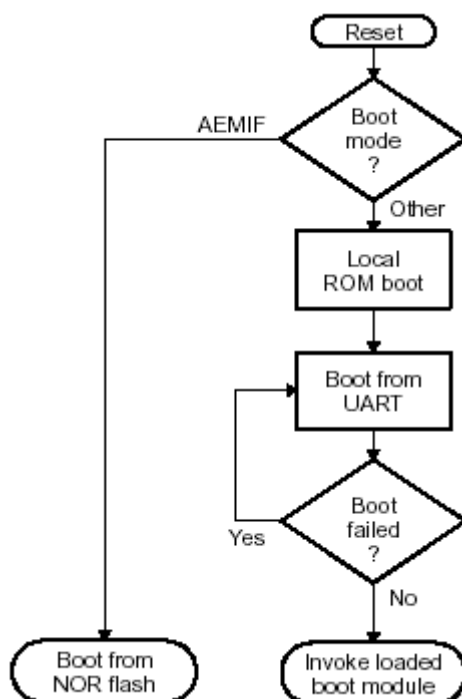


Figura 5. Boot del core ARM nel Modulo Digitale

3.3.4 Boot ARM da ROM (UART)

Il boot da ROM è la condizione operativa necessaria quando la Flash è vuota ed occorre programmarla. La ROM interna al core ARM è mappata in 0x00004000-0x00005FFF (istruzioni) e 0x00008000-0x0000DFFF (dati).

Nel boot da ROM l'ARM salta all'indirizzo 0x00004000 dove un Bootloader di primo livello (RBL) permette di trasferire un eseguibile binario per ARM di max 14KBytes dalla UART0 alla RAM interna (IRAM) e di eseguirlo ⁽¹⁾. Questo programma, compilato seguendo le istruzioni date nel documento SPRAAI0, può essere un Bootloader di secondo livello (User Bootloader, UBL) che, tipicamente,

- 1) copia se stesso nella IRAM e salta all'entry point
- 2) configura il controllore DDR2, il clock di sistema, ecc. (dm644x.c)
- 3) permette di caricare in Flash un file eseguibile, come ad esempio Bootloader di terzo livello (U-Boot)
- 4) permette di caricare in RAM un applicativo qualsiasi e andarlo a eseguire

Per il trasferimento da UART, sul PC host gira un programma SHUP (Host Utility Program) e la porta seriale è impostata su 115.2 kbps, 8-bit, nessuna parità, 1 bit di stop.

Le implementazioni UBL e DVFlasher 1.14 (SHUP) utilizzate nel IPvPhone sono basate su SPRAAI4.

- Per ricompilare il progetto SPRAAI4 sotto Windows occorre installare .NET Framework 2.0 (che già fornisce il compilatore C#, csc.exe, necessario per compilare la parte host **DVFlasher.exe**) e Cygwin (ambiente Linux con cross-compiler GNU toolchain per il build dell'UBL **ubl_davinci_nor.bin**).
- Per ricompilare il progetto SPRAAI4 sotto Linux si possono scaricare i tools da <http://www.mono-project.com/Downloads>. Mono è un Framework open source che permette di compilare applicazioni che gireranno sia su Linux che su Windows

3.3.5 Boot ARM da EMIF (Flash)

Il boot da Flash è la condizione operativa normale del Modulo Digitale.

Nel boot da Flash l'ARM inizia il fetch delle istruzioni all'indirizzo 0x02000000 (/CS2 attivo) cioè all'inizio della Flash. Chiaramente questa opzione va usata quando la Flash contiene già un programma (come ad esempio UBL oppure direttamente U-Boot, necessario per caricare in RAM il kernel Linux ulmage).

La seguente figura dà un'idea della successione degli eventi nei due tipi di boot previsti nel IPvPhone.

¹ In realtà l'UBL è copiato in 8020-B81Fh (TCM), infatti i primi 32-bytes della IRAM contengono la IVT dell'ARM (8 vettori da 4-bytes).

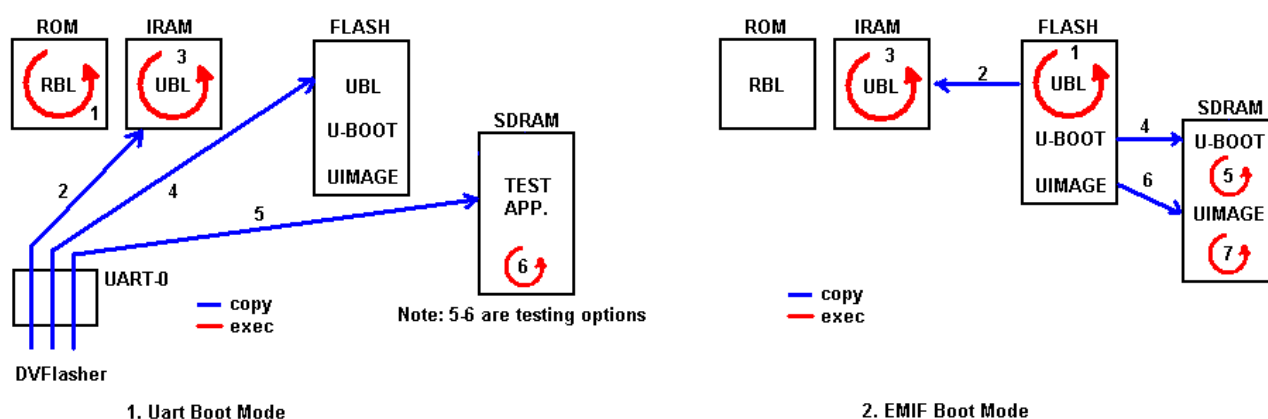


Figura 6. Boot dell'ARM nel Modulo Digitale del IPvPhone

3.3.6 Modalità di Boot DSP

Per quanto riguarda il boot del core DSP, l'ARM copia l'eseguibile del DSP dalla Flash a un predeterminato indirizzo nella RAM, scrive lo stesso indirizzo nel registro DSPBOOTADDR e infine toglie il DSP dal reset (*External boot mode*).

3.3.7 Configurazione dei pin e delle periferiche

La seguente tabella mostra i registri di sistema del DM644x (System Module).

Address	Register	Value at Reset	Default value after Reset	Description
0x01C4 0000	PINMUX0	0x0000001F	0x8040001F	RGB565 ² , EMAC
0x01C4 0004	PINMUX1	0x00000000	0x00050493	TIMIN, ASP, I2C, PWM0, CLKOUT0, UART0/1, SD/MMC
0x01C4 0008	DSPBOOTADDR	0x42200000	To be set	DSP reset vector address (DDR2, da 0x80000000)
0x01C4 000C	SUSPSRC	0x00000000	0x00000000	All peripheral are associated to ARM
0x01C4 0010	INTGEN	0x00000000	-----	ARM to DSP and DSP to ARM interrupts
0x01C4 0014	BOOTCFG	0x00000000	0x000000XF	X = 7(F) if ARM boots from Flash (UART0)
0x01C4 0028	DEVICE_ID	0x0B70002F	0x0B70002F	Device ID Number (read only)
0x01C4 0030	HPI_CTL	0x00000000	0x00000000	HPI Control (not used)
0x01C4 0034	USBPHY_CTL	0x000000C7	0x000000C2	USB Phy Control (attivazione porta fisica e oscillatore)
0x01C4 0038	CHP_SHRTSW	0x00000000	0x00000001	DSP power enabled (Reset value depends on DSP_BT pin state)
0x01C4 003C	MSTPRI0	0x00050111	To be set	Set priority level for SCR bus master
0x01C4 0040	MSTPRI1	0x00444444	To be set	Set priority level for SCR bus master
0x01C4 0044	VPSS_CLKCTL	0x00000000	0x0000001A	CLK_VENC = VPBECLK, VENC e DAC clocks abilitati
0x01C4 0048	VDD3P3V_PWDN	0x00000000	0x00000000	MMC/SD/SDIO and 3.3V I/O buffer powered up
0x01C4 004C	DRRVTPER	-----	-----	Enables access to the DDR2 VTP register

² Per avere RGB666 occorre programmare RGB888 e rinunciare a dei pin di GPIOs (cfr. sprz246d)

Tabella 2. System Module Registers

Le periferiche interne del DM644x non utilizzate nell'applicazione IPvPhone sono ATA, VLYNQ, SPI, PWM1/2, GPIO3V. Le periferiche utilizzate sono EMIFA, VPFE (CCD), VPBE (LCD in modo RGB666), I2C, PWM0, UART0/1, ASP, EMAC. In più predisponiamo la UART2 con funzioni di porta ausiliaria (normalmente non operativa), l'uscita CLKOUT0 e l'ingresso al TIMER0. Questo schema determina la funzione dei pin multiplexati sulle diverse periferiche, come specificato dai registri MUXPIN0/1.

A causa di un problema sul silicio, le porte GPIO2-6 e GPIO38 funzionano solo impostando la modalità RGB666, che produce in realtà una RGB565 (cfr. Errata sprz246d). Per avere un RGB666 occorre programmare RGB888 e rinunciare a questi pin di I/O. In definitiva, programmando PINMUX0 a **0x8080001F** avremo RGB666 ma non funzioneranno GPIO2-6 e GPIO38; programmando PINMUX0 a **0x8040001F** avremo RGB565 e potremo utilizzare GPIO2-6 e GPIO38.

31	30	28	27	26	25	24	23	22	21	18	17	16
EMACEN	RSVD	HPIEN	RSVD	CFLDEN	CWEN	LFLDEN	LOEEN	RGB888	RGB666	RESERVED	ATAEN	HDIREN
R/W-0	R/W-0	R/W-D	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0000	R/W-0	R/W-0
15	14	13	12	11	10	9			5	4		0
VLYNQEN	VLSCREN	VLYNQWD	AECS5	AECS4			RESERVED				AEAW	
R/W-0	R/W-0	R/W-00	R/W-0	R/W-0			R-00000				R/W-LLLL	

Figura 7. Registro PINMUX0

31											19	18	17	16
											RESERVED	TIMIN	CLK1	CLK0
											R-0000 0000 0000 0	R/W-0	R/W-0	R/W-0
15			11	10	9	8	7	6	5	4	3	2	1	0
		RESERVED		ASP	MSKT	SPI	I2C	PWM2	PWM1	PWM0	U2FLO	UART2	UART1	UART0
		R-0000 0		R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

Figura 8. Registro PINMUX1

Il registro SUSPSRC associa ciascuna periferica interna al core ARM o al DSP, in modo tale che durante un halt in fase di emulazione ARM (DSP) le periferiche associate al DSP (ARM) non vengano bloccate.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
VICP SRC	VICP EN	TIMR2 SRC	TIMR1 SRC	TIMR0 SRC	GPIO SRC	PWM2 SRC	PWM1 SRC	PWM0 SRC	SPI SRC	UART2 SRC	UART1 SRC	UART0 SRC	I2C SRC	ASP SRC	RSV
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0
15		13	12	11	10	9	8		6	5	4				0
	RESERVED	HPI SRC		RESERVED	USB SRC		RESERVED		EMAC SRC				RESERVED		
	R- 0000 00	R/W-0		R- 00	R/W-0		R-0 00		R/W-0				R-0 0000		

Figura 9. Registro SUSPSRC

Il registro CHP_SHRTSW apre/chiude il dominio di alimentazione del DSP e del VICP sul dominio di alimentazione "Always ON". Programmando a **0x00000001** questo registro chiudiamo il circuito.

Il registro VDD3P3V_PWDN abilita/disabilita i buffer verso per quei pin di GPIO che funzionano a 3.3V, comprendendo quindi anche l'interfaccia SD/MMC. Programmando a **0x00000000** questo registro abilitiamo i buffer.

Il registro BOOTCFG riflette al reset lo stato dei pin omonimi. Il valore sarà **0x000000FF** quando è selezionato il boot da ROM UART-0 (Dip-Switch SW1). In condizioni operative normali il valore sarà **0x0000007F**.

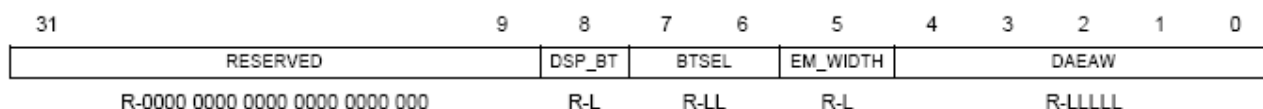


Figura 10. Registro BOOTCFG

Il registro DSPBOOTADDR contiene i 22 bit più significativi dell'indirizzo del vettore di reset del DSP. Il valore di default **0x42200000** mappa direttamente in Flash (cfr. pag. 17 sprs359, nota 1).

In realtà l'ARM prepara il codice DSP in SDRAM, ed è lì che il DSP deve andare ad eseguirlo. L'indirizzo di partenza da caricare in DSPBOOTADDR sarà quindi un indirizzo valido in SDRAM, a partire da **0x80000000**.

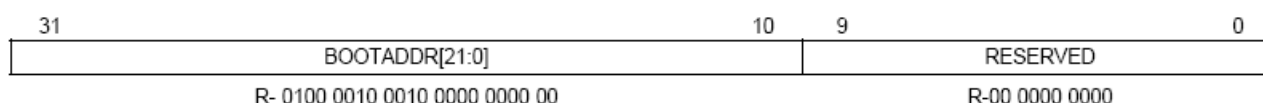


Figura 11. Registro DSPBOOTADDR

I registri MSTPRI0/1 definiscono le priorità dei vari sottosistemi per il controllo del bus interno SCR (numeri più bassi corrispondono a priorità maggiori). La programmazione di questi registri presenta qualche problema documentato infatti MSPTRI0 non funziona correttamente (cfr. Errata sprz246d).

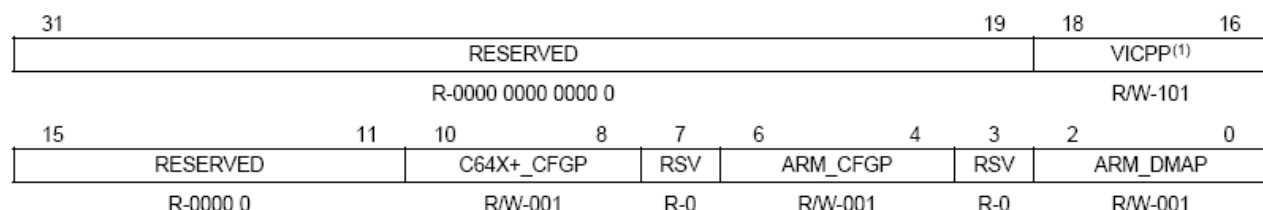


Figura 12. Registro MSPTRI0

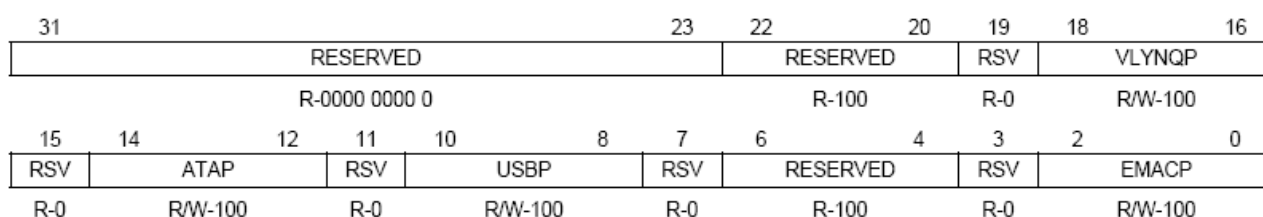


Figura 13. Registro MSPTRI1

Il registro SUSPSRC associa ciascuna periferica al core ARM oppure al DSP, in maniera tale che durante l'halt di un core in emulazione, vengano interrotte solamente le periferiche associate.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
VICP SRC	VICP EN	TIMR2 SRC	TIMR1 SRC	TIMR0 SRC	GPIO SRC	PWM2 SRC	PWM1 SRC	PWM0 SRC	SPI SRC	UART2 SRC	UART1 SRC	UART0 SRC	I2C SRC	ASP SRC	RSV
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0
15		13	12	11	10	9	8		6	5	4				0
RESERVED			HPI SRC	RESERVED		USB SRC	RESERVED			EMAC SRC	RESERVED				
R- 0000 00			R/W-0	R- 00		R/W-0	R-0 00			R/W-0	R-0 0000				

Figura 14. Registro SUSPSRC

Programmando a **0x00000000** questo registro associamo tutte le periferiche all'ARM.

Il registro INTGEN permette all'ARM di inoltrare un interrupt verso il DSP, o viceversa.

31	30	29	28	27		24	23	22	21	20	19		17	16
RESERVED		ARM1 STAT	ARM0 STAT	RESERVED			DSP3 STAT	DSP2 STAT	DSP1 STAT	DSP0 STAT	RESERVED		NMI STAT	
R-00		R/W-0	R/W-0	R-0000			R/W-0	R/W-0	R/W-0	R/W-0	R-000		R/W-0	
15	14	13	12	11		8	7	6	5	4	3		1	0
RESERVED		INT ARM1	INT ARM0	RESERVED			INT DSP3	INT DSP2	INT DSP1	INT DSP0	RESERVED		INT NMI	
R-00		R/W-0	R/W-0	R-0000			R/W-0	R/W-0	R/W-0	R/W-0	R-000		R/W-0	

Figura 15. Registro INTGEN

Il registro VPSS_CLKCTL controlla il clock del VPSS.

31	Reserved													16
R-0														
15	Reserved				5	4	3	2	1	0				
Reserved					DACCLKEN		VENCLKEN		PCLKINV		MUXSEL			
R-0					R/W-0		R/W-0		R/W-0		R/W-0			

Figura 16. Registro VPSS_CLKCTL

Programmando a **0x0000001A** questo registro selezioneremo il pin VPBECLK come sorgente di pixel-clock del VPBE e abiliteremo il clock sia per il sottosistema VENC che per i video DACs. Ovviamente se non sfruttiamo l'uscita del video analogico potremo tranquillamente porre DACCLKEN = 0.

Il registro USBPHY_CTL controlla lo stato del livello fisico della periferica USB.

31		9	8	7	6	5	4	3	2	1	0
RESERVED			PHYCLKGD	SESDEN	VBDTCEN	RSV	PHYPLLON	CLK01SEL	OSCPDWN	RSV	PHYPDWN
R-0000 0000 0000 0000 0000 000			R-0	R/W-1	R/W-1	R-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1

Figura 16-1. Registro USBPHY_CTL

Programmando a **0x000000C2** questo registro attiveremo la porta fisica e l'oscillatore interno.

3.3.8 Reset

Il DM644x prevede vari tipi di reset. Il Power On Reset (POR), causato da /RESET=0 e /TRST=0, inizializza tutti i sottosistemi del DM644x. Il Warm Reset, causato da /RESET=0 e /TRST=1, non interrompe l'emulazione dell'ARM. Perché il reset sia efficace, il pin /RESET deve essere mantenuto basso per almeno 444ns. Esistono poi Software Reset locali e globali.

3.3.9 Interrupt

Con il suo Interrupt Controller (AINTC) il sottosistema ARM gestisce la maggior parte degli interrupt (IRQ e FRQ) del DM644x provenienti dalle periferiche interne (fino a 64) con 8 livelli di priorità. Anche il DSP ha un Interrupt Controller per quegli eventi più specifici del digital processing. Ad esempio, a ogni fine elaborazione di un frame video (end-of-frame), il sottosistema VPBE invia un interrupt al core ARM (int. num. 8) e/o al core DSP (int. num. 32). Attraverso il registro INTGEN l'ARM e il DSP possono generare interruzioni reciprocamente l'uno verso l'altro.

3.3.10 GPIO

Cinque banchi di I/O permettono al DM644x di controllare in HW diverse funzioni del Modulo Digitale. Una caratteristica interessante di queste periferiche è la possibilità di utilizzarle come sorgenti di interrupt. Questa caratteristica è utilizzata dal Modulo Digitale su GPIO7 e GPIO37. GPIO7 (/INT_3.3V) raccoglie in wired-OR gli interrupt attivi bassi provenienti da diverse sorgenti: RTC, I/O Expander e limitatore di corrente per periferica USB. Per stabilire quale tra queste periferiche ha generato l'interrupt, il DM644x deve interrogare ciascuna periferica.

Anche GPIO37 sfrutta la possibilità di generare un interrupt verso il core ARM (canale dedicato al banco 2 dei GPIO); in questo caso la sorgente che chiede di essere servita è il controllore Smart Card (U43).

La seguente tabella mostra tutti i GPIO del Modulo Digitale.

GPIO n	Segnale	Dir	Descrizione	Progr.	Interrupt	Default	Int Num (ARM)
2	USER_LED	O		DIR01.2=0	-	1	
3	NP36	O		DIR01.3=0	-	0	
5	NP35	O		DIR01.6=0	-	0	
7	/INT	I	(int source)	DIR01.7=1	GPIO7	-	55
8	/CAM_RESET	O		DIR01.8=0	-	1	
9	NTSC/-PAL	I		DIR01.9=1	-	-	
37	/SC_INT	I	(int source)	DIR23.5=1	GPIOBNK2	-	58
38	PSTN_RDY	O		DIR23.6=0	-	1	
39	USER_SW1	I		DIR23.7=1	-	-	
40	USER_SW2	I		DIR23.8=1	-	-	
41	ASP_FS	I		DIR23.9=1	-	-	
42	SC_I/O	I		DIR23.2=1	-	-	
50	USB_VBUSEN	O		DIR23.18=0	-	1	
51	PSTN_SHD	O		DIR23.19=0	-	0	

Tabella 25. GPIOs

3.3.11 EDMA

I 64 canali DMA del DM644x permettono trasferimenti Memoria-Memoria e Memoria-Periferiche. Per la sincronizzazione ciascun canale è associato rigidamente a un evento prestabilito (cfr. tabella 5-27 del datasheet).

3.3.12 VPFE

La periferica VPFE (Video Processing Front End) del DM644x è composto di CCD/CMOS Controller (CCDC), Preview Engine, Resizer, modulo H3A, modulo istogramma.

Il Resizer del DM644x trasforma la risoluzione spaziale di ingresso in quella prescelta per le successive elaborazioni (da $\frac{1}{4} \times$ a $4 \times$), mentre il modulo H3A, sempre integrato nel DM644x, è preposto alle regolazioni automatiche di messa a fuoco, bilanciamento ed esposizione.

3.3.13 VPBE

La periferica VPBE (Video Processing Back End) del DM644x è composto di On Screen Display (OSD), LCD Controller (LDC) e 4 video DAC. La seguente figura mostra tutti i componenti del VPSS (Video Processing Sub-system).

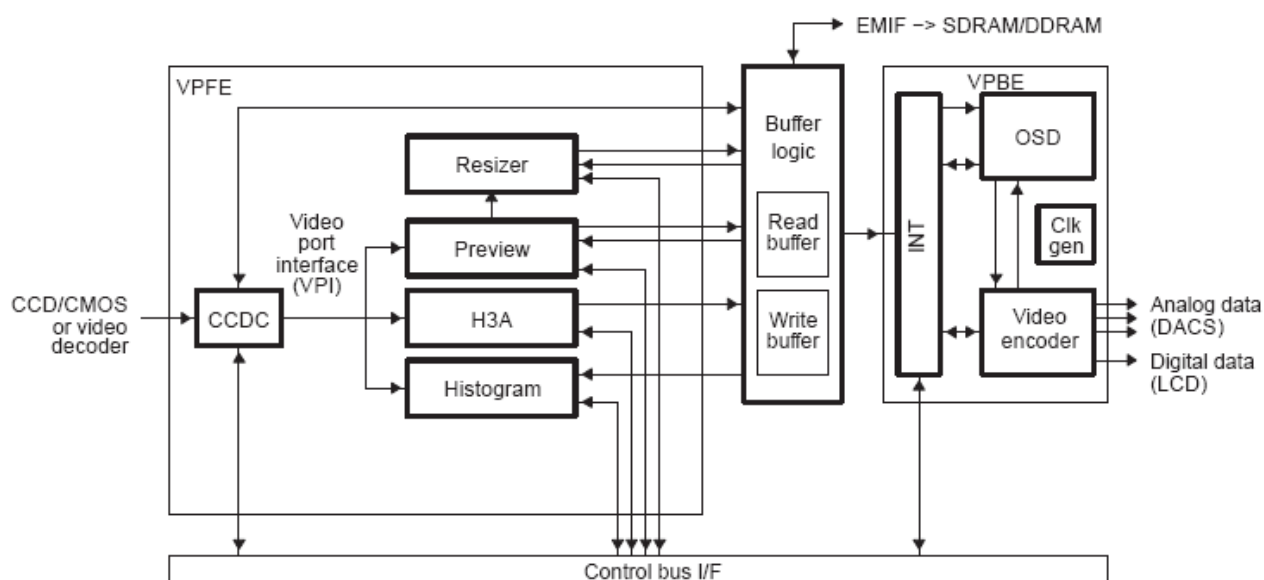


Figura 17. VPSS del DM644x

3.3.14 Timers

Il DM644x ha 2 Timer a 64-bit, configurabili anche come 4 Timer a 32-bit.

3.3.15 ARM IIRAM

Il core ARM dispone di una ram interna (IRAM) che consiste di due blocchi fisici, RAM0 e RAM1, accessibili tramite due bus (TCM) separati: il bus istruzioni ITCM (RAM0: 0x0000 - 0x1FFF; RAM1: 0x2000 - 0x3FFF) e il bus dati DTCM (RAM0: 0x8000 - 0x9FFF; RAM1: 0xA000 - 0xBFFF). Questa ram serve per codice critico che deve essere eseguito real-time.

Anche EDMA3, DSP, USB e EMAC possono accedere tramite il DTCM. Accessi concorrenti possono falsare l'operazione (cfr. Errata sprz246d).

3.3.16 Clock interni

Il DM6441 è alimentato da due quarzi esterni. Un quarzo a 27 MHz è moltiplicato x19 da uno dei due PLL interni (PLL1), in modo da portare la frequenza del core DSP a 513MHz. Il moltiplicatore è programmato in SW. Questa frequenza, diversamente riscalata, serve il core ARM (1:2), le periferiche (1:6), l'EDMA3/VPSS (1:3) e parte del controllore DDR2 (1:3). Un secondo PLL (PLL2), sempre riferito ai 27 MHz, genera il clock esterno per il controllore DDR2 (1:2).

Un altro quarzo esterno, a 24 MHz, fornisce il riferimento per la periferica USB2, completamente integrata nel DM6441.

Sottosistema	Frequenza	Periodo
DSP	513 MHz	1.95 ns
ARM	256.5 MHz	3.9 ns
Periferiche	85.5 MHz	11.69 ns
EDMA3/VPSS	171 MHz	5.85 ns

Tabella 3. Frequenze operative dei vari sottosistemi del DM6441

La scheda IPVP6441 può montare all'occorrenza anche il dispositivo DaVinci DM6446, avente uno speed-grade maggiore, come mostrato nella tabella seguente. In questo caso il moltiplicatore PLL arriva a 22.

Sottosistema	Frequenza	Periodo
DSP	594 MHz	1.68 ns
ARM	297 MHz	3.37 ns
Periferiche	99 MHz	10.10 ns
EDMA3/VPSS	198 MHz	5.05 ns

Tabella 3. Frequenze operative dei vari sottosistemi del DM6446

La seguente tabella mostra il dominio del clock che serve le diverse periferiche

Peripheral/Module	Clock Domain	Peripheral/Module	Clock Domain
UART0	CLKIN	Ice Pick	CLKDIV6
UART1	CLKIN	EMIFA	CLKDIV6
UART2	CLKIN	USB	CLKDIV6
I2C	CLKIN	HPI	CLKDIV6
Timer0	CLKIN	VLYNQ	CLKDIV6
Timer1	CLKIN	EMAC	CLKDIV6
Timer2	CLKIN	ATA/CF	CLKDIV6
PWM0	CLKIN	Memory Stick	CLKDIV6
PWM1	CLKIN	MMC/SD/SDIO	CLKDIV6
PWM2	CLKIN	SPI	CLKDIV6
ARM subsystem	CLKDIV2	ASP	CLKDIV6
DDR2	CLKDIV3	GPIO	CLKDIV6
VPSS	CLKDIV3	C64x+ CPU	CLKDIV1
EDMA	CLKDIV3	VICP	CLKDIV2
SCR	CLKDIV3	VICP	CLKDIV4
GPSC	CLKDIV6	VICP	CLKDIV6
LPSCs	CLKDIV6		

Tabella 4. Domini di clock per le varie periferiche

La seguente figura illustra la distribuzione dei sincronismi di clock internamente al DM6441. I clock PCLK e VPBECLK sono direttamente prelevati dai pin esterni. Per quanto riguarda il DM6441 questi due clock devono avere una frequenza compresa nel range 6.25-75MHz. PCLK viene fornito dal CMOS Camera Sensor.

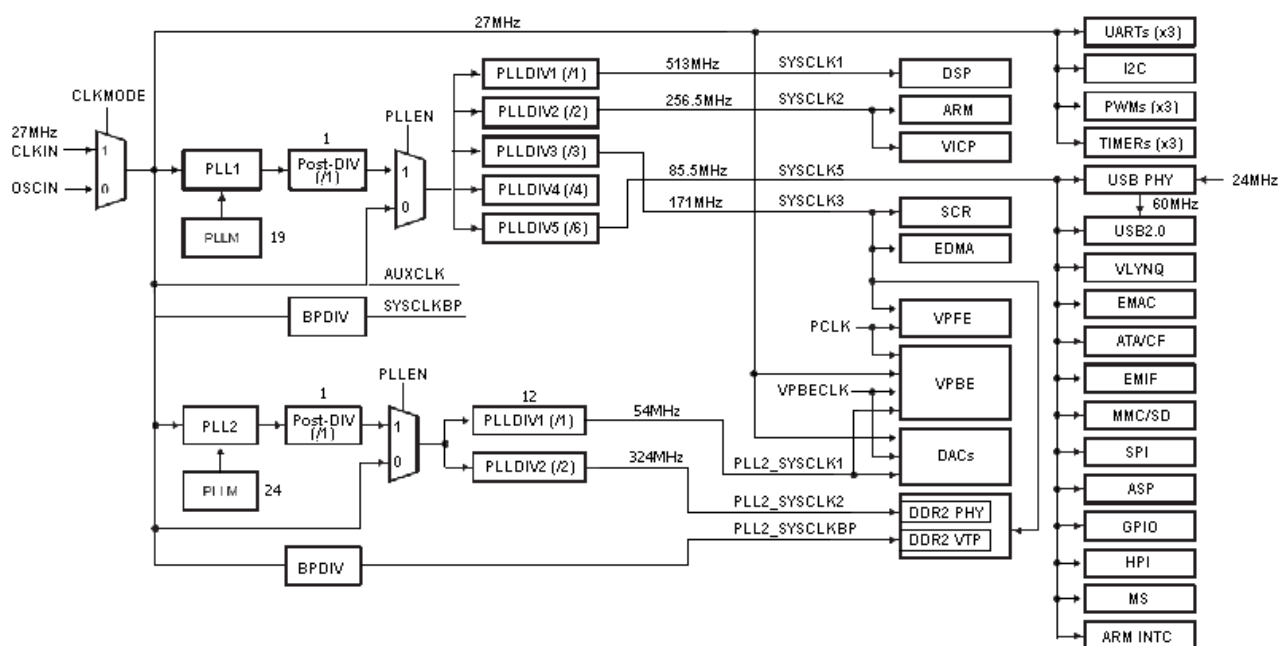


Figura 18. Distribuzione interna dei clock (per DM6441)

Il clock del sottosistema VPBE (CLK_VENC) può avere quattro sorgenti, a seconda di come programmeremo MUXSEL (campo del registro VPSS_CLKCTL):

- MUXSEL = 0h: I 27MHz di ingresso (modo bypass)
- **MUXSEL = 2h: Il pin di ingresso VPBECLK (default)**
- MUXSEL = 3h: Il clock del VPFE, pin di ingresso PCLK
- MUXSEL = 1h: L'uscita del divisore PLLDIV1, PLL2

Nel nostro caso utilizzeremo MUXSEL = 2h.

3.4 Memoria Flash NOR

Sul Modulo Digitale del IPvPhone è possibile montare un certo numero di dispositivi Flash NOR (U7,U8)

Dispositivo	Capacità	Package
INTEL PC28F128P30B85	16 MB	FBGA-64
INTEL PC28F256P30B85	32 MB	FBGA-64
SPANSION S29GL128N11FFIV20	16 MB	FBGA-64
SPANSION S29GL256N11FFIV20	32 MB	FBGA-64

Tabella 5. Dispositivi Flash

I componenti INTEL non sono pin-to-pin compatibili con i componenti SPANSION, ma grazie alla presenza di un doppio footprint sul PCB vi è la possibilità di montarli entrambi.

La Flash contiene il programma applicativo sia per l'ARM che per il DSP. La Flash è collegata al DM644x tramite il bus EMIF a 16-bit ed è associata al chip select /CS2.

L'alimentazione di questi dispositivi è 1.8V sicché non sono richiesti traslatori di livello.

La Flash S29GL128 (S29GL256) è divisa internamente in 128 (256) settori da 128KBytes (o 64 16-bit KWords).

Sia le Flash INTEL (in tecnologia StrataFlash) che le Flash SPANSION (in tecnologia MirrorBit) rispondono alle specifiche CFI (Common Flash Interface), assicurando la compatibilità con le utilità di scrittura, cancellazione, ecc. rese disponibili dal Bootloader UBL di TI.

3.5 Memoria RAM DDR2

Il Modulo Digitale dispone di un banco di memoria SDRAM DDR2-400 da 128/256/512 MBytes.

I diversi tagli si ottengono montando 2 chip MICRON TECHNOLOGIES (U9,U10), dello stesso tipo, a scelta tra i seguenti modelli:

Dispositivo	Capacità	Package	Max Clock Speed
MT47H16M16BG-5E	32 MB	FBGA-84	200 MHz
MT47H32M16BN-5E	64 MB	FBGA-84	200 MHz
MT47H64M16HR-5E	128 MB	FBGA-84	200 MHz

Tabella 6. Dispositivi DDR2

La RAM è collegata al DM644x tramite un controllore DDR2 embedded, utilizzato in configurazione x32-bit. Questo controllore supporta dispositivi JEDEC DDR2³ x16 e x32 con clock fino a 166 MHz. I timing dei segnali di controllo sono sincronizzati su un PLL dedicato (PLL2). Il controllore DDR2 è in grado di eseguire un'autocalibrazione dell'impedenza di I/O sui pin del bus, in funzione della tensione, della temperatura e del processo (VTP). I resistori R62 e R62 devono avere un valore 4 volte l'impedenza nominale delle linee.

La RAM ha un set di registri di configurazione, che controllano la lunghezza di burst, la latenza di CAS, ecc., programmati durante l'inizializzazione mediante comandi MRS e EMRS (file dm644x.c)

La RAM permette al DM644x di bufferizzare i video frames in fase di capturing, resizing, image processing, ma anche di memorizzare dati e codice eseguibile sia per l'ARM che per il DSP.

La banda teorica messa a disposizione dal controllore DDR2 è 1296 MBytes/sec. Prove reali effettuate da TI raggiungono 1240 MBytes/sec. In generale sia ARM che DSP (ma anche altri sottosistemi del DM644x) possono accedere alla RAM, ciascuno nel suo spazio. L'accesso alla DDR2 è regolato in base a uno schema di priorità ed è gestito dal SCR (Switched Central Resource). E' definita poi un'area contigua, detta CMEM, area condivisa da ARM e DSP che serve per lo scambio di dati tra i due core.

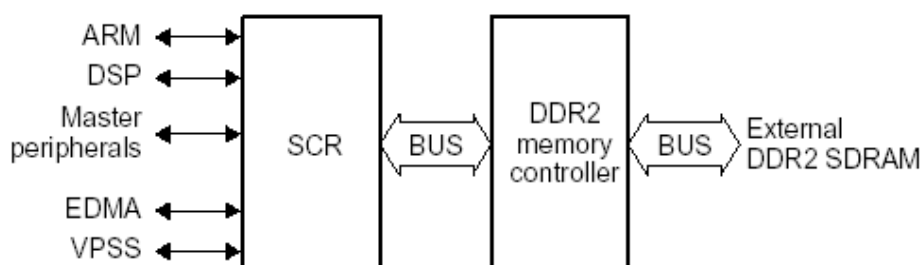


Figura 19. Sottosistemi con accesso alla RAM DDR2

La seguente tabella mostra le priorità di default (valori più bassi indicano priorità più alte).

Master	Default Priority
VPSS	0
TC0	0
TC1	0
ARM (DMA)	4
ARM (CFG)	4
C64x+ (DMA)	7
C64x+ (CFG)	4
EMAC	4
USB	4
ATA/CF	4
VLINQ	4
VICP	4

Tabella 7. Priorità per l'accesso al SCR (default)

Per minimizzare i consumi del controllore DDR2 è possibile lavorare in modalità Self-Refresh (SDRCR.SR=1) e, quando è possibile, disattivare il clock agendo sui controllori PSC e PLL2C.

³ le specifiche JEDEC DDR2 sono parte delle specifiche JEDSD79D-2A

3.5.1 Configurare il DDR2 Memory Controller

Il controllore DDR2 utilizza due clock:

1. MCLK, che genera il segnale di sincronismo differenziale DDR_CLK ed è la metà del clock interno programmabile PLL2_SYSCCLK2
2. SYSCCLK3 (o VCLK) con frequenza fissa PLL1/3 (171MHz per DM6441, o 198MHz per DM6446)

I dispositivi Micron con suffisso -5E accettano fino a 200 MHz, con CAS Latency = 3.
I dispositivi Micron con suffisso -3E accettano fino a 333 MHz, tuttavia non portano nessun vantaggio, infatti il controllore DDR2 del DM644x è limitato a 166 MHz.
Per il PLL2 scegliamo quindi un moltiplicatore PLL2_Mult =24 e un divisore PLL2_Div2=2, ottenendo

$$MCLK = (27 \times PLL2_Mult / PLL2_Div2) / 2 = 162 \text{ MHz}$$

A seconda dei dispositivi montati sul Modulo Digitale avremo organizzazione e timings AC differenti da utilizzare per il calcolo dei parametri di programmazione SW (in grigio il dispositivo di default)

	MT47H32M16BN-5E	MT47H64M16HR-5E	MT47H16M16BG-5E
Area di banco	8M x 16-bit	8M x 16-bit	4M x 16-bit
Indirizzi di colonna	A0-9	A0-9	A0-8
Numero banchi	4	8	4
t_CL	3 cycles	3 cycles	3 cycles
t_RFC	105 ns	127.5 ns	75 ns
t_RP	15 ns	15 ns	15 ns
t_RCD	15 ns	15 ns	15 ns
t_WR	15 ns	15 ns	15 ns
t_RAS	40 ns	40 ns	40 ns
t_RC	55 ns	55 ns	55 ns
t_RRD	7.5 ns	7.5 ns	7.5 ns
t_WTR	10 ns	10 ns	10 ns
t_XSNR	115 ns	137.5 ns	85 ns
t_XSRD	200 cycles	200 cycles	200 cycles
t_RTP	7.5 ns	7.5 ns	7.5 ns
t_CKE	3 cycles	3 cycles	3 cycles
t_REF	7.8 us	7.8 us	7.8 us

Tabella 8. DDR2 SDRAM AC Timings

Quindi, con T_MCLK = **6.17 ns** (162 MHz), i parametri da inserire in *dm644x.c* sono (cfr. SPRUE22c):

	MT47H32M16BN-5E	MT47H64M16HR-5E	MT47H16M16BG-5E
DDR_NM	0	0	0
DDR_PAGESIZE	2	2	1
DDR_IBANK	2	3	2
T_CL	3	3	3
T_RFC	16	20	12
T_RP	2	2	2

T_RCD	2	2	2
T_WR	2	2	2
T_RAS	6	6	6
T_RC	8	8	8
T_RRD	1	1	1
T_WTR	1	1	1
T_XSNR	18	22	13
T_XSRD	199	199	199
T_RTP	1	1	1
T_CKE	2	2	2
DDR_RR	1264	1264	1264
DDR_Board_Delay	3	3	3
DDR_READ_Latency	5	5	5
PLL2_Mult	24	24	24
PLL2_Div1	12	12	12
PLL2_Div2	2	2	2

Tabella 9. Parametri di programmazione DDR2 SDRAM

Si noti che PLL2_Div1 è la metà di PLL2_Div2, in modo tale che PLL2_SYSCCLK1 sia a $27 \times 2 = 54$ MHz. Questo clock alimenta il modulo VPBE.

I registri di programmazione del controllore DDR2 sono:

- SDBCR - SDRAM bank configuration register
- SDRCR - SDRAM refresh control register
- SDTIMR - SDRAM timing register
- SDTIMR2 - SDRAM timing register 2
- DDRPHYCR - DDR PHY control register

Il registro SDBCR

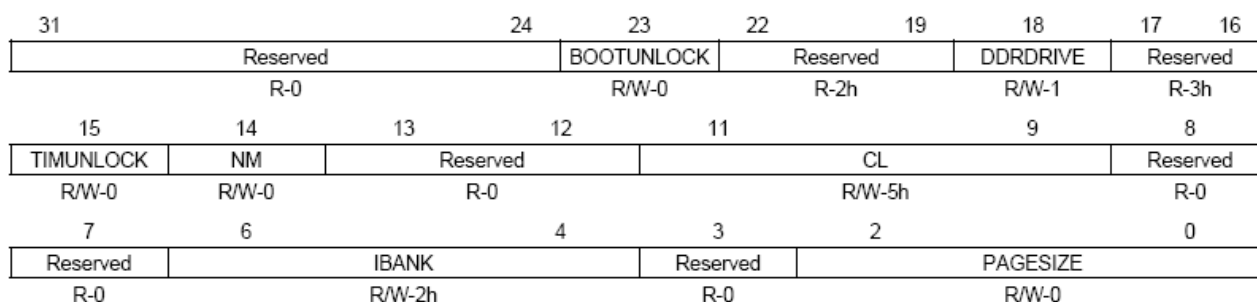


Figura 9. Registro SDBCR

Il registro SDRCR può essere usato per abilitare la modalità Self-Refresh e per spegnere MCLK

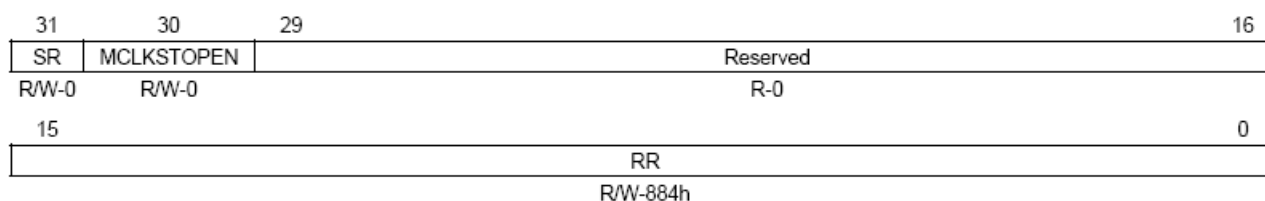


Figura 9. Registro SDRCR

Il registro SDTIMR può essere modificato solo se SDBCR.TIMUNLOCK=1b

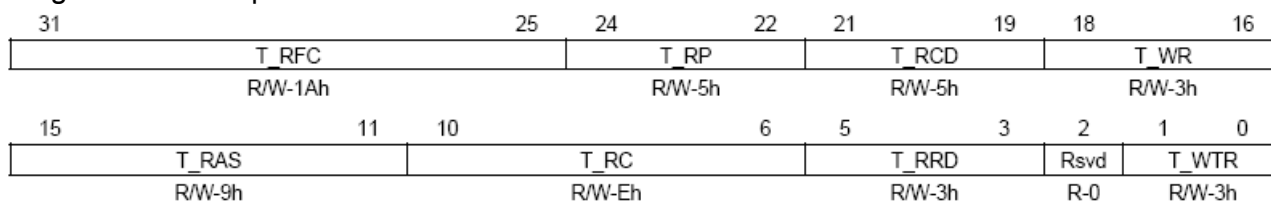


Figura 9. Registro SDTIMR

Il registro SDTIMR2

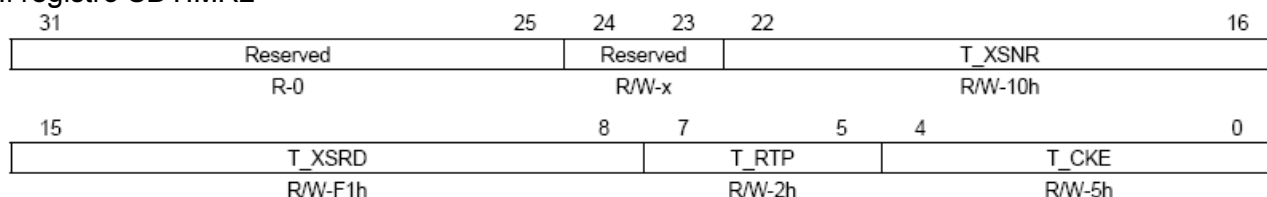


Figura 9. Registro SDTIMR2

Il registro DDRPHYCR

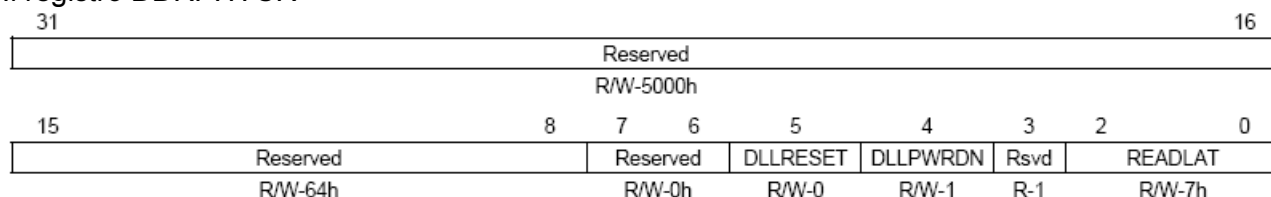


Figura 9. Registro DDRPHYCR

I valori iniziali di programmazione sono mostrati nella tabella seguente

	MT47H32M16BN-5E	MT47H64M16HR-5E	MT47H16M16BG-5E
SDBCR	0x00138622	0x00138632	0x00138621
SDRCR	0x000004F0	0x000004F0	0x000004F0
SDTIMR	0x20923209	0x20923209	0x20923209
SDTIMR2	0x0012C722	0x0016C722	0x000DC722
DDRPHYCR	0x50006405	0x50006405	0x50006405

Tabella 10. Inizializzazione dei registri del controllore DDR2

3.6 Switches e Voltage Translators

Diversi switch sono usati sulla scheda per selezionare in HW il routing più appropriato dei segnali. Ad esempio, lo switch formato dai due transceiver AVCB (U2,U49) serve a commutare l'interfaccia VPFE sulla videocamera (default) piuttosto che sul video decoder. Un altro switch CBT (U37) serve a commutare l'interfaccia ASP sul Modulo Analogico PSTN (default) piuttosto che sul codec on-board AIC33.

Questi switch hanno anche funzione di traslatori di tensione. Sempre allo scopo di adattamento elettrico delle interfacce tra dispositivi diversi, sono posizionati in vari punti della scheda dei buffer LVT o AUC.

3.7 Interfaccia Ethernet 10/100 Mbps

Il DM644x contiene una periferica MAC Ethernet. L'adattamento fisico alla rete è demandato al Transceiver INTEL WJLXT971ALE, in package LQFP-64.

L'indirizzo ethernet del videotelefono è memorizzato in fase di produzione in una locazione riservata della Flash di sistema. La tabella mostra il pin-out del connettore RJ45 schermato HFJ11-2450E-L21RL (J5).

Pin	Segnale	Descrizione
1	TD	TX Data (positivo)
2	/TD	TX Data (negativo)
3	RD	RX Data (positivo)
4	CT	Comune
5	CT	Comune
6	/RD	RX Data (negativo)
7	CT	Comune
8	CT	Comune

Tabella 11. Connettore Ethernet RJ-45 (J5)

Il Transceiver Ethernet è l'unico dispositivo del Modulo Digitale a essere incluso nel circuito di JTAG Boundary Scan insieme al DM644x.

L'interfaccia Ethernet è mappata sotto Linux in /dev/eth0

3.8 Sincronismi audio e video

L'interfaccia ASP (Audio Serial Port) del DM644x sul Modulo Digitale è multiplexata su due differenti audio codec, l'AIC33 (U1) e il PCM3008 (oppure AK4550), quest'ultimo presente sul Modulo Analogico PSTN. In qualsiasi momento il DM644x può essere connesso a uno dei due codec, comandando in SW un mux digitale TI CBTLV3257 (U37). Il DM644x è programmato sempre come slave rispetto ai sincronismi (bit-clock e word-clock) tuttavia, mentre l'AIC33 è in grado di generare autonomamente i sincronismi richiesti a partire da un master-clock in ingresso a $256fs^4$, il PCM3008 è uno slave rispetto ai sincronismi. A generare tali sincronismi provvedono quindi i componenti TI CDCE925 (Programmable VCXO + 2 PLLs, U29) e ICS67401 (Programmable Clock Divider, U30). Il circuito genera i segnali riportati in tabella

Nome segnale	Frequenza (Default)	Descrizione
PSTN_MCLK, AUDIO_MCLK	256fs	Master clock audio
VPBECLK	27 MHz	Master clock video
PSTN_BCLK, AUDIO_BCLK	32fs	Bit-clock audio
PSTN_WCLK, AUDIO_WCLK	Fs	Word-clock audio

⁴ dove fs è la frequenza di campionamento audio. Tipicamente fs = 32kHz, 44.1kHz, 48kHz

TIMER0_IN	27 MHz	Feedback clock video
CAM_CLK	27 Mhz	CMOS Camera clock (10-48MHz)

Tabella 12. Sincronismi audio e video

La figura seguente è un diagramma a blocchi che mostra a grandi linee il routing dei sincronismi

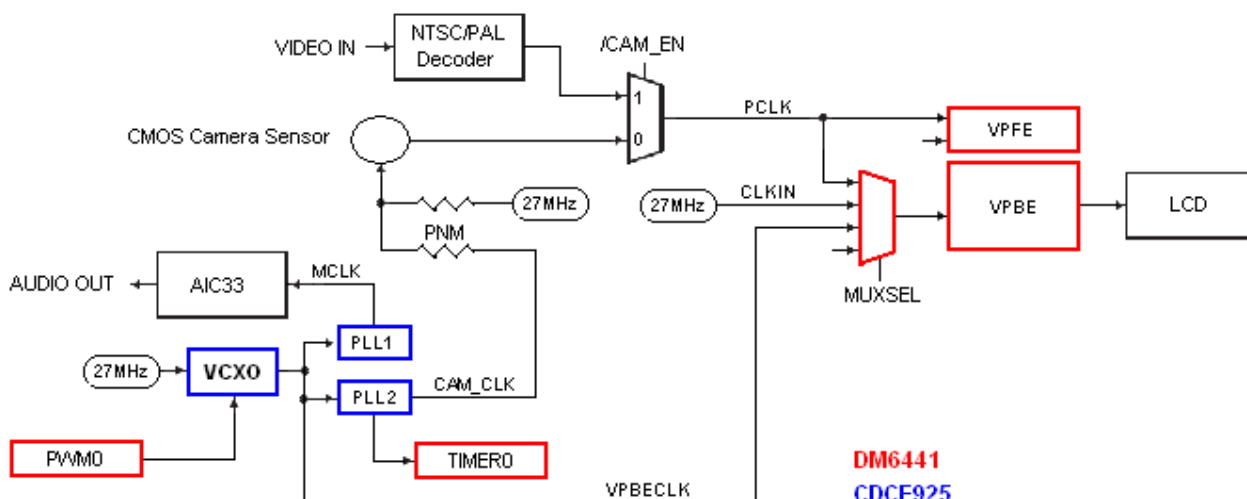


Figura 20. Diagramma logico dei sincronismi audio e video

Le parti in rosso sono interne al DM644x, quelle in blu sono interne al CDCE925, componente descritto nel paragrafo successivo. Gli ovali rappresentano oscillatori locali.

Master-clock audio e master-clock video devono essere sintetizzati tramite un PLL e controllati dall'applicativo per il recupero da condizioni di fuori sincronismo audio-video. Ciò avviene pilotando il VCXO in PWM (linea PWM0_OUT) e monitorando il feedback-clock ricevuto sull'ingresso TIMER0 (linea TIMER0_IN). Quando ciò avviene il VPBE deve essere sganciato da VPBECLK e agganciato all'oscillatore CLKIN, altrimenti la stessa accelerazione/decelerazione impressa all'audio influenzerebbe anche la riproduzione video. La soluzione implementata è basata sul documento *Clocking Recommendations for the DM643x EVM (scaa083)*, Fig.3.

L'uscita Y4 del CDCE925 può essere utilizzata per fornire il clock di riferimento al CMOS Camera Sensor (linea CAM_CLK). Un oscillatore indipendente (U4) rappresenta un'alternativa selezionabile montando una resistenza normalmente non presente e rimuovendone un'altra. La frequenza di questo clock deve essere compresa tra 10MHz e 48MHz.

3.8.1 VCXO e PLL esterni (CDCE925)

La seguente figura è uno schema a blocchi dell'integrato CDCE925.

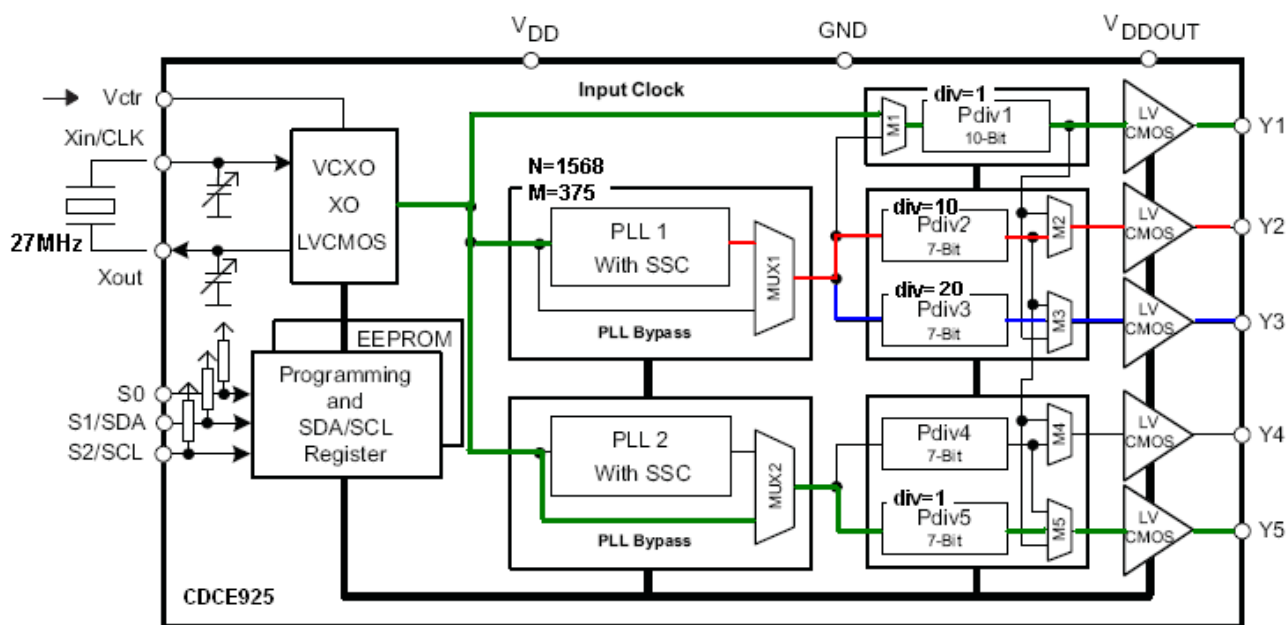


Figura 21. CDCE925. Valori di programmazione per $F_s=44.1$ kHz

Nella configurazione di fabbrica le uscite Y1,Y2,Y3,Y4,Y5 forniscono direttamente la frequenza di ingresso (27 MHz).

I due PLL interni a questo componente sono chiamati “esterni” per differenziarli dai PLL interni al DM644x. Essi sono programmabili in modo indipendente, ma ricevono il loro riferimento dall’unico quarzo esterno a 27MHz (Y3).

L’uscita Y1 è il master clock video, a 27 MHz. Questa uscita non utilizza nessun PLL e fornisce la la frequenza desiderata lasciando il divisore di uscita inalterato ($Pdiv1=1$).

Considerando una frequenza di campionamento audio pari a $f_s=44.1$ kHz (default) il PLL1 deve essere programmato con $N=1568$ e $M=375$ ($f_{vco}=27MHz \cdot N/M=112.896MHz$). Il divisore interno $Pdiv2$ deve essere programmato a 10, in modo tale che sull’uscita Y2 avremo una frequenza 11.2896 MHz, pari a 256fs. Questa uscita fornisce il master-clock audio per i codec. Il divisore interno $Pdiv3$ deve essere programmato a 20, in modo tale che sull’uscita Y3 avremo una frequenza 5.6448 MHz, pari a 128fs. Questa uscita viene posta in ingresso al divisore duale ICS67401, che internamente ha due divisori (vedi paragrafo seguente). Il divisore A è programmato a 4 e il gruppo divisore B-Post Divider a 128, ottenendo sulle due uscite 1.4112 MHz e 44.1 kHz, rispettivamente il bit-clock (32fs) e il word-clock (fs) per il codec PSTN e per l’interfaccia ASP. Per garantire la giusta relazione di fase con il word-clock, il bit-clock viene invertito prima di arrivare al codec PSTN. Cambiando f_s è necessario ridefinire opportunamente $N,M, Pdiv2,Pdiv3$ per il PLL1 del CDCE925.

Le seguenti relazioni devono essere in ogni caso rispettate

M (1 to 511) N (1 to 4095) Pdiv (1 to 127)

$$f_{OUT} = \frac{f_{IN}}{Pdiv} \times \frac{N}{M} \quad f_{VCO} = f_{IN} \times \frac{N}{M}$$

$$100 \text{ MHz} < f_{VCO} < 200 \text{ MHz} \quad N \geq M$$

$$P = 4 - \text{int}\left(\log_2 \frac{N}{M}\right) \quad [\text{if } P < 0 \text{ then } P = 0]$$

$$N' = N \times 2^P$$

$$Q = \text{int}\left(\frac{N'}{M}\right)$$

$$R = N' - M \times Q$$

Nel nostro caso abbiamo P=2, N'=6272, Q=16, R=272.

Per fs=32kHz possiamo usare N=3531, M=506 (fvco=27MHz*N/M=188.413MHz), con i divisori interni Pdiv2 e Pdiv3 programmati a 23 e 46 rispettivamente, in modo tale che sulle uscite Y2 e Y3 avremo 8.1918 MHz e 4.096 MHz, pari a circa 256fs e 128fs. Inoltre P=2, N'=14124, Q=27, R=462.

Per fs=48kHz possiamo usare N=2553, M=510 (fvco=27MHz*N/M=135.159MHz), con i divisori interni Pdiv2 e Pdiv3 programmati a 11 e 22 rispettivamente, in modo tale che sulle uscite Y2 e Y3 avremo 12.287 MHz e 6.143 MHz, pari a circa 256fs e 128fs. Inoltre P=2, N'=10212, Q=20, R=12.

Le uscite Y4 e Y5 forniscono rispettivamente il clock per il CMOS Camera Sensor (CAM_CLK) e il feedback del clock video (TIMER0_IN). Per default la frequenza di questi segnali è 27 MHz, il che significa che è possibile bypassare semplicemente il PLL2 (MUX2=1b) e programmare Pdiv4=Pdiv5=1. Naturalmente altre frequenze possono essere generate attivando il PLL2 e/o modificando i divisori di uscita.

Il VCXO interno è controllato in PWM dal DM644x (PWM0_OUT), in modo tale da permettere il recupero da una condizione di fuori-sincrono audio-video.

Nel CDC3925 ci sono in tutto 2Fh registri, che possono essere scritti e letti singolarmente oppure a blocchi. Essi sono ripartiti in tre banchi i cui offset sono indicati nella tabella seguente.

Address Offset	Register Description
00h	Generic Configuration Register
10h	PLL1 Configuration Register
20h	PLL2 Configuration Register

Tabella 13. Offset dei tre banchi di registri del CDCE925

Per ottenere quanto detto i bit di controllo dei multiplexer interni vanno programmati come segue: MUX1=0b;MUX2=1b;M1=0b,M2=1b,M3=10b,M4=1b,M5=10b.

Il Software Tool TI Pro Clock permette di generare facilmente i valori dei vari registri in funzione delle frequenze da sintetizzare. La tabella seguente mostra la programmazione dei vari registri in funzione della frequenza di campionamento audio.

Register Name	Register Offset	Value at Powerup	Fs 44.1 kHz	Fs 32 kHz	Fs 48 kHz
GCR0	0x00	10000001	Unmodified	Unmodified	Unmodified
GCR1	0x01	00000000	Unmodified	Unmodified	Unmodified

GCR2	0x02	10110100	00110100	00110100	00110100
GCR3	0x03	00000001	Unmodified	Unmodified	Unmodified
GCR4	0x04	00000010	Unmodified	Unmodified	Unmodified
GCR5	0x05	00010000	00000000	00000000	00000000
GCR6	0x06	00001110	Unmodified	Unmodified	Unmodified
GCR7-15	0x07-0F	xxxxxxxx	Unmodified	Unmodified	Unmodified
PLL1CR0-3	0x10 - 13	00000000	Unmodified	Unmodified	Unmodified
PLL1CR4	0x14	11101101	01101101	01101101	01101101
PLL1CR5	0x15	00000010	Unmodified	Unmodified	Unmodified
PLL1CR6	0x16	00000001	00001010	00010111	00001011
PLL1CR7	0x17	00000001	00010100	00101110	00010110
PLL1CR8	0x18	00000000	01100010	11011100	10011111
PLL1CR9	0x19	01000000	00001000	10111110	10010000
PLL1CR10	0x1A	00000010	10000010	01110011	01100010
PLL1CR11	0x1B	00001000	00001000	01101011	10001001
PLL1CR12	0x1C	00000000	Unmodified	Unmodified	Unmodified
PLL1CR13	0x1D	01000000	Unmodified	Unmodified	Unmodified
PLL1CR14	0x1E	00000010	Unmodified	Unmodified	Unmodified
PLL1CR15	0x1F	00001000	Unmodified	Unmodified	Unmodified
PLL2CR0-3	0x20 - 23	00000000	Unmodified	Unmodified	Unmodified
PLL2CR4	0x24	11101101	11101101	11101101	11101101
PLL2CR5	0x25	00000010	Unmodified	Unmodified	Unmodified
PLL2CR6	0x26	00000001	Unmodified	Unmodified	Unmodified
PLL2CR7	0x27	00000001	Unmodified	Unmodified	Unmodified
PLL2CR8	0x28	00000000	Unmodified	Unmodified	Unmodified
PLL2CR9	0x29	01000000	Unmodified	Unmodified	Unmodified
PLL2CR10	0x2A	00000010	Unmodified	Unmodified	Unmodified
PLL2CR11	0x2B	00001000	Unmodified	Unmodified	Unmodified
PLL2CR12	0x2C	00000000	Unmodified	Unmodified	Unmodified
PLL2CR13	0x2D	01000000	Unmodified	Unmodified	Unmodified
PLL2CR14	0x2E	00000010	Unmodified	Unmodified	Unmodified
PLL2CR15	0x2F	00001000	Unmodified	Unmodified	Unmodified

Tabella 2. Programmazione registri del CDCE925

Dal punto di vista SW la programmazione del dispositivo CDCE925 è implementata nel modulo

arch/arm/mach-davinci/i2c-extpll.c

durante la fase di startup. Un driver I2C di controllo per il CDCE925 è implementato in

drivers/i2c/chips/cdce925.c

3.8.2 Divisore di frequenza (ICS67401)

La seguente figura è uno schema a blocchi dell'integrato ICS67401. Esso riceve su entrambe gli ingressi un clock a 128fs.

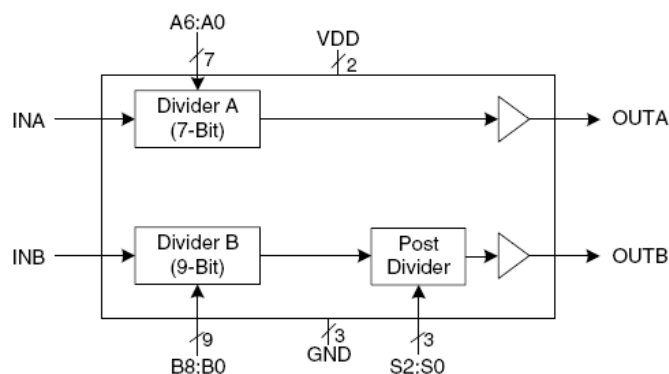


Figura 22. ICS67401

Il divisore A deve essere configurato a 4, per avere il bit-clock audio a 32fs (default). Il divisore B viene configurato a 16 e il Post Divider a 8, in maniera da sintetizzare il word-clock a fs. Il Post Divider deve essere configurato a 1 tramite i pin S0,S1,S2, secondo la tabella

S2 Pin 5	S1 Pin 4	S0 Pin 3	Post Divide
0	0	0	10
0	0	1	2
0	1	0	8
0	1	1	4
1	0	0	5
1	0	1	7
1	1	0	1
1	1	1	6

Tabella 14. Selezione Post Divider

Dato che tutti gli ingressi di configurazione (An,Bn,Sn) hanno pull-up interni, è sufficiente lasciarli sconnessi per assegnare loro uno stato alto.

Per programmare un divisore A pari a 4 occorre fissare i pin A[6:0] a $4 - 2 = 2$. La selezione dipende dallo stato della linea BCLK_SEL, che deve essere posta necessariamente a 1.

Per programmare un divisore B pari a 16 occorre fissare i pin B[8:0] a $16 - 8 = 8$.

3.8.3 Audio timings

La seguente figura mostra i timings principali dei sincronismi audio generati sulla scheda.

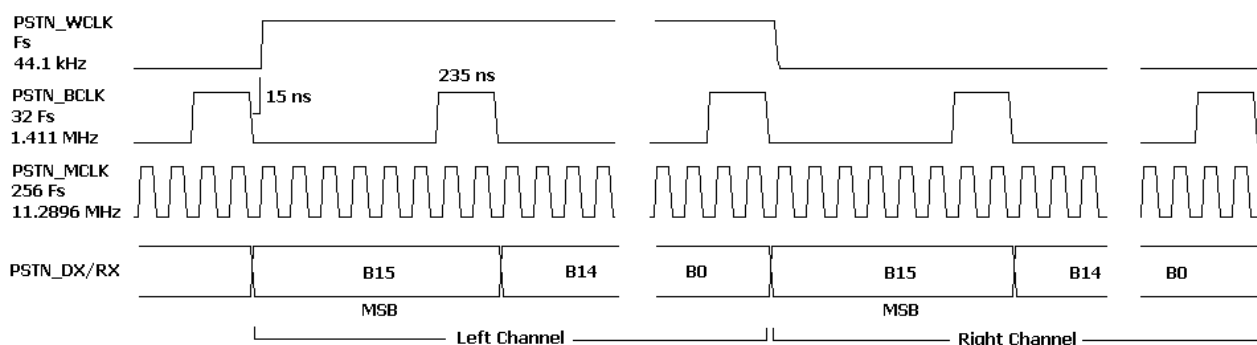


Figura 33. Temporizzazione dei segnali generati con $F_s = 44.1$ kHz

Il segnale MCLK non ha una definita relazione di fase rispetto agli altri sincronismi, pur essendo ad essi sincronizzato. Invece vi è una relazione di fase definita e costante tra PSTN_BCLK e PSTN_WCLK. I sincronismi verso l'interfaccia ASP del DM644x (ASP_FS, ASP_CLK) e verso il codec AIC33 (AUDIO_WCLK, AUDIO_BCLK, AUDIO_MCLK) sono uguali a questi, tranne per il fatto che il bit clock è invertito rispetto a PSTN_BCLK.

3.9 Ingresso Video Decoder PAL/NTSC

Il TEXAS INSTRUMENTS TVP5146PFP (U48) è un Video Decoder 4x10 bit @30MSPS, utilizzato dal Modulo Digitale per decodificare un ingresso video analogico PAL/NTSC in formato digitale YCbCr. L'ingresso è composito (CVBS), con connettore RCA femmina (J18), oppure S-video con connettore 4 pin mini-DIN (J17).

I connettori video non devono essere inseriti quando il Modulo Digitale è sotto tensione. Prima è necessario togliere l'alimentazione, poi si inseriscono i connettori e infine si alimenta nuovamente il videotelefono.

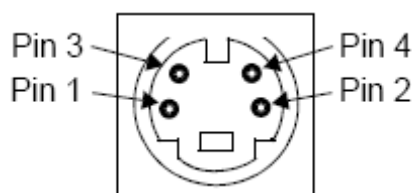


Figura 23. Connettore ingresso S-Video (J17)

Pin	Segnale	Descrizione
1	LUMA	Segnale di luma Y
2	GND	Massa
3	GND	Massa
4	CHROMA	Segnale di chroma C

Tabella 15. Connettore ingresso S-Video (J17)

La seguente figura mostra il connettore di ingresso video composito (colore giallo)

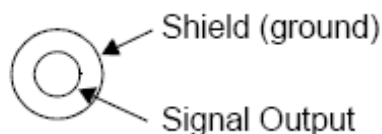


Figura 24. Connettore Jack RCA per ingresso video CVBS (J18)

Il TVP5146PFP è programmabile dal DM644x tramite l'interfaccia I2C. Il formato di uscita scelto è 10-bit 4:2:2 (ITU-R BT.656) con sincronismi separati. Di tutti i pin di uscita di cui dispone il TVP5146PFP, solamente 8-bit sono utilizzati per portare le componenti multiplexate Y e CbCr al DM644x.

Vi è la possibilità di processare dati VPI.

Le alimentazioni richieste dal dispositivo sono 1.8V (digital core), 3.3V (digital I/O) e 1.8V (analog core), il package è 80 TQFP con dissipatore (nello schema indicato dal pin 81).

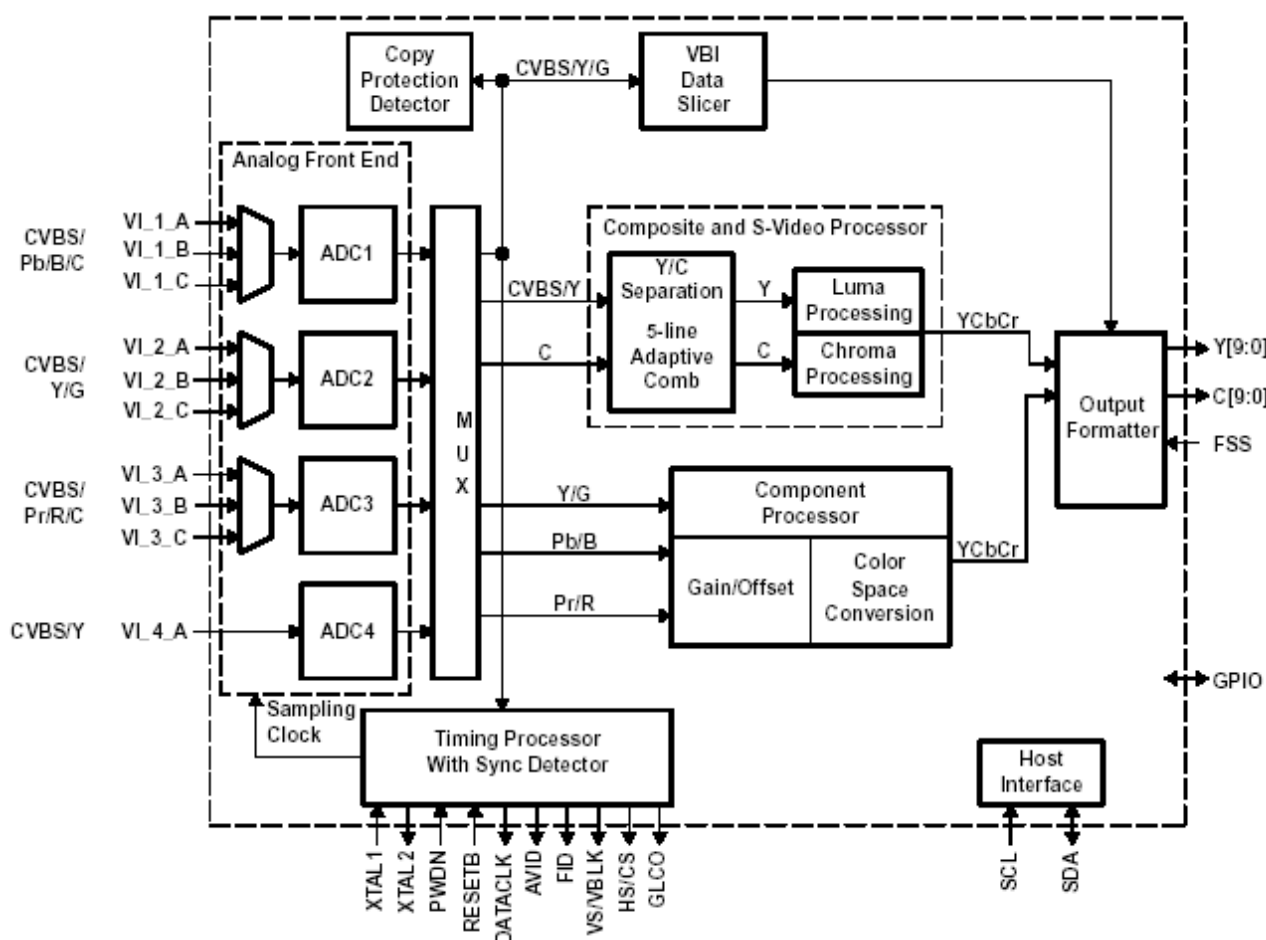


Figura 24-1. Diagramma funzionale a blocchi TVP5146PFP

Al reset lo stato dell'ingresso GLCO viene letto per determinare l'indirizzo I2C del dispositivo (default 0xB8)

L'ingresso PWRDWN può essere usato per disabilitare il dispositivo quando è attivo il CMOS Camera Sensor.

I pin di output del TVP5146PFP possono essere configurati sia a 3.3V che a 1.8V (opzione a basso rumore). Le uscite del TVP5146PFP sono multiplexate in HW sull'ingresso VPFE del DM644x tramite un transceiver AVCB (U49).

3.10 Interfaccia CMOS Camera Sensor

L'acquisizione delle immagini per la funzione videotelefono è demandata alla video-camera CMOS OMNIVISION OV07670-VL2A, posizionata subito sopra il display. Si tratta di un sensore a colori con risoluzione fino a 640x480 (VGA) e un frame rate massimo di 30 fps. La programmazione del sensore avviene per tramite del bus I2C.

Il dispositivo fisicamente montato sulla Video IO Board (IPVP644xA) è il modulo OV07670-FSL, che consiste in un chip OV07670-VL2A saldato su un cavo flat. Il flat è intestato alla scheda con un connettore ZIF.

Active Array Size		640 x 480
Power Supply	Digital Core	1.8VDC $\pm 10\%$
	Analog	2.45V to 3.0V
	I/O	1.7V to 3.0V ^A
Power Requirements	Active	60 mW typical (15fps VGA YUV format)
	Standby	< 20 μ A
Temperature Range	Operation	-30°C to 70°C
	Stable Image	0°C to 50°C
Output Formats (8-bit)		<ul style="list-style-type: none"> • YUV/YCbCr 4:2:2 • RGB565/555/444 • GRB 4:2:2 • Raw RGB Data
Lens Size		1/6"
Chief Ray Angle		25°
Maximum Image Transfer Rate		30 fps for VGA
Sensitivity		1.3 V/(Lux • sec)
S/N Ratio		46 dB
Dynamic Range		52 dB
Scan Mode		Progressive
Electronics Exposure		Up to 510:1 (for selected fps)
Pixel Size		3.6 μ m x 3.6 μ m
Dark Current		12 mV/s at 60°C
Well Capacity		17 K e
Image Area		2.36 mm x 1.76 mm
Package Dimensions		3785 μ m x 4235 μ m

Tabella 16. Caratteristiche del sensore OV07670-VL2A

Il formato di uscita delle immagini scelto è YCbCr 4:2:2 8-bit con sincronismi separati, direttamente compatibile con l'ingresso VPFE del DM644x, a meno di una conversione di livelli. Il formato YCbCr, a differenza del RGB, ha componenti molto più scorrelate fra di loro, ed è la scelta naturale ai fini della compressione delle immagini. In teoria sarebbe possibile anche utilizzare il formato RGB ("Raw") con codifica Bayer, in quanto il Preview Engine, già incorporato nel VPFE, è in grado di convertire in HW l'RGB nel formato YCbCr 4:2:2.

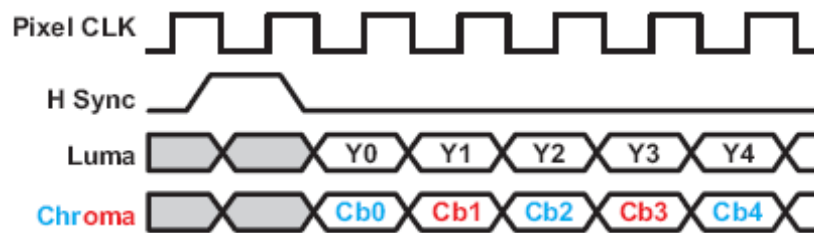


Figura 25. Bus YCbCr 4:2:2

Dato che la compressione lavora in risoluzione QVGA (320 x 240), tale è la risoluzione da scelta sul sensore. In teoria il sensore potrebbe uscire in VGA, in quanto il Resizer del DM644x è in grado di riscalar l'immagine a QVGA, ma ciò risulterebbe in una inutile complicazione. Tutto il lavoro che risparmieremo al DM644x si tradurrà in un risparmio di tempo nell'implementazione delle relative routine di gestione.

Dato che i sincronismi sono generati dal sensore, il VPFE lavora in modo Slave.

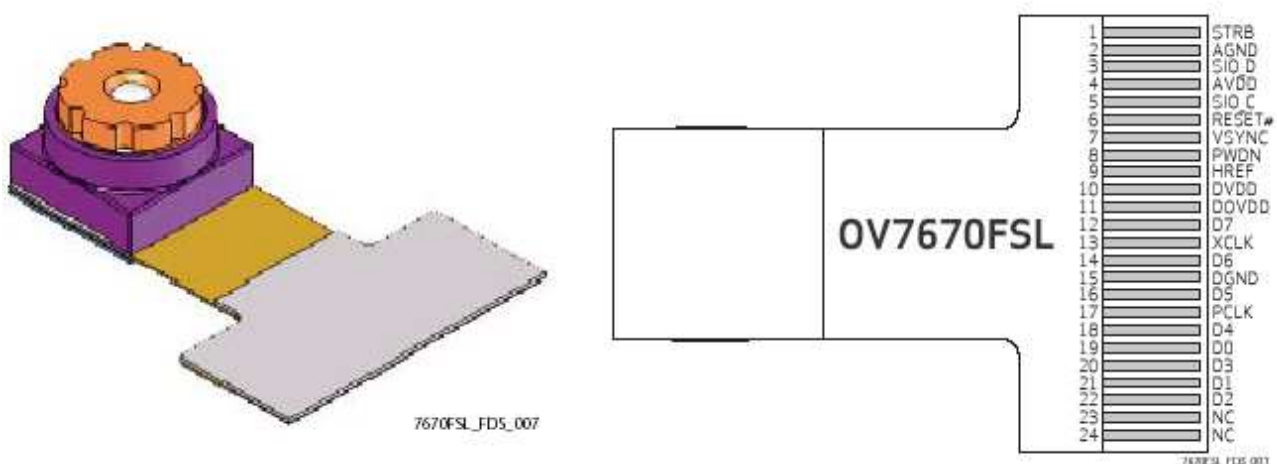


Figura 26. OV7670-FSL con pin-out (vista Flat sul lato posteriore rispetto alla lente)

Le alimentazioni che il sensore richiede sono 1.8V (digital core, I/O) e 2.8V (analog core). Il consumo è estremamente ridotto (150mW@30fps, o 60mW@15fps).

Si noti che, per come è montato il sensore sulla Video IO Board, è necessario abilitare la funzione Flip Vertical (MVFP[4] = 1b).

Sia il sensore che il VPFE possono essere programmati in modo che il riferimento significativo del pixel-clock sia il fronte positivo oppure quello negativo. Scegliamo di utilizzare il fronte positivo.

Le figure seguenti mostrano le sequenze per l'accesso in lettura e scrittura ai registri interni sul bus I2C

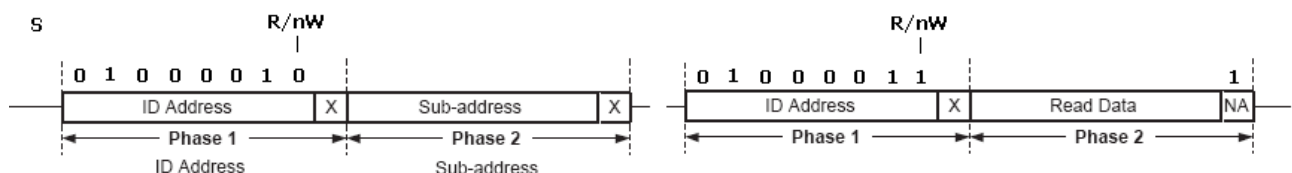


Figura 26. Accesso in lettura sul registro con offset specificato in Sub-address

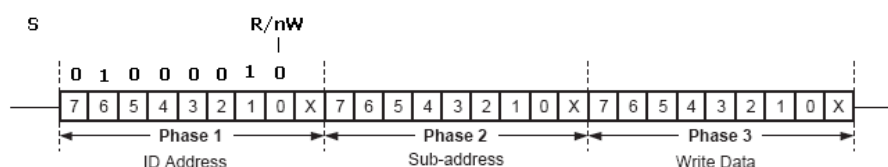


Figura 26. Accesso in scrittura sul registro con offset specificato in Sub-address

3.11 Uscita Video

Il DM644x dispone internamente di 4 video DAC (A,B,C,D) a 54MHz. Di questi solamente due sono utilizzati dal Modulo Digitale per uscire in video composito (CVBS) su connettore RCA femmina (J19), oppure in S-video su connettore Mini DIN (J20). I segnali sono bufferizzati da amplificatori operazionali tipo OPA357 (U50,U51), con filtro integrato. In formato Y/C il DAC B porta il CHROMA, mentre il DAC C porta il LUMA.

I connettori video non devono essere inseriti quando il Modulo Digitale è sotto tensione. Prima è necessario togliere l'alimentazione, poi si inseriscono i connettori e infine si alimenta il videotelefono.

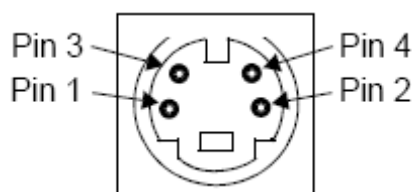


Figura 27. Connettore uscita S-Video (J20)

Pin	Segnale	Descrizione
1	LUMA	DM644x DAC OUT C
2	GND	Massa
3	GND	Massa
4	CHROMA	DM644x DAC OUT B

Tabella 17. Connettore uscita S-Video (J20)

La seguente figura mostra il connettore di uscita video composito (colore bianco)

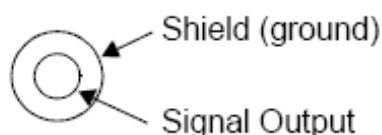


Figura 28. Connettore Jack RCA per uscita video CVBS (J19)

L'uscita video analogico del sottosistema VPBE del DM644x può essere configurata per pilotare sia sistemi TV HD che SD. Il sistema IPvPhone per il mercato italiano esce in SDTV PAL (VMOD.HDMD = 0b; VMOD.TVTYP = 1b). La configurazione dei DACs rifletterà lo stato della connessione fisica prescelta dall'utente

Register Field	CVBS	S-Video
DACSEL.DA0S		
DACSEL.DA1S	0h	2h
DACSEL.DA2S		1h
DACSEL.DA3S		

Tabella 18. Configurazione dei DACs

In modalità CVBS il VPBE opera automaticamente una trasformazione YCbCr->YUV, sicché occorre selezionare i gain della conversione (CVBS.CVLVL e CVBS.CSTUP) e alcuni timing (CVBS.CBBLD e CVBS.CSBLD). I DACs possono operare a 27MHz o a 54MHz (con sovra-campionamento)

Format	OSD	VENC	DAC	DAFRQ	DAUPS	Oversampling
NTSC/PAL	13.5 MHZ	27 MHZ	27 MHZ	0	0	Off
NTSC/PAL	13.5 MHZ	27 MHZ	54 MHZ	1	0	Off
NTSC/PAL	13.5 MHZ	27 MHZ	54 MHZ	1	1	On

Tabella 19. Frequenze di campionamento dei DACs

3.12 Uscita Display LCD

Il Display del IPvPhone è montato, insieme al CMOS Camera Sensor, sulla Video IO Board (IPVP6441A). Questa scheda comunica con la Base Board IPVP6441 tramite un connettore flat FPC a 50 poli (J10). Questa modularità rende l'architettura estremamente flessibile, consentendo ad esempio di realizzare prodotti con display differenti, semplicemente cambiando la Video IO Board, l'unico vincolo essendo la profondità di colore che è in ogni caso RGB666.

Pin	Dir	Segnale	Pin	Dir	Segnale
1	O	+5V	26	O	R3
2	O	+5V	27	O	R4
3	O	GND	28	O	R5 (MSB)
4	O	GND	29	O	GND
5	O	+3.3V	30	O	LCD_CLK (pixel clock)
6	O	+3.3V	31	O	LCD_VSYNC
7	O	LCD_CTRL (IO/LCD_OE)	32	O	LCD_HSYNC
8	O	LCD_RES (Reset)	33	O	+1.8V
9	O	B0 (LSB)	34	O	CAM_SCL (I2C clock)
10	O	B1	35	I/O	CAM_SDA (I2C data)
11	O	B2	36	I	CAM_DOVDD (+2.8V)
12	O	B3	37	I	CAM_PCLK (pixel-clock)
13	O	B4	38	O	GND

14	O	B5 (MSB)	39	I	CAM_VSYNC (vertical sync.)
15	O	GND	40	I	CAM_HSYNC (horizontal sync.)
16	O	G0 (LSB)	41	O	/CAM_RES (reset)
17	O	G1	42	O	CAM_XCLK (27 MHz)
18	O	G2	43	I	CAM_D0 (LSB)
19	O	G3	44	I	CAM_D1
20	O	G4	45	I	CAM_D2
21	O	G5 (MSB)	46	I	CAM_D3
22	O	GND	47	I	CAM_D4
23	O	R0 (LSB)	48	I	CAM_D5
24	O	R1	49	I	CAM_D6
25	O	R2	50	I	CAM_D7 (MSB)

Tabella 20. Connettore Video IO Board (J10)

Il Display montato sulla Video IO Board IPVP6441A è il modello TFT EVERVISION VGG322419-6UFLWA, 3.5", 320x240 (QVGA), retroilluminato da 5 LED in configurazione serie, con consumo massimo 22mA @3.3V e 87mA @5V.

In generale il sottosistema VENC del VPBE mette a disposizione le seguenti funzionalità

- DCLK programmabile
- Formati di uscita
 - YCbCr 16-bit
 - YCbCr 8-bit
 - ITU-R BT.656
 - **RGB 24-bit**
- Filtro passa basso per uscita RGB digitale
- Generatore di timing programmabile
- Funzionamento Master/Slave
- Color Bar Generation (100%/75%)

Abbiamo già detto che l'uscita video in digitale è PRGB (Parallel RGB) e precisamente RGB666 (18-bit). In modalità RGB il VPBE opera in HW la conversione YCbCr->RGB

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \frac{1}{1024} \begin{bmatrix} GY & 0 & RV \\ GY-GU-GV & & \\ GY & BU & 0 \end{bmatrix} \begin{bmatrix} Y-16 \\ Cb-128 \\ Cr-128 \end{bmatrix}$$

La seguente figura mostra il timing di alcuni segnali di controllo del display (interni ed esterni).

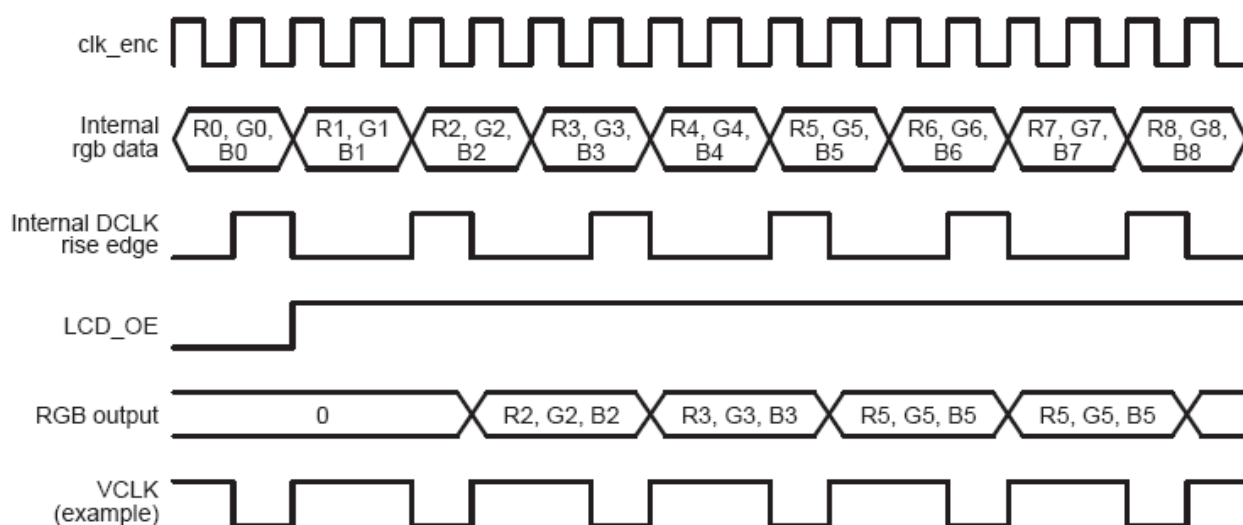


Figura 29. Temporizzazioni sulle linee di controllo display

3.13 Interfaccia SD–MMC / MS

Il DM644x dispone di un controllore integrato per supporti di memoria MMC/SD/SDIO, con clock programmabile. Il Modulo Digitale ha un connettore MOLEX 48000-2001 per memorie rimovibili tipo SD (Secure Digital) - MMC (Multi Media Card) e MS (Memory Stick), con alimentazione a 3.3V. La seguente figura mostra le dimensioni esterne degli standard menzionati.

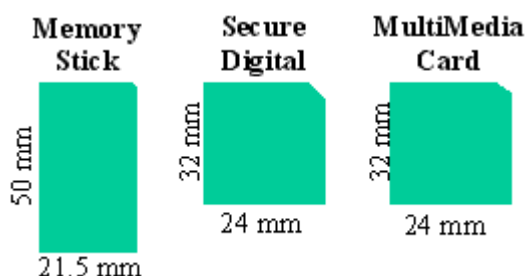


Figura 30. Dimensioni esterne delle diverse Memory Card

Alcune MS esistono anche con dimensioni 31 mm x 20 mm, queste versioni hanno suffisso "Duo" (Memory Stick Duo e Memory Stick Pro Duo).

3.13.1 SD/MMC

La card SD ha tipicamente funzioni di storage (Flash). Oggi le card SD arrivano a 8GB di capacità e utilizzano il file system FAT per memorizzare files (FAT16 fino a 2GB, FAT32 oltre i 2GB). La File Allocation Table (FAT) è il formato che permette di sistemare file di dati su un supporto di memoria. Il protocollo SD è stato concepito come un superset del protocollo MMC versione 2.11. Oggi la versione del SD è 2.00 e permette di arrivare a 32GB. Il controllore SD/MMC del DM644x ha le seguenti caratteristiche

- Clock per MMC programmabile fino a 20 MHz (standard versione 3.31)
- Clock per SD programmabile fino a 25 MHz, o 12.5 MB/s (standard versione 1.10)
- 256-bit read/write FIFO
- Supporta letture/scritture single/multiple block via ARM o via EDMA

Per le carte SD il tipo di interfaccia è parallela a 4-bit (modalità SD), mentre la modalità SPI non è supportata. Per le carte MMC vi è invece un'unica linea dati attiva (SD_DATA0).

Pin	Segnale	Dir	Descrizione
1	CD/SD_DATA3	I/O	Card Detect / Data Line 3
2	CMD	I/O	Command/Response Line
3	VSS	S	Ground
4	VDD	S	Power Supply
5	CLK	I	Clock Line
6	VSS	S	Ground
7	SD_DATA0	I/O	Data Line 0
8	SD_DATA1	I/O	Data Line 1
9	SD_DATA2	I/O	Data Line 2

Tabella 21. Interfaccia standard di una card SD/MMC

I pin ausiliari SW e PW sul connettore permettono al DM644x di rilevare l'inserzione/disinserzione della card e lo stato di Write Protection. Il DM644x legge queste linee attraverso l' I/O Expander U13.

SW	PW	Descrizione
1	1	No SD/MMC Card inserted
0	1	SD/MMC Card inserted (Write Protect Lock)
0	0	SD/MMC Card inserted (Write Protect Unlock)

Tabella 22. Stato dei pin di controllo della Card SD/MMC

Dal punto di vista SW la card è vista come una estensione del file system Linux in /dev/mmcblk0. Il driver per questa interfaccia mette a disposizione le seguenti funzioni base

1. Rilevamento inserzione/disinserzione
2. Alimentazione e inizializzazione della card
3. Accesso ai registri di controllo
4. Scrittura, lettura e cancellazione dei dati

3.13.2 Memory Stick Pro

Il connettore accetta anche Memory Stick Pro. Il protocollo (Sony) è seriale half-duplex su 3 fili. Lo standard prevede una velocità di scrittura da 330KB/s a 1800MB e una velocità di lettura di 2.45MB/s.

In realtà il connettore potrebbe accettare anche carte Memory Stick, ma il vincolo non troppo stringente di limitare l'utilizzo alla sola versione Pro ci permette di controllare facilmente in HW la selezione della corretta polarizzazione delle terminazioni sul bus dati (U38).

Il controllore del DM644x gestisce la Memory Stick settando il bit MSKT del registro PINMUX1.

Pin	Segnale	Dir	Descrizione
1	VSS	S	Ground
2	MS_BS	I	Bus State. Indicates the Bus State (0-3) on the SDIO and the timing to start signal transfer.
3	MS_DATA1	I/O	Data Line 1
4	MS_DATA0/SDIO	I/O	Data Line 0 / Serial Data In-Out. Transfer direction and types of data change depending on the Bus State.
5	MS_DATA2	I/O	Data Line 2
6	MS_INS	O	Stick Detect (connected to VSS)
7	MS_DATA3	I/O	Data Line 3
8	MS_SCLK	I	Serial Clock. A host product outputs signals on BS and SDIO at falling edge and inputs (latches) at rising edge. SCLK is always output during BS1-BS3.
9	VDD	S	Power Supply
10	VSS	S	Ground

Tabella 23. Interfaccia standard di una card MS

Il pin MS_INS sul connettore permette al DM644x di rilevare l'inserzione/disinserzione della card. Il DM644x legge questa linea attraverso l' I/O Expander U13.

MS_INS	Descrizione
1	No MS Card inserted
0	MS Card inserted

Tabella 24. Stato del pin di controllo della Card MS

3.14 Audio Codec

Il Modulo Digitale del IPvPhone utilizza un Codec Stereo tipo TEXAS INSTRUMENTS TLV320AIC33IRGZR per trasmettere e ricevere segnali audio analogici (U1). Questo dispositivo, in package 48-QFN (7 mm x 7 mm) necessita delle tensioni di alimentazione 3.3V (I/O) e 1.8V (Core). Questo codec non deve essere confuso con il codec PCM3008, montato sul Modulo Analogico PSTN. In ogni dato momento, soltanto uno dei due codec può essere messo in comunicazione con la porta ASP del DM644x. La figura seguente dà uno schema a blocchi del AIC33 (Nota: al posto del McBSP deve essere sostituita la ASP).

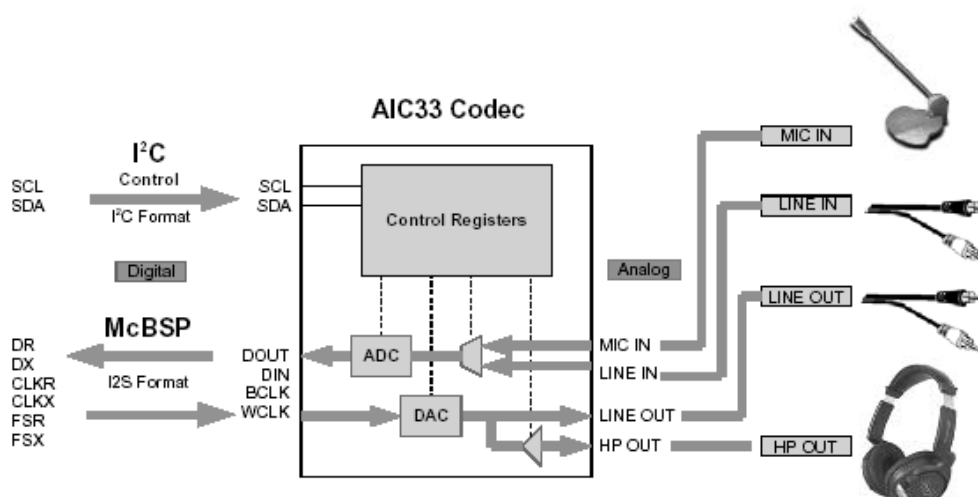


Figura 31. Audio Codec AIC33

Gli ingressi audio sono rappresentati da due connettori stereo jack 3.5mm femmina, uno per l'attacco microfono (J2) e uno per ricevere un segnale stereo preamplificato (J1). Due connettori, dello stesso tipo, sono dedicati all'output su cuffia (J4) e verso un amplificatore esterno (J3). La figura seguente mostra il plug, con uno schema tipico di utilizzo. L'ingresso microfono rientra nella colonna "Balanced", gli altri casi nella colonna "Stereo"

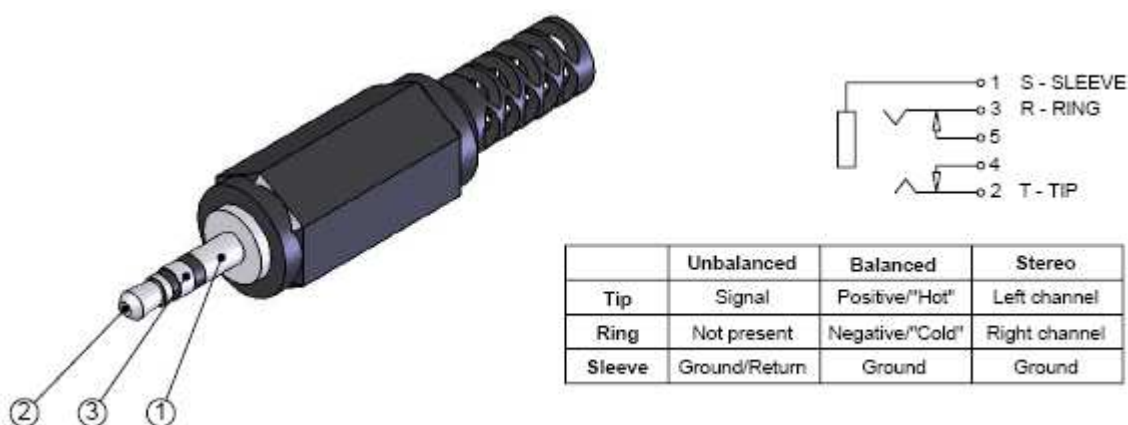


Figura 32. Connettore Plug per ingressi e uscite audio

Il bus I2C viene usato per il controllo del codec (pin SELECT = 0), mentre la periferica interna ASP del DM644x controlla lo stream audio digitale.

L'AIC33 permette di configurare la lunghezza di parola del singolo campione audio (16,20,24,32-bit). Nel Modulo Digitale tale lunghezza è **16-bit**. Sempre il MSB viene trasmesso per primo. Il word-clock (WCLK) e il bit-clock (BCLK) sono utilizzati in Master Mode, quindi in uscita all'AIC33. Ogni periodo del WCLK (onda quadra a frequenza fs) contiene esattamente 32 impulsi di BCLK (32fs). Questo è il bit rate minimo per l'AIC33.

Vi è la possibilità per l'AIC33, non usata, di mettere in alta impedenza l'uscita DOUT, motivo per cui su questa linea è sempre presente un PD.

Tra le varie possibilità offerte dall'AIC33 per il framing dei dati (Left/Right Justified, I2S, TDM) quello scelto è il **Left Justified**, in quanto il codec PCM3008 supporta solamente questo tipo.

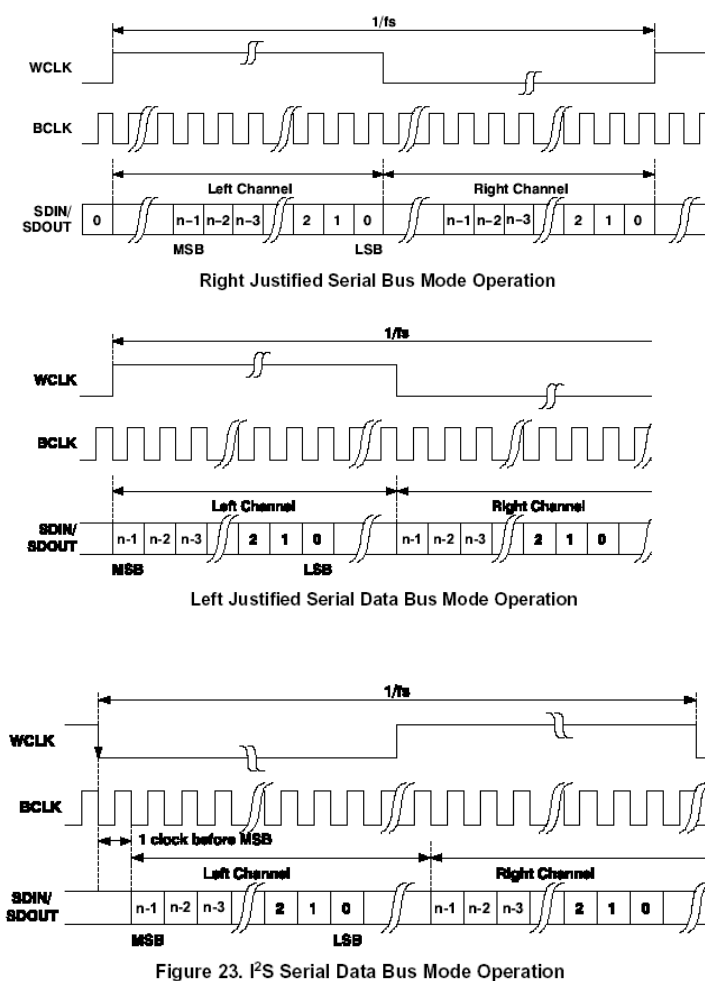
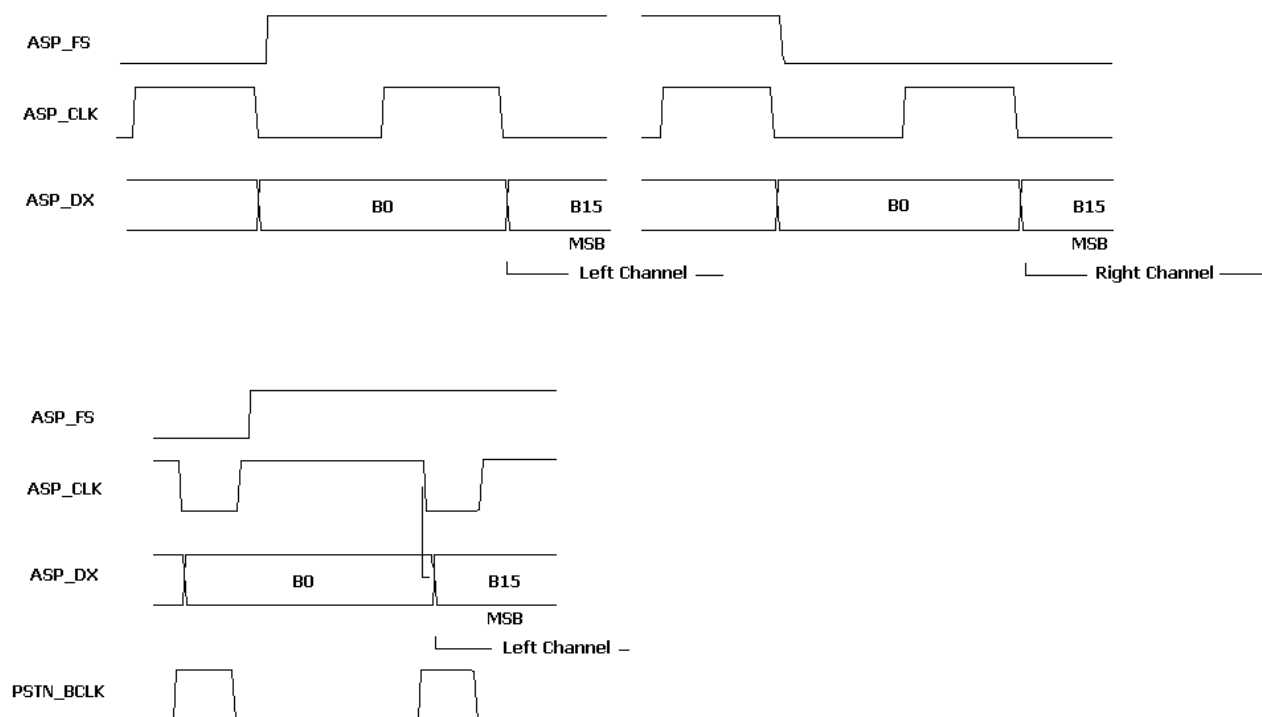


Figura 33. Temporizzazione dei segnali sull'interfaccia ASP

Lo stream audio che transita sulla ASP deve essere bufferizzato in una delle risorse SRAM interne al DM644x e non nella SDRAM DDR2, in quanto quest'ultima risorsa risente di latenze dipendenti dal contesto operativo (cfr. Errata sprz246d).



Dato che l'interfaccia ASP funziona in Slave Mode rispetto ai sincronismi, vi è la possibilità che al momento in cui la periferica è abilitata, il primo impulso di word-clock non permetta una corretta sincronizzazione dei canali in trasmissione. Per evitare questo inconveniente occorre attendere il successivo frame prima di abilitare il trasmettitore, collegando il segnale ASP_FS su un ingresso GPIO (cfr. Errata sprz246d). Il Modulo Digitale implementa questo accorgimento.

3.15 Modulo Analogico PSTN

Il Modulo Analogico PSTN è un vero e proprio telefono analogico conforme alle normative vigenti. E' provvisto di connettore microtelefono RJ9 per il collegamento dell'handset, connettore di rete RJ11, connettore tastiera e connettore di collegamento al Modulo Digitale.

Un certo numero di switch analogici permette il routing logico della fonia in dipendenza della modalità di chiamata, come illustrato nelle figure seguenti.

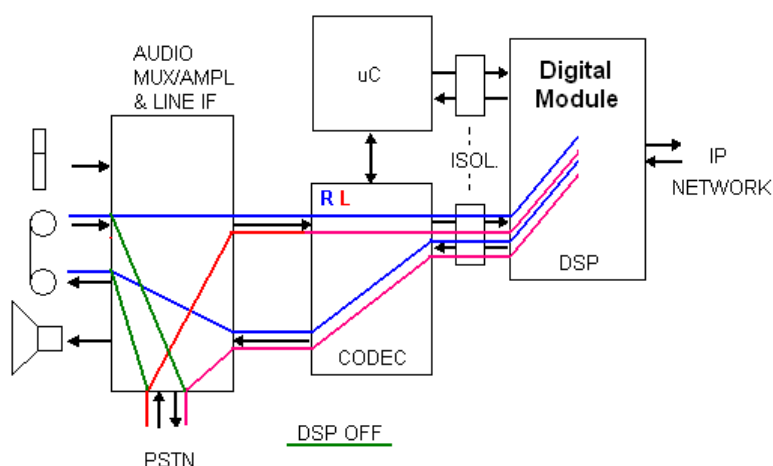


Figura 34. Chiamata PSTN

La semplice chiamata PSTN non richiede necessariamente l'intervento del Modulo Digitale. In tal caso il Modulo Analogico ricava l'alimentazione dalla linea telefonica. Se il Modulo Digitale è alimentato dall'esterno, la fonia può essere diretta sul DM644x per l'eliminazione dell'eco di linea. In tal caso il Modulo Analogico, oltre a ricevere l'alimentazione dal Modulo Digitale, provvede mediante il CODEC alla conversione Analogico-Digitale della fonia in entrambe le direzioni.

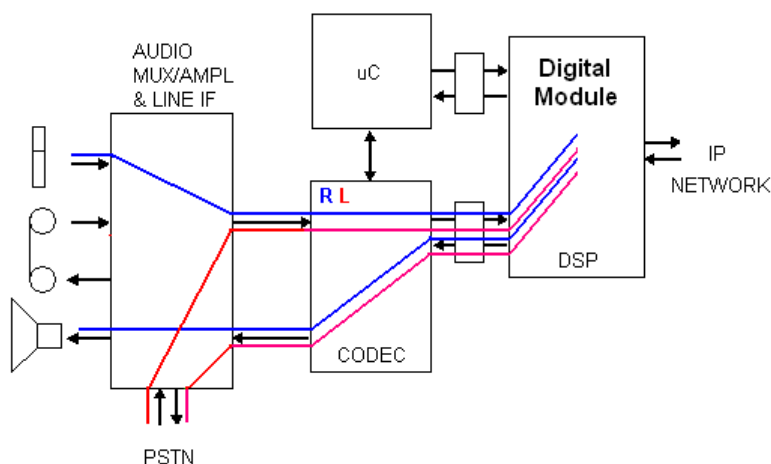


Figura 35. Chiamata PSTN vivavoce

La chiamata PSTN vivavoce differisce dalla caso precedente per il fatto che il microfono e l'altoparlante ambientali sostituiscono il microfono e l'auricolare della cornetta.

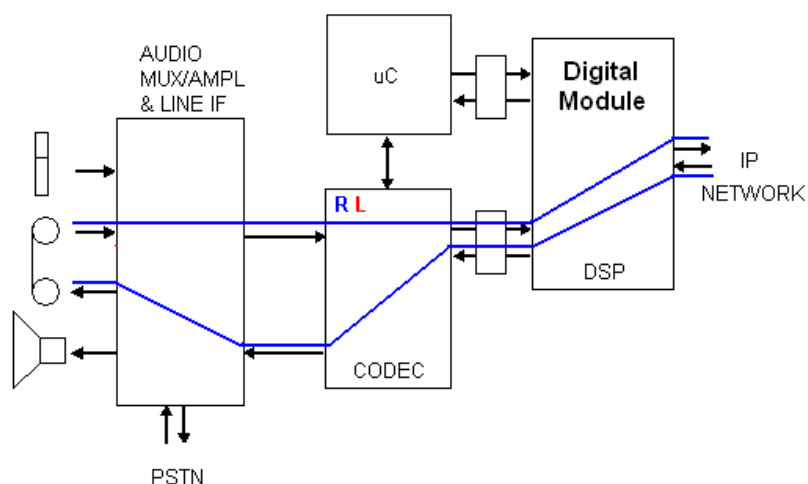


Figura 36. Chiamata IP

Nella chiamata IP, sia semplice che vivavoce, la rete IP prende il posto della rete analogica PSTN. In tal caso il Modulo Digitale assume la funzione di Gateway VoIP.

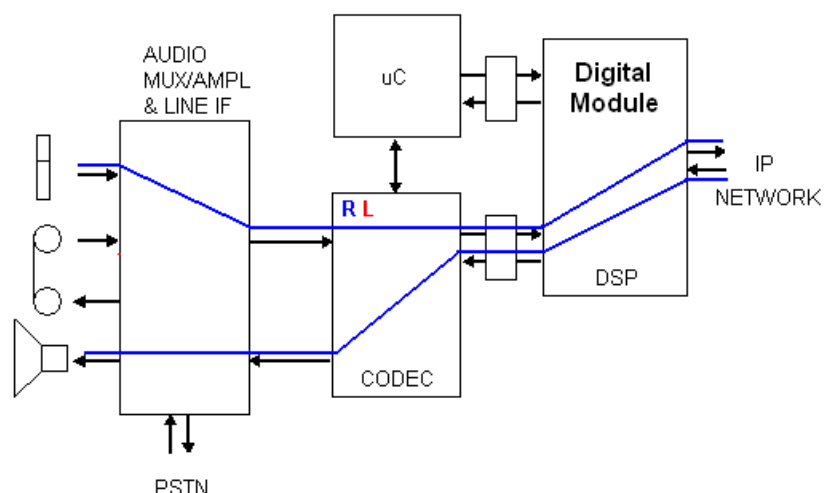


Figura 37. Chiamata IP vivavoce

La seguente tabella mostra il pin-out del connettore di interfaccia verso il Modulo Analogico PSTN (J12).

Pin	Segnale	Dir	Descrizione	Pin	Segnale	Dir	Descrizione
1	+3.3V	O	Alimentazione 3.3V	2	+5V	O	Alim. Modulo Analogico
3	PSTN_SD_5V	O	Shut Down Modulo Analogico	4	-	-	
5	GND	O	Massa	6	/PSTN_ONHOOK	I	Stato ON HOOK
7	GND	O	Massa	8	/PSTN_RING	I	Stato RING
9	GND	O	Massa	10	PSTN_RDY	O	Digital Module READY
11	GND	O	Massa	12	PSTN_TX	I	RX seriale di controllo
13	GND	O	Massa	14	PSTN_RX	O	TX seriale di controllo
15	GND	O	Massa	16	PSTN_MUX	O	Abil. isolatore PSTN_DR
17	GND	O	Massa	18	PSTN_WCLK	O	Word-clock (Fs)
19	GND	O	Massa	20	PSTN_DR	I	Ingresso fonia digitale
21	GND	O	Massa	22	PSTN_DX	O	Uscita fonia digitale
23	GND	O	Massa	24	PSTN_MCLK	O	Master Clock (256 Fs)
25	GND	O	Massa	26	PSTN_BCLK	O	Bit-clock (32/64 Fs)

Tabella 25. Connettore Modulo Analogico (J12)

Il Modulo Digitale è disaccoppiato galvanicamente dal Modulo Analogico mediante degli isolatori magnetici montati su quest'ultimo. Quando alimentato, il Modulo Digitale fornisce a sua volta +3.3V e +5V al Modulo Analogico. L'interfaccia tra i due moduli si compone di tre parti

1. canale di controllo
2. canale di fonia
3. segnali di controllo

Il canale di controllo è una seriale asincrona a 38400 bps, implementata sul lato DM644x dalla periferica integrata UART-1. Tramite comandi AT, su questa seriale l'applicazione ARM è in grado di controllare il funzionamento del Modulo Analogico. Sul canale fonico i campioni audio digitalizzati non compressi viaggiano in modo sincrono dal codec del Modulo Analogico alla porta

ASP del DM644x, e viceversa. Alcuni segnali di controllo permettono infine all'applicazione ARM di rilevare lo stato del Modulo Analogico.

3.16 UART-0

L'interfaccia UART RS232, collegata alla periferica UART-0 del DM644x, fornisce un ausilio indispensabile per eseguire debug del Modulo Digitale durante lo sviluppo, ma rappresenta anche la porta di accesso per caricare per la prima volta il Flash l'immagine del sistema operativo e del programma applicativo (vedi paragrafo relativo alle modalità di Boot dell'ARM).

Pin	Segnale	Descrizione
1	DTE_CTS	Clear To Send
2	-	NU
3	DTE_RX	Data Receive
4	GND	Ground
5	GND	Ground
6	DTE_TX	Data Transmit
7	-	NU
8	DTE_RTS	Ready To Send

Tabella 26. Connettore UART-0 (J15)

Il connettore è un RJ45 e l'assegnazione dei pin permette di utilizzare un cavo adattatore DB9/RJ45 standard per il collegamento all'host. I terminali 2 e 4 sono cortocircuitati internamente, dato che questa UART non ha il controllo di flusso in HW.

La UART è mappata sotto Linux in /dev/tts/0, il numero di interrupt è 40.

3.17 UART-1

Il DM644x possiede altre due UART. Nel Modulo Digitale la UART-1 è utilizzata come canale di controllo verso il Modulo Analogico. Tramite comandi AT, su questa seriale l'applicazione è in grado di controllare il funzionamento del Modulo Analogico.

La UART è mappata sotto Linux in /dev/tts/1, il numero di interrupt è 41.

3.18 UART-2

Per quanto riguarda la UART-2, questa non viene normalmente utilizzata nel Modulo Digitale.

3.19 RTC

Il Modulo Digitale del videotelefono è dotato di Real Time Clock/Calendar. Il dispositivo è un NXP PCF8563TS (U15). Un Supercap da 1F provvede alla alimentazione dell'RTC anche in assenza di alimentazione esterna.

La programmazione del PCF8563 avviene con I2C bus. L'indirizzo è 0x51.

Sul dispositivo PCF8563 è possibile programmare una serie di allarmi in base alle informazioni di data/ora. Gli eventi allarme sono comunicati attraverso una linea di share interrupt della IPvPhone sulla porta GPIO7 del DaVinci (il numero di interrupt è 71). Se si vuole escludere questa possibilità in HW è sufficiente smontare R87.

L'orologio RTC è mappato sotto Linux in /dev/rtc0.

3.20 Emulatore In-Circuit JTAG

Il Modulo Digitale può essere collegato a emulatori JTAG sia provvisti di pod a 20 pin CTI (J6) sia provvisti del più tradizionale pod a 14 pin (J6).

Pin	Segnale	Descrizione	Pin	Segnale	Descrizione
1	TMS	Test mode select	11	TCLK	Test clock
2	/TRST	Test reset	12	GND	Massa
3	TDI	Test data input	13	EMU0	Emulation pin 0
4	TDIS		14	EMU1	Emulation pin 1
5	TVD	Presence detect (+1.8V)	15(*)	/SRST	
6	KEY		16(*)	GND	Massa
7	TDO	Test data output	17(*)	EMU2	NC
8	GND	Massa	18(*)	EMU3	NC
9	TCKRTN	Test clock return	19(*)	EMU4	NC
10	GND	Massa	20(*)	GND	Massa

Tabella 27. Connettore Header POD emulatore JTAG (J6/J7)

(*) – Presente solo sul connettore a 20-pin CTI (J6).

Lo stesso connettore deve essere utilizzato per eseguire il Boundary-Scan Test (IEEE 1149.1 standard).

Il sistema prevede il circuito di Adaptive Clocking, formato dai Flip-Flop U20 e U21.

La necessità di questo circuito nasce dal fatto che i core ARM con estensione -S campionano i segnali TMS, TDI e TCK con il loro clock interno, e questo clock può avere una frequenza variabile (p.es. rallenta in sleep mode). L'ARM ha una logica interna che genera un segnale RTCK che è una versione ritardata del TCK e sincrona con il clock del core. Il circuito formato da U20 e U21 utilizza RTCK per generare un TCK che abbia la massima frequenza compatibile con il clock interno del core ARM. Se non ci fosse questo circuito l'emulatore dovrebbe pilotare TCK con una frequenza sempre inferiore a quella ottimale, cioè la massima che il core ARM sarebbe in grado di accettare (ciò è sempre possibile, montando R98 e smontando U21).

Il circuito di Adaptive Clocking non interferisce con gli emulatori che già lo hanno integrato.

Lo switch U53 ha la funzione di evitare un problema che si manifesta utilizzando emulatori XDS510 basati su TBC (Test Bus Controller) SN74ACT8990: quando /TRST è pilotato a 0 dal TBC il DM644x non pilota più RTCK e il TBC, che necessita di questo clock, si blocca (cfr. Blackhawk™ App Note: *Using the Adaptive Clocking Feature of the TI OMAP™ Platform*). Questa modifica non ha effetto sugli emulatori che non usano un pin del TBC per pilotare il /TRST, come l'XDS560.

Il buffer U17 serve a migliorare la qualità del segnale RTCK, al fine di evitare perdite di sincronizzazione (cfr. Errata sprz246d).

3.21 Memory Map

La seguente tabella mostra la mappa fisica di memoria del Modulo Digitale.

Start Address	Generic Dm644x Address Space	Digital Module
---------------	------------------------------	----------------

0x00000000	ARM instruction RAM	ARM instruction RAM
0x00004000	ARM Data RAM	ARM Data RAM
0x02000000	AEMIF /CS2	Flash (U7/U8)
0x04000000	AEMIF /CS3	Auxiliary Flash (U8) – Not Used
0x06000000	AEMIF /CS4	Not Used
0x08000000	AEMIF /CS5	Not Used
0x80000000	DDR2 Memory	DDR2 Memory

Tabella 24. Mappa di memoria fisica

La memoria interna risiede nella parte iniziale dello spazio di indirizzamento. Parte di questa memoria può essere ripartita in SW come cache L2 o come RAM fissa. Per default, dei 4 chip select disponibili soltanto /CS2 è effettivamente usato per l'indirizzamento asincrono a 16-bit della memoria Flash esterna. Se la scheda monta la Flash U7 allora U7 è la Flash di boot, ed è possibile anche montare una Flash ausiliaria (U8) per lo storage, indirizzata da /CS3. Se U7 non è montata, allora U8 è la Flash di boot. La seguente tabella mostra nel dettaglio la mappa generica del DM644x.

START ADDRESS	END ADDRESS	SIZE (Bytes)	ARM	C64x+	EDMA/ PERIPHERAL	HPI	VPSS
0x0000 0000	0x0000 1FFF	8K	ARM RAM0 (Instruction)	Reserved	Reserved	Reserved	
0x0000 2000	0x0000 3FFF	8K	ARM RAM1 (Instruction)				
0x0000 4000	0x0000 5FFF	8K	ARM ROM (Instruction)				
0x0000 6000	0x0000 7FFF	8K	Reserved		ARM RAM0	ARM RAM0	
0x0000 8000	0x0000 9FFF	8K	ARM RAM0 (Data)				
0x0000 A000	0x0000 BFFF	8K	ARM RAM1 (Data)				
0x0000 C000	0x0000 DFFF	8K	ARM ROM (Data)	ARM ROM	ARM ROM		
0x0000 E000	0x0000 FFFF	8K	Reserved	Reserved	Reserved	Reserved	
0x0001 0000	0x000F FFFF	960K					
0x0010 0000	0x001F FFFF	1M					
0x0020 0000	0x007F FFFF	6M					
0x0080 0000	0x0080 FFFF	64K					
0x0081 0000	0x00E0 7FFF	6112K					
0x00E0 8000	0x00E0 FFFF	32K					
0x00E1 0000	0x00F0 3FFF	976K					
0x00F0 4000	0x00F0 FFFF	48K					
0x00F1 0000	0x00F1 7FFF	32K					
0x00F1 8000	0x017F FFFF	9120K					
0x0180 0000	0x01BB FFFF	3840K					
0x01BC 0000	0x01BC 0FFF	4K					ARM ETB Memory
0x01BC 1000	0x01BC 17FF	2K					ARM ETB Registers
0x01BC 1800	0x01BC 18FF	256	ARM IceCrusher				
0x01BC 1900	0x01BF FFFF	256744	Reserved				
0x01C0 0000	0x01FF FFFF	4M	CFG Bus Peripherals	CFG Bus Peripherals	CFG Bus Peripherals	Reserved	
0x0200 0000	0x09FF FFFF	128M	EMIFA (Code and Data)	EMIFA (Data)	EMIFA (Data)		
0x0A00 0000	0x0BFF FFFF	32M	Reserved	Reserved	Reserved		
0x0C00 0000	0x0FFF FFFF	64M	VLINQ (Remote)	Reserved	VLINQ (Remote)		
0x1000 0000	0x1000 7FFF	32K	Reserved	Reserved	Reserved		
0x1000 8000	0x1000 9FFF	8K		ARM RAM0	ARM RAM0		
0x1000 A000	0x1000 BFFF	8K		ARM RAM1	ARM RAM1		
0x1000 C000	0x1000 DFFF	8K		ARM ROM	ARM ROM		
0x1000 E000	0x1000 FFFF	8K		Reserved	Reserved		
0x1001 0000	0x110F FFFF	17344K					
0x1110 0000	0x111F FFFF	1M	VICP	VICP	VICP		
0x1120 0000	0x117F FFFF	6M	Reserved	Reserved	Reserved		
0x1180 0000	0x1180 FFFF	64K	L2 RAM/Cache	L2 RAM/Cache	L2 RAM/Cache		
0x1181 0000	0x11E0 7FFF	6112K	Reserved	Reserved	Reserved		
0x11E0 8000	0x11E0 FFFF	32K	L1P Cache	L1P Cache	L1P Cache		
0x11E1 0000	0x11F0 3FFF	976K	Reserved	Reserved	Reserved		
0x11F0 4000	0x11F0 FFFF	48K	L1D RAM	L1D RAM	L1D RAM		
0x11F1 0000	0x11F1 7FFF	32K	L1D RAM/Cache	L1D RAM/Cache	L1D RAM/Cache		
0x11F1 8000	0x1FFF FFFF	241M-32K	Reserved	Reserved	Reserved		
0x2000 0000	0x2000 7FFF	32K	DDR2 Control Regs	DDR2 Control Regs	DDR2 Control Regs	DDR2 Control Regs	
0x2000 8000	0x41FF FFFF	544M-32k	Reserved	Reserved	Reserved	Reserved	
0x4200 0000 ⁽¹⁾	0x4FFF FFFF	224M	Reserved	EMIFA/VLINQ Shadow	EMIFA/VLINQ Shadow		
0x5000 0000	0x7FFF FFFF	768M	Reserved	Reserved	Reserved		
0x8000 0000	0x8FFF FFFF	256M	DDR2	DDR2	DDR2		
0x9000 0000	0xFFFF FFFF	1792M	Reserved	Reserved	Reserved	DDR2	
						Reserved	

Tabella 28. Mappa di memoria generica del DM644x

3.22 JTAG Boundary Scan Chain

Il Transceiver Ethernet (U11) è l'unico dispositivo del Modulo Digitale a essere incluso nel circuito di JTAG Boundary Scan insieme al DM644x. Essendo alimentato a 3.3V, i collegamenti di interfaccia JTAG del Transceiver necessitano di essere traslati a 1.8V verso il DM644x.

Il codice BSDL identificativo del DM644x è **0x0B70002F**.

3.23 I/O Expander

Il dispositivo I/O Expander PCF8574 (U13), presente sul bus I2C, genera un certo numero di I/O a 3.3V con diverse funzioni di controllo.

Pin	Dir	Funzione	Stati
P0	I	/MS_INS	MS Card – Inserimento MS (1: No card inserted; 0: Card inserted)
P1	I	SD/MMC_WP	SD/MMC Card – Write Protect (1: Lock; 0: Unlock)
P2	I	SD/MMC_SW	SD/MMC Card – Card Detect (1: No card inserted; 0: Card inserted)
P3	O	BCLK_SEL	Selezione frequenza ASP bit-clock (1: 32fs; 0: 64fs)
P4	I	/PSTN_RING	Stato di RING (1: OFF; 0: ON)
P5	I	/PSTN_ONHOOK	Stato di ON HOOK (1: SGANCIO; 0: AGGANCIO)
P6	O	/AUDIO_EN	Selezione Audio Codec (1: PSTN; 0: AIC33)
P7	O	/TVP5146_EN	Selezione Ingresso Video (1: CMOS Camera; 0: Ingresso Video PAL/NTSC)

Tabella 29. Funzione dei pin I/O Expander (U13)

La porta a 8-bit di questo componente è inizializzata a 0xFF al power-up; successivamente il DM644x provvede a programmare i singoli pin come ingressi oppure come uscite, sempre attraverso il bus I2C. L'uscita open-drain /INT può generare un interrupt verso il DM644x (linea /INT_3.3V) in presenza di una transizione su un I/O configurato come ingresso. Se il DM644x invia sul bus I2C un comando di lettura per l'I/O Expander (0x41), il dispositivo risponde con un byte che riporta lo stato logico delle porte. Se il DM644x invia sul bus I2C un comando di scrittura (0x40), il successivo byte inviato verrà registrato dal dispositivo ed emesso sulle porte (P0 corrisponde al LSB).

3.24 I2C bus

La periferica interna I2C, compatibile allo standard Philips versione 2.1, permette al DM644x di configurare i vari dispositivi connessi a questo bus, e indicati nella tabella seguente con i relativi indirizzi.

Address (SW)	Address (Read)	Address (Write)	Dispositivo	Mode	Funzione
0x20	0x41	0x40	PCF8574PWR	R/W	I/O Expander
0x51	0xA3	0xA2	PCF8563TS	R/W	Real Time Clock
0x22	0x45	0x44	TDA8023TT (Register 0)	R/W	SIM Card Controller
0x23	0x47	0x46	TDA8023TT (Register 1)	R/W	
0x64	0xC9	0xC8	CDCE925PWR	R/W	PLL & VXCO
0x5D	0xBB	0xBA	TVP5146PFP	R/W	Video Decoder
0x21	0x43	0x42	OV07670-FSL	R/W	CMOS Camera Sensor
0x1B	0x37	0x36	TLV320AIC33IRGZR	R/W	AIC33 Audio Codec

Tabella 30. Indirizzi Slave sul bus I2C

Si noti che l'indirizzo di un dispositivo I2C è a 7-bit. Ad ogni transazione il master invia i 7 bit di indirizzo dello slave e infine invia il bit di lettura/scrittura. Quindi il numero totale dei bit è 8. A causa di questo fatto c'è una certa confusione su come rappresentare l'indirizzo.

I trasferimenti dati sono sempre a 8-bit. Per trasmettere un bit la linea SDA viene pilotata al valore logico appropriato quando SCL = 0. Mentre SDA è stabile SCL viene portato prima a 1 e poi a zero. Questo impulso su SCL determina la lettura da parte del dispositivo slave indirizzato.

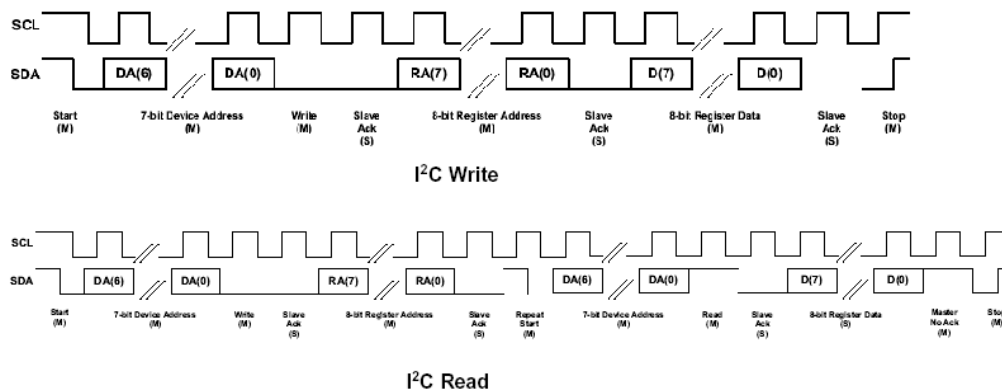


Figura 38. Accessi I2C in scrittura e in lettura

La periferica I2C permette di arrivare a un throughput massimo di 400 kbps, ma la presenza di molti slave sul bus può richiedere di ridurre questa velocità a 100 kbps o meno.

3.25 USB 2.0

La periferica USB2 presente nel DM644x lascia ben poco da aggiungere sulla scheda per implementare un'interfaccia Host. L'integrato U47 funziona da regolatore e limitatore di corrente verso il device, conformemente alla specifica USB 2.0

Pin	Segnale	Descrizione
1	USB_VBUS	Alimentazione +5V
2	USB_DM	Dati (-)
3	USB_DP	Dati (+)
4	GND	Massa

Tabella 31. Connettore USB Host (Type A)

3.26 Dip-Switch

Il Modulo Digitale ha un Dip-Switch quadruplo (SW1), per poter impostare in HW delle condizioni operative statiche.

SW	Nome segnale	Funzione e Stati
1	USER_SW1	Selezione video output port (1:CVBS; 0:LCD)
2	USER_SW2	Selezione kernel & Filesystem location (1: HOST; 0: FLASH)
3	NTSC/PAL	Selezione Formato CVBS (1: NTSC; 0: PAL)
4	BTSEL	Selezione ARM Boot (1: da UART0-ROM; 0: da FLASH)

Tabella 32. Dip-Switch SW1

3.27 SIM Card Reader

Il Modulo Digitale è dotato di interfaccia SIM card (Subscriber Identification Module). La scheda monta un controllore SMART card NXP TDA8023 (U43), rispondente alle specifiche GSM11.11, GSM11.12 (Global System for Mobile communication), ISO 7816-3 e EMV 2000 (payment system). Il connettore, del tipo a slitta, alloggia una card a 1.8V, 3V o a 5V, ed è direttamente collegato al controllore (J14).



Figura 39. Connettore SIM Card (J14)

Anche la programmazione del TDA8023 e il trasferimento dati verso il DM644x avviene con I2C bus. La SMART card può essere sincrona o asincrona. Il TDA8023 riceve il clock esterno direttamente dal pin CLKOUT0 del DM644x (linea SC_CLK). CLKOUT0 è riferito al PLL1 (27MHz) mediante un divisore interno. Una porta di I/O permette al DM644x di interfacciarsi alla card direttamente, con un protocollo half-duplex, mentre una linea di interrupt segnala al DM644x l'inserimento/disinserimento della carta.

I pin elettrici della carta sono

I/O : Input or Output for serial data to the integrated circuit inside the card.

VPP : Programing voltage input. Connected to VCC

GND : Ground

CLK : Clocking or timing signal

RST : reset signal supplied from the interface device

VCC : Power supply input

Una volta inserita la card, questa viene resettata e automaticamente, in base al protocollo ISO7816-3, trasmette un messaggio ATR (Answer to Reset). Questo messaggio contiene informazioni di vario tipo sulle caratteristiche della carta stessa.

La comunicazione è sempre half-duplex, asincrona oppure sincrona (il bit stream su I/O sono sincronizzati con il clock su CLK). In modalità asincrona il tempo di bit o ETU (Elementary Time Unit) dipende dalla frequenza f del segnale CLK in base alla relazione:

$$ETU = (F_i / D_i) * (1 / f)$$

Dove F_i e D_i sono due parametri interi. Inizialmente $F_i=372$, $D_i=1$ e $f=27\text{MHz}/100=270\text{ kHz}$, sicchè $ETU = 1378\text{ us}$ (o 725 bit/sec). Il trasferimento dei dati

La seguente figura mostra la composizione di un singolo frame sulla linea I/O. Vi è un bit di start a livello logico, 8 bit di dati (con LSB trasmesso per primo), un bit di parità (pari), due bit di stop (se il ricevente non ha riscontrato errore di parità). In caso di errore il ricevente forza a zero la linea dopo il primo bit di stop. Il trasmettitore, riscontrata questa condizione, ritrasmette il dato.

Figure 1. Communication on the I/O Line without Parity Error

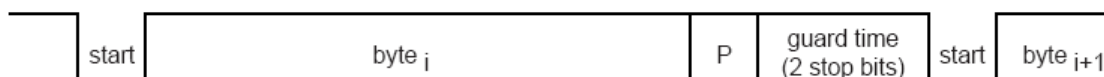


Figure 2. Communication on the I/O Line with Parity Error



Figura 39. Trasmissione di un frame ISO 7816-3

3.28 Programmazione registri VPSS

La seguente tabella mostra i registri d VPSS.

Register	Value for LCD out	Description	Value for CVBS out	Description
LCD_VIDCTL	0x00002000		0x00000101	
LCD_VDPRO	0x00000000		0x00000000	
LCD_SYNCCTL	0x0000000f		0x00004000	
LCD_HSPLS	0x00000002		0x00000000	
LCD_VSPLS	0x00000002		0x00000000	
LCD_HINT	0x00000197		0x00000000	
LCD_HSTART	0x00000044		0x00000000	
LCD_HVALID	0x00000140		0x00000000	
LCD_VINT	0x00000106		0x00000000	
LCD_VSTART	0x00000012		0x00000000	
LCD_VVALID	0x000000f0		0x00000000	
LCD_HSDLY	0x00000000		0x00000000	
LCD_VSDLY	0x00000000		0x00000000	
LCD_YCCCTL	0x00000000		0x00000001	
LCD_RGBCTL	0x00000000		0x00000000	
LCD_RGBCLP	0x0000ff00		0x0000ff00	
LCD_LINECTL	0x00000000		0x00000000	
LCD_CULLLINE	0x00000000		0x00000000	
LCD_LCDOUT	0x00000001		0x00000000	
LCD_BRTS	0x00000000		0x00000000	
LCD_BRTW	0x00000000		0x00000000	
LCD_ACCTL	0x00000000		0x00000000	
LCD_PWMP	0x00000000		0x00000000	
LCD_PWMW	0x00000000		0x00000000	
LCD_DCLKCTL	0x00000800		0x00000000	

LCD_DCLKPTN0	0x00000001		0x00000000	
LCD_DCLKPTN1	0x00000000		0x00000000	
LCD_DCLKPTN2	0x00000000		0x00000000	
LCD_DCLKPTN3	0x00000000		0x00000000	
LCD_DCLKPTN0A	0x00000000		0x00000000	
LCD_DCLKPTN1A	0x00000000		0x00000000	
LCD_DCLKPTN2A	0x00000000		0x00000000	
LCD_DCLKPTN2A	0x00000000		0x00000000	
LCD_DCLKPTN3A	0x00000000		0x00000000	
LCD_DCLKHS	0x00000000		0x00000000	
LCD_DCLKHSA	0x00000000		0x00000000	
LCD_DCLKHR	0x00000000		0x00000000	
LCD_DCLKVS	0x00000000		0x00000000	
LCD_DCLKVR	0x00000000		0x00000000	
LCD_CAPCTL	0x00000000		0x00000000	
LCD_CAPDO	0x00000000		0x00000000	
LCD_CAPDE	0x00000000		0x00000000	
LCD_ATR0	0x00000000		0x00000000	
LCD_ATR1	0x00000000		0x00000000	
LCD_ATR2	0x00000000		0x00000000	
LCD_VSTAT	0x00000000		0x00000010	
LCD_DACTST	0x0000f000		0x00000000	
LCD_YCOLVL	0x00000000		0x00000000	
LCD_SCPROG	0x0000017a		0x00000164	
LCD_CVBS	0x00000000		0x00000023	
LCD_CMPNT	0x00000100		0x00000100	
LCD_ETMG0	0x00000000		0x00000000	
LCD_ETMG1	0x00000000		0x00000000	
LCD_ETMG2	0x00000000		0x00000000	
LCD_ETMG3	0x00000000		0x00000000	
LCD_DACSEL	0x00000000		0x00000000	
LCD_ARGBX0	0x00000400		0x00000400	
LCD_ARGBX1	0x0000057c		0x0000057c	
LCD_ARGBX2	0x00000159		0x00000159	
LCD_ARGBX3	0x000002cb		0x000002cb	
LCD_ARGBX4	0x000006ee		0x000006ee	
LCD_DRGBX0	0x00000400		0x00000400	
LCD_VSTARTA	0x00000000		0x00000000	
LCD_OSDCLK0	0x00000000		0x00000001	
LCD_OSDCLK1	0x00000001		0x00000002	
LCD_HVLDCL0	0x00000000		0x00000000	
LCD_HVLDCL1	0x00000000		0x00000000	
LCD_OSDHADV	0x00000000		0x00000000	

OSD_MODE	0x00000200		0x00000200	
OSD_VIDWINMD	0x00000101		0x00000303	
OSD_OSDWIN0MD	0x00003019		0x0000301b	
OSD_OSDWIN0MD	0x00003019		0x0000301b	
OSD_OSDWIN1MD	0x000090b9		0x000090bb	
OSD_OSDATRMD	0x000090b9		0x000090bb	
OSD_RECTCUR	0x00000000		0x00000000	
OSD_VIDWIN0OFST	0x00000014		0x0000002d	
OSD_VIDWIN1OFST	0x00000014		0x0000002d	
OSD_OSDWIN0OFST	0x00000014		0x00000028	
OSD_OSDWIN1OFST	0x00000005		0x0000000a	
OSD_VIDWIN0ADR	0x80580000		0x85ffa60	
OSD_VIDWIN1ADR	0x80600000		0x86400000	
OSD_OSDWIN0ADR	0x80500000		0x80600000	
OSD_OSDWIN1ADR	0x804c0000		0x80500000	
OSD_BASEPX	0x00000044		0x0000007e	
OSD_BASEPY	0x00000012		0x00000016	
OSD_VIDWIN0XP	0x00000000		0x00000000	
OSD_VIDWIN0YP	0x00000000		0x00000000	
OSD_VIDWIN0XL	0x00000140		0x000002d0	
OSD_VIDWIN0YL	0x000000f0		0x00000120	
OSD_VIDWIN1XP	0x00000000		0x00000000	
OSD_VIDWIN1YP	0x00000000		0x00000000	
OSD_VIDWIN1XL	0x00000140		0x000002d0	
OSD_VIDWIN1YL	0x000000f0		0x00000120	
OSD_OSDWIN0XP	0x00000000		0x00000020	
OSD_OSDWIN0YP	0x00000000		0x00000008	
OSD_OSDWIN0XL	0x00000140		0x00000280	
OSD_OSDWIN0YL	0x000000f0		0x000000f0	
OSD_OSDWIN1XP	0x00000000		0x00000020	
OSD_OSDWIN1YP	0x00000000		0x00000008	
OSD_OSDWIN1XL	0x00000140		0x00000280	
OSD_OSDWIN1YL	0x000000f0		0x000000f0	
OSD_CURXP	0x00000000		0x00000000	
OSD_CURYP	0x00000000		0x00000000	
OSD_CURXL	0x00000000		0x00000000	
OSD_CURYL	0x00000000		0x00000000	
OSD_W0BMP01	0x00000000		0x00000000	
OSD_W0BMP23	0x00000000		0x00000000	
OSD_W0BMP45	0x00000000		0x00000000	
OSD_W0BMP67	0x00000000		0x00000000	
OSD_W0BMP89	0x00000000		0x00000000	

OSD_W0BMPAB	0x00000000		0x00000000	
OSD_W0BMPCD	0x00000000		0x00000000	
OSD_W0BMPEF	0x00000000		0x00000000	
OSD_W1BMP01	0x00000100		0x00000100	
OSD_W1BMP23	0x00000302		0x00000302	
OSD_W1BMP45	0x00000504		0x00000504	
OSD_W1BMP67	0x00000706		0x00000706	
OSD_W1BMP89	0x00000908		0x00000908	
OSD_W1BMPAB	0x00000b0a		0x00000b0a	
OSD_W1BMPCD	0x00000d0c		0x00000d0c	
OSD_W1BMPEF	0x00000f0e		0x00000f0e	
OSD_MISCCTL	0x00000000		0x00000006	
OSD_CLUTRAMYCB	0x00000000		0x00000000	
OSD_CLUTRAMCR	0x00000000		0x00000000	
OSD_TRANSPVAL	0x00000000		0x00000000	
OSD_PPVWIN0ADR	0x80580000		0x860005a0	

Tabella 2. VPSS Registers

4 Schema elettrico

Allegato

5 Lista parti

Allegato

6 Riferimenti

- *Clocking Recommendations for the DM643x EVM (SCAA083)*
- *Digital Media System on Chip TMS320DM6441 (SPRS359B)*
- *TMS320DM644x ARM Subsystem (SPRUE14)*
- *CDCE(L)9xx Performance Evaluation Module User's Guide (SCAU022)*
- *High-Speed DSP Systems Design Reference Guide (SPRU889)*
- *Implementing DDR2 PCB Layout on the TMS320DM644x DMSoC (SPRAAC5F)*
- *TMS320DM6441 Digital Media System-on-Chip Silicon Errata (SPRZ246C)*
- *Bootling and Flashing via the DaVinci TMS320DM644x Serial Interface (SPRAAI4)*
- *Basic Application Loading Over the Serial Interface for the DaVinci TMS320DM644x (SPRAAI0)*

- 14 Pin Emulator to 20 Pin Compact Target Adapter with Adaptive Clocking (ADPT_14E-20-0001)
- Emulation Fundamentals for TI's DSP Solutions (SPRA439C)
- 60-Pin Emulation Header User's Guide (SPRU655C)
- Blackhawk™ App Note: Using the Adaptive Clocking Feature of the TI OMAP™ Platform
- <http://www.sdcard.org/>
- <http://www.mmca.org/home>
- TMS320C6000 Peripherals Reference Guide (SPRU190)
- TMS320C64x DSP Video Port/ VCXO Interpolated Control (VIC) Port Reference Guide (SPRU629)
- Multimedia Card (MMC)/Secure Digital (SD) Card Controller (SPRUE30B)
- TMS320DM644x DMSoC ARM Subsystem Reference Guide (SPRUE14)
- TMS320DM644x DMSoC DDR2 Memory Controller User's Guide (SPRUE22)
- TMS320DM644x DMSoC Universal Asynchronous Receiver/Transmitter (UART) User's Guide (SPRUE33)
- TMS320DM644x DMSoC 64-Bit Timer User's Guide (SPRUE26)
- An Independent Analysis of the TEXAS INSTRUMENTS DIGITAL VIDEO EVALUATION MODULE (DVEVM) from BTDI
- Jeremiah Golston, White Paper "Reaping the Benefits of SoC Processors for Video Applications", from Texas Instruments
- DaVinci EVM Home at Spectrum Digital: <http://c6000.spectrumdigital.com/davincievml/>
- ARM Architecture: <http://infocenter.arm.com/help/index.jsp/>
- Datasheet component
- VCXO Application Guideline for CDCE(L)9xx Family (SCAA085)