

# Schwerpunkte zur Vorlesung

## „Hardwarebeschreibung“

---

## „Digital-Design“

Prof. Dr.-Ing. habil. Jürgen Kampe

1. April 2025

### 1 Schwerpunkte zum schriftlichen Leistungsnachweis

#### 1.1 Hardwarebeschreibungssprache VHDL

- Aufbau eines VHDL-Modells;
- Behandlung von Variablen und Signalen (Zeitverhalten, parallele Treiber, *guarded blocks*, mehrwertige Logik, Auflösungsfunktionen);
- Simulation paralleler Abläufe (Delta-Zyklus, physikalische Zeit, Verzögerungsmodelle, Einbindung von Prozessen);
- Verhaltens- und Strukturmodelle in VHDL;
- Synthese (synthesefähige und nicht synthesefähige Konstrukte, Kombinatorik und Automaten-Modelle in VHDL, *design pattern*);
- Konfiguration von Modellen (generische Modelle in VHDL, *configuration*);

#### 1.2 Entwurfsmethodik

- Moore'sches Gesetz und *design productivity gap*;
- Y-Diagramm nach *Gajski* und *Kuhn* (Domänen, Abstraktionsebenen, Übergang zwischen den Abstraktionsebenen);
- Abstraktionsebenengerechter Entwurf (Gegenstand der Abstraktionsebenen, Zuordnen der Modelle zu Abstraktionsebenen und Domänen);
- Entwurfsstrategien (Syntheseansatz, *top down*, *bottom up*, *meet in the middle*);
- *Testbenches* (Verifikationsmethoden, *use cases*);
- Hardware-Realisierungstechniken für elektronische Systeme (ASIC, *Custom* und *Semi Custom* Entwurf)

#### 1.3 Entwurfsverfahren

- ROBDD (Konstruktion des ROBDD, Äquivalenz von kombinatorischen Funktionen);
- *High-Level* Synthese (Datenpfad und Steuerfluss, *Scheduling*, *Allocation*, Registerbindung und Lebensdaueranalyse, *finite state machine with datapath*, Prozessmodellgraph);
- Übergang zwischen synchronen Taktdomänen, Verhaltensmodelle für Handshake und asynchrone Kommunikationsprotokolle (Synchronisation von Taktdomänen, Signalübergangsgraph, Erreichbarkeitsgraph, Ableitung der Beschreibungsgleichungen)