

Hardwarebeschreibung

Digital-Design

Prof. Dr.-Ing. habil. Jürgen Kampe

Realisierung von Schaltfunktionen mit Multiplexern und RAM

Die *Boole*'sche Funktion

$$y = f(\underline{x}) = x_3 x_2 \overline{x_0} + \overline{x_2} \overline{x_1} x_0 + x_3 x_0 + x_2 \overline{x_0}, \quad k = 4$$

soll mit Hilfe von Multiplexern realisiert werden.

1. Ermitteln Sie 16-auf-1, 8-auf-1 und 4-auf-1 Multiplexer-Realisierungen mit Hilfe des *Karnaugh*-Planes
2. Entwickeln Sie die Multiplexer-Realisierungen mit Hilfe des ROBDD
3. Entwickeln Sie eine Realisierung mit Hilfe von 8×1 -bit RAM-Zellen (*lookup-table* LUT) mit Hilfe des ROBDD

Realisierung von Schaltfunktionen mit Multiplexern

Realisierung mit Hilfe des *Karnaugh*-Planes

Prinzip: Vergleich der Schaltfunktion des Multiplexers mit den Definitionen der KDNF bzw. KKNF:

Mit einem Multiplexer kann eine beliebige Schaltfunktion realisiert werden!

$$\begin{aligned}\text{MUX (DNF):} \quad y &= \overbrace{\overline{A_{k-1}} \dots \overline{A_{\kappa}} \dots \overline{A_0}}^{m_0 \cdot y_0} \cdot D_0 + \overline{A_{k-1}} \dots \overline{A_{\kappa}} \dots A_0 \cdot D_1 + \dots \\ \text{KDNF:} \quad y &= \sum m_{\epsilon} \cdot y_{\epsilon} = \overline{x_{k-1}} \dots \overline{x_{\kappa}} \dots \overline{x_0} \cdot y_0 + \overline{x_{k-1}} \dots \overline{x_{\kappa}} \dots x_0 \cdot y_1 + \dots\end{aligned}$$

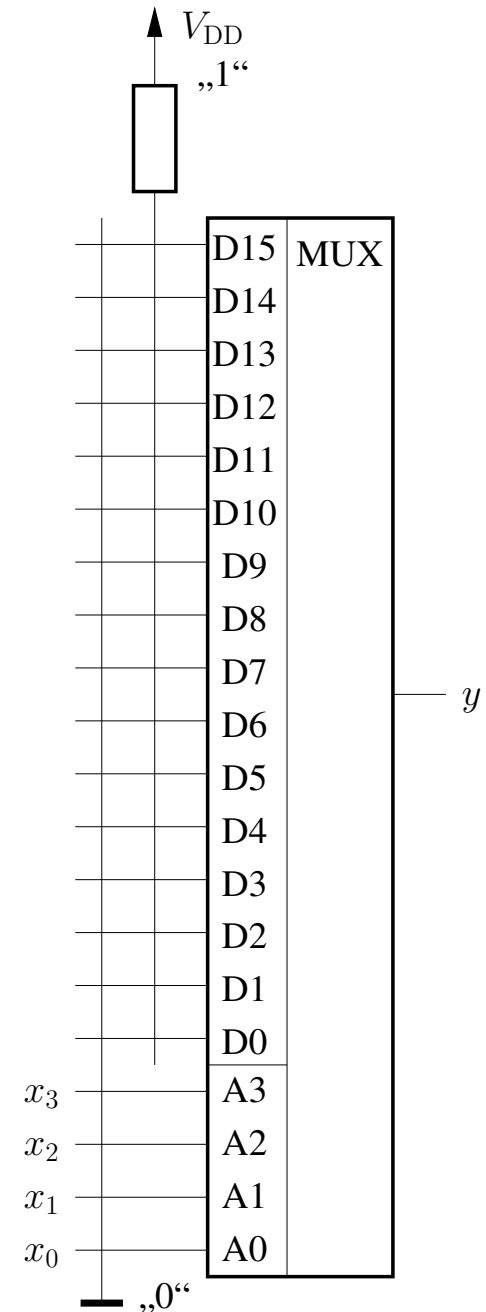
- x_{κ} adressiert den gewünschten Funktionswert $\hookrightarrow x_{\kappa} \rightarrow A_{\kappa}$
 \hookrightarrow Anzahl der Adresseingänge = Anzahl der Variablen k
- x_{ϵ} adressiert eine Eingangsleitung
 \hookrightarrow Anlegen des gewünschten Funktionswertes $y_{\epsilon} \in \{0, 1\}$ an den Eingang D_{ϵ}

Aufgabe: $k = 4$, $x_3 x_2 \overline{x_0} + \overline{x_2} \overline{x_1} x_0 + x_3 x_0 + x_2 \overline{x_0}$

- Der Index der Eingangsbelegung ϵ bestimmt, an welchen Eingang der entsprechende Funktionswert angeschlossen werden muss.

$y :$

		x_2			
		x_0			
x_3	x_1	0	1	5	4
		2	3	7	6
		10	11	15	14
		8	9	13	12



Realisierung von Schaltfunktionen mit Multiplexern

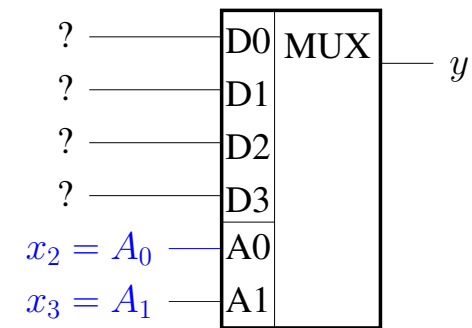
Anzahl der Adressleitungen $<$ Anzahl der Eingangsvariable

- Nicht als Adresse(n) verwendete Eingangsvariable werden aus dem *Karnaugh*-Plan gestrichen,
- für jede Adress-Belegung des Multiplexers ergeben sich größere, zusammengesetzte Felder,
- die Indizes der zusammengesetzten Adressfelder ergeben sich aus den Wertigkeiten der als Adressbit verwendeten Eingangsvariablen,
- bei jeder Adressbelegung beschreibt das zugehörige zusammengesetzte Feld eine Teilfunktion als Funktion der nicht verwendeten Variablen, das jeweils als eigenständiger *Karnaugh*-Plan betrachtet wird.

$$k = 4, \quad y = x_3 x_2 \overline{x_0} + \overline{x_2} \overline{x_1} x_0 + x_3 x_0 + x_2 \overline{x_0}, \quad \{A_1, A_0\} = \{x_3, x_2\}$$

$y :$

		x_2			
		x_0			
x_3	x_1	0 ₀	1 ₁	0 ₅	1 ₄
		0 ₂	0 ₃	0 ₇	1 ₆
		0 ₁₀	1 ₁₁	1 ₁₅	1 ₁₄
		0 ₈	1 ₉	1 ₁₃	1 ₁₂



Realisierung von Schaltfunktionen mit Multiplexern

Kaskadierung von Multiplexern

Kaskadierung von Multiplexern

- Die Teilfunktionen im Beispiel

$$k = 4, \quad y = x_3 x_2 \overline{x_0} + \overline{x_2} \overline{x_1} x_0 + x_3 x_0 + x_2 \overline{x_0},$$

$$\{A_1, A_0\} = \{x_3, x_2\}$$

$$y_{0,1,2,3} = \overline{x_1} x_0$$

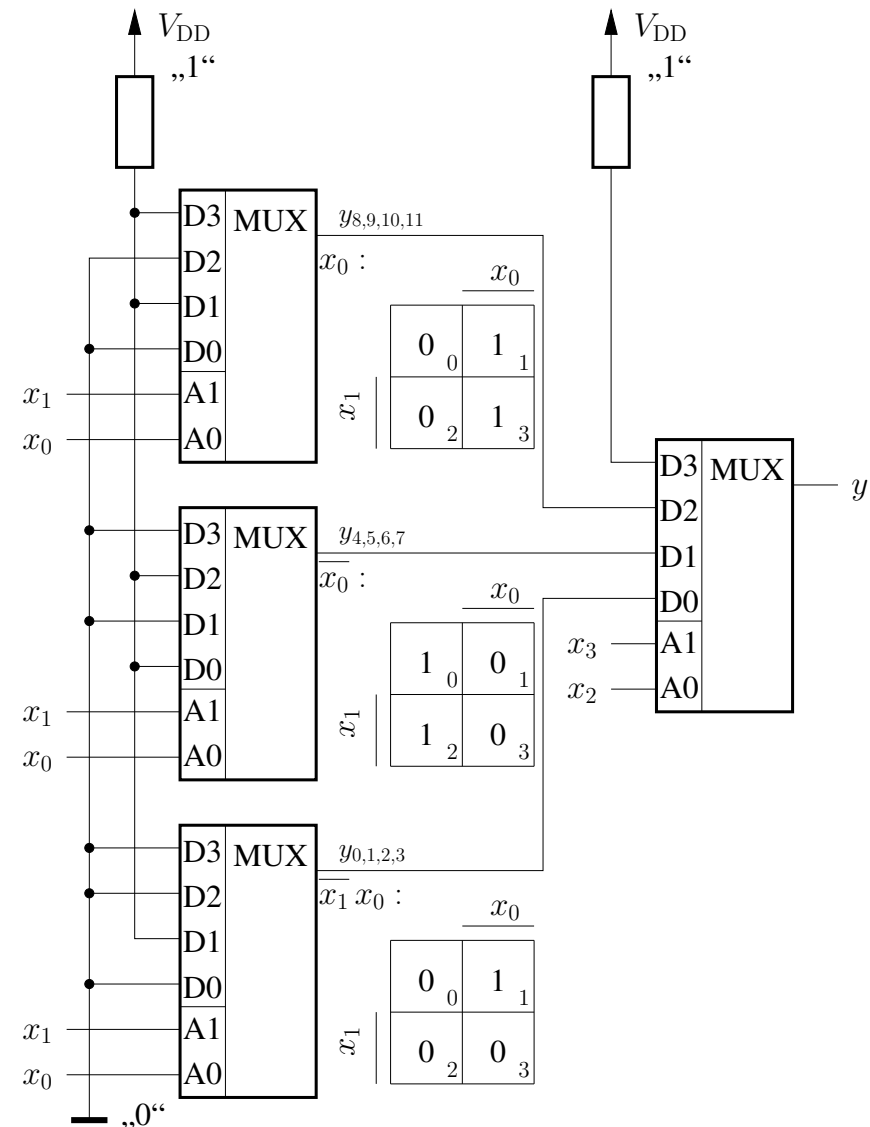
$$y_{4,5,6,7} = \overline{x_0}$$

$$y_{8,9,10,11} = x_0$$

$$y_{12,13,14,15} = 1$$

können wiederum mit Multiplexern realisiert werden,

- als Adressvariable müssen dazu nur noch die noch nicht verwendeten Variablen $\{x_1, x_0\}$ verwendet werden.



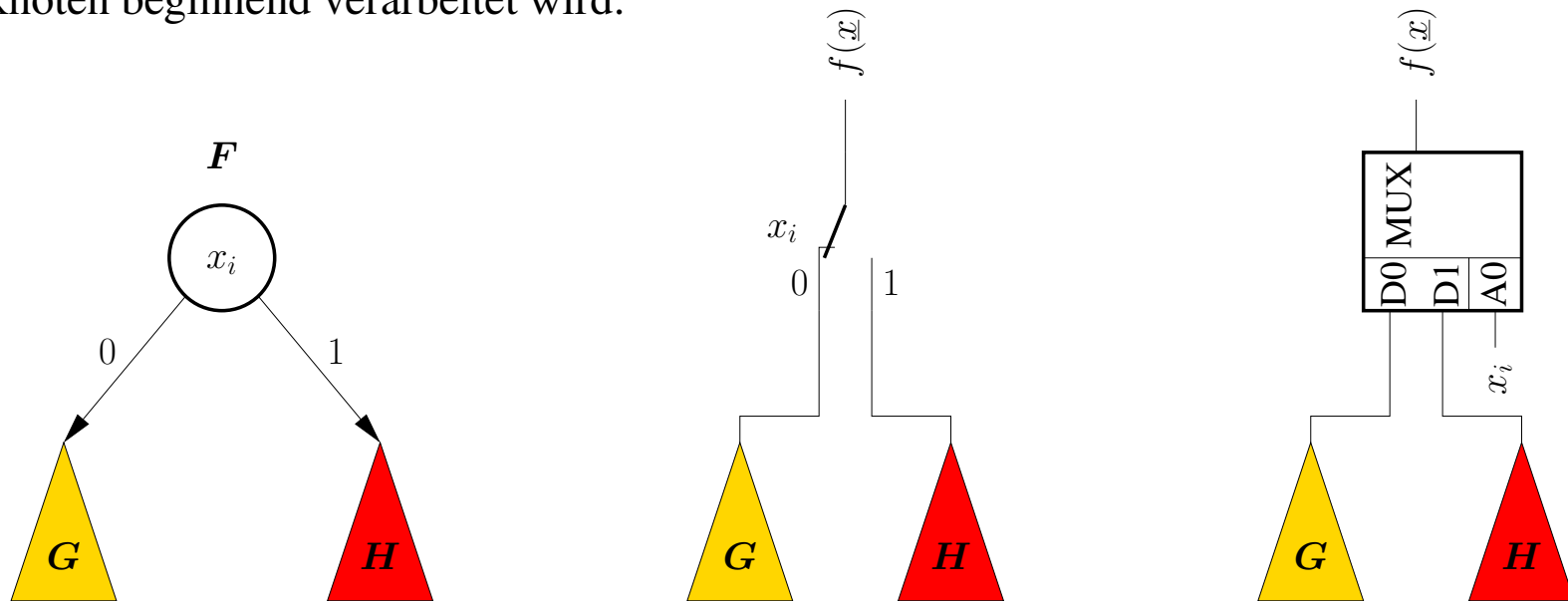
Realisierung von Schaltfunktionen mit Multiplexern

Variablenbasierte Realisierung mit Hilfe des ROBDD

Entsprechend der Konstruktion eines BDD basierend auf dem *Shannon*'schen Expansionstheorem:

$$\begin{aligned} f(x_0, \dots, x_i, \dots, x_n) &= \overline{x_i} f(x_0, \dots, 0, \dots, x_n) + x_i f(x_0, \dots, 1, \dots, x_n) \\ &= \overline{x_i} g() + x_i h() \end{aligned}$$

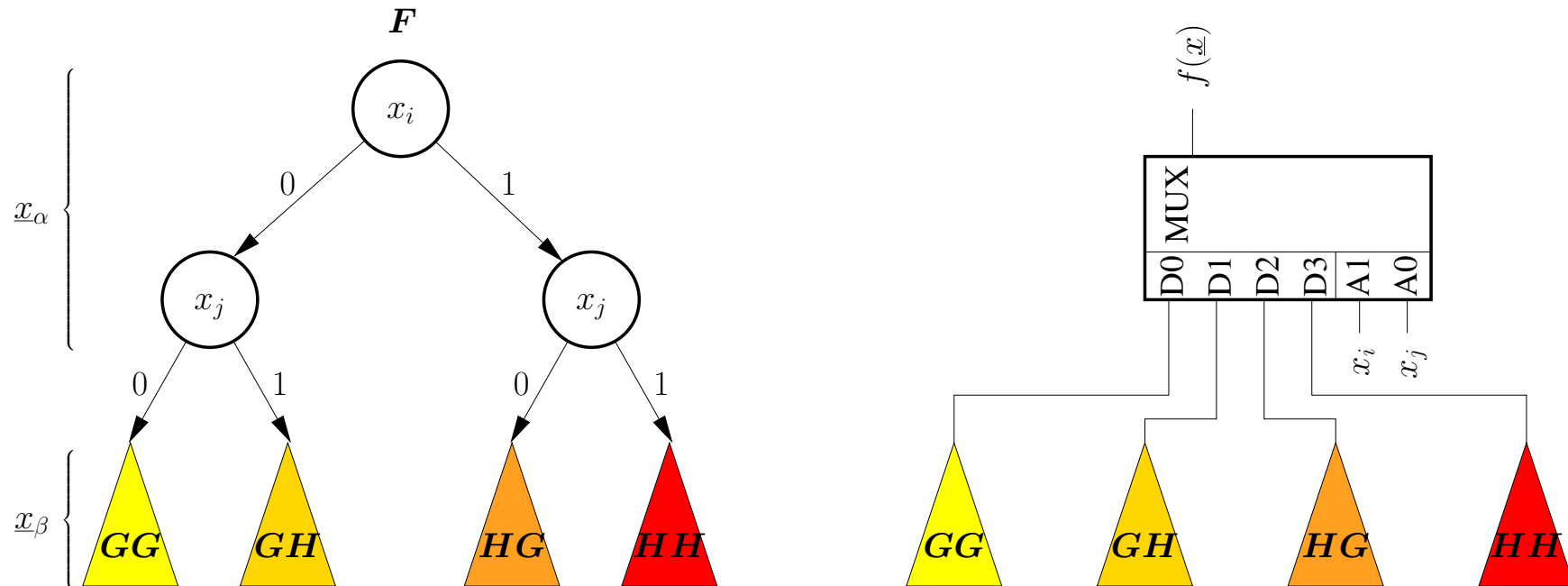
kann jede Entscheidung im BDD als Umschalter oder als 2-auf-1-Multiplexer aufgefasst werden, indem der BDD vom Wurzelknoten beginnend verarbeitet wird:



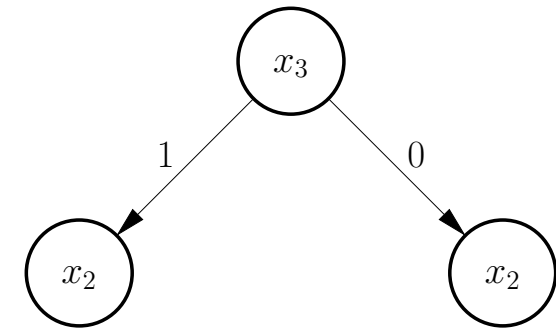
Realisierung von Schaltfunktionen mit Multiplexern

Variablenbasierte Realisierung mit Hilfe des ROBDD

Es können Realisierungen mit z. B. 4-auf-1 Multiplexer ermittelt werden, indem beginnend beim Wurzelknoten 2 Entscheidungsebenen (2 Eingangsvariable) betrachtet werden:



Konstruktion des ROBDD: $y = x_3 x_2 \overline{x_0} + \overline{x_2} \overline{x_1} x_0 + x_3 x_0 + x_2 \overline{x_0}$, Reihenfolge $x_3 \text{ --- } x_2 \text{ --- } x_1 \text{ --- } x_0$



Entwicklung durch Anwenden des *Shannon*'schen Expansionstheorems:

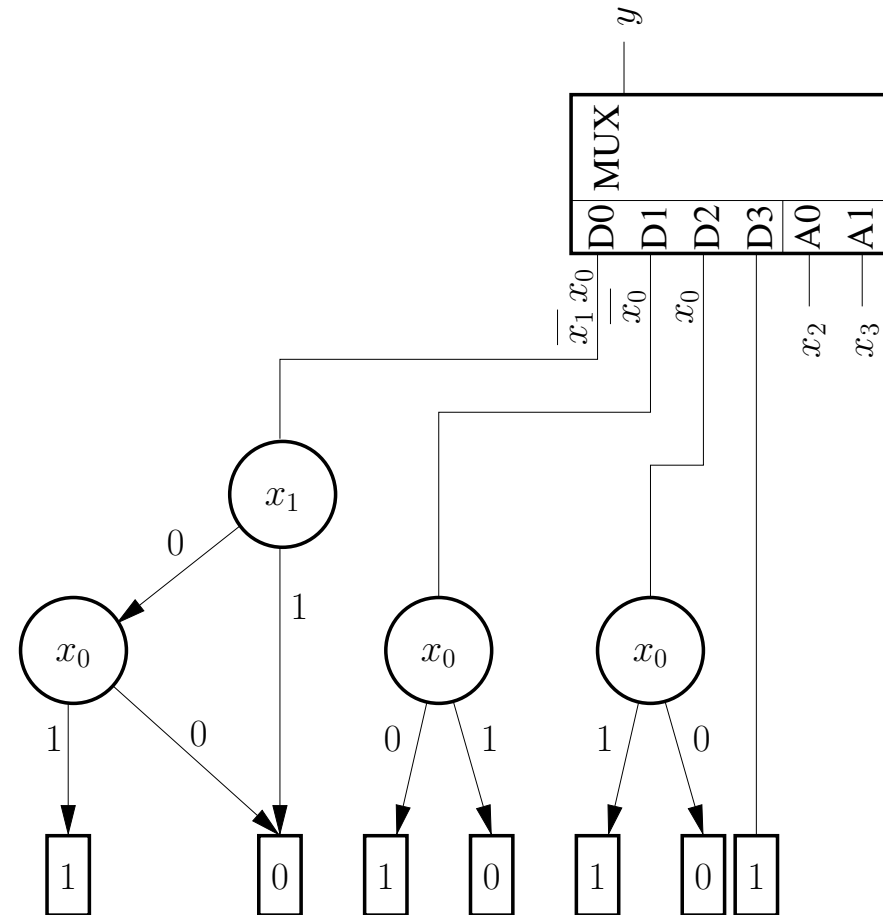
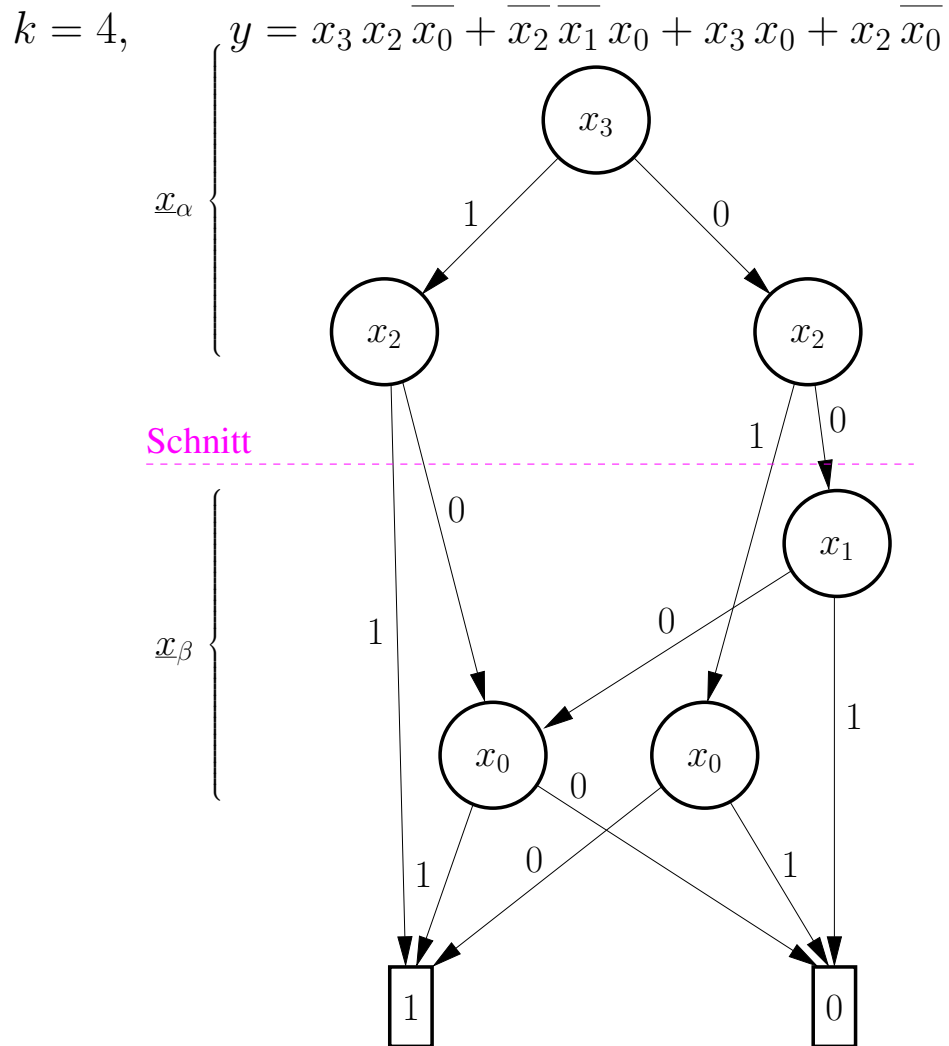
$y = ?$

?

1

0

Variablenbasierte Realisierung mit Hilfe des ROBDD



Realisierung von Schaltfunktionen mit LUT

Realisierung mit Hilfe des ROBDD

Prinzip: Bei einem Speicherbaustein realisiert der Adressdeko- der die kombinatorische Funktion der allgemeinen KDNF bzw. der KKNF:

Mit einem Speicher kann eine beliebige Schaltfunktion realisiert werden!

$$\begin{aligned} \text{RAM (DNF):} \quad y &= \overline{A_{k-1}} \dots \overline{A_{\kappa}} \overbrace{\dots A_0}^{m_0 \cdot y_0} \cdot C_0 + \overline{A_{k-1}} \dots \overline{A_{\kappa}} \dots A_0 \cdot C_1 + \dots \\ \text{KDNF:} \quad y &= \sum m_{\epsilon} \cdot y_{\epsilon} = \overline{x_{k-1}} \dots \overline{x_{\kappa}} \dots \overline{x_0} \cdot y_0 + \overline{x_{k-1}} \dots \overline{x_{\kappa}} \dots x_0 \cdot y_1 + \dots \end{aligned}$$

- x_{κ} adressiert den gewünschten Funktionswert $\hookrightarrow x_{\kappa} \rightarrow A_{\kappa}$
 \hookrightarrow Anzahl der Adresseingänge = Anzahl der Variablen k
- \underline{x}_{ϵ} entspricht dem Speicherinhalt der adressierten Bit-Zelle
 \hookrightarrow Programmieren des bei der Eingangsbelegung ϵ gewünschten Funktionswertes $y_{\epsilon} \in \{0, 1\}$ in den Speicher C_{ϵ}

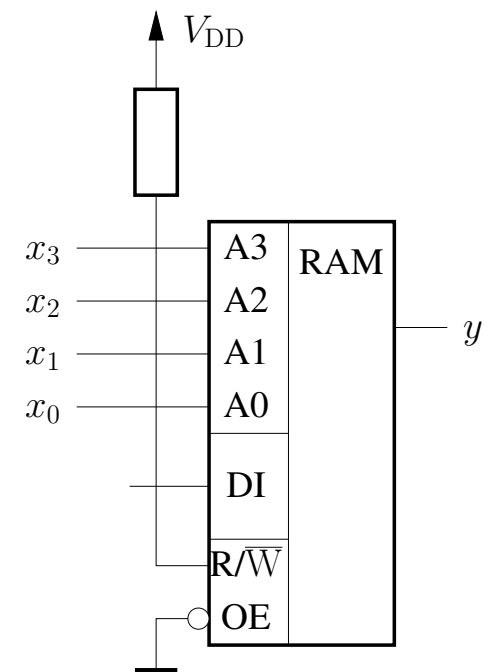
Aufgabe: $k = 4$, $y = x_3 x_2 \overline{x_0} + \overline{x_2} \overline{x_1} x_0 + x_3 x_0 + x_2 \overline{x_0}$

- Der Index der Eingangsbelegung ϵ bestimmt, welche Speicherzelle auf 0 oder 1 programmiert werden muss.

$y :$

		x_2			
		x_0			
x_3	x_1	0	1	0	1
		0	0	0	1
		0	1	1	1
		0	1	1	1

Indices in the table cells: 0, 1, 5, 4, 2, 3, 7, 6, 10, 11, 15, 14, 8, 9, 13, 12



Realisierung von Schaltfunktionen mit LUT

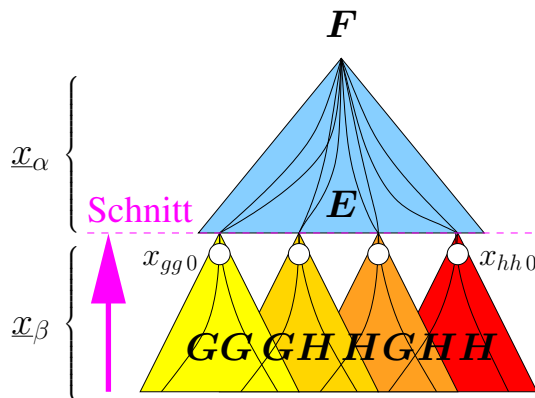
Anzahl der Adressleitungen < Anzahl der Eingangsvariable

In diesem Fall verwendet man eine *funktionale Dekomposition* des BDD F der Zielfunktion $y = f(\underline{x}_\alpha, \underline{x}_\beta)$.

Ziel: Zerlegung in Teilfunktionen mit einer vorgegebenen maximalen Anzahl an Eingängen.

- Beginnend bei den Blattknoten des BDD F wird eine Schnittebene ermittelt, so dass die Anzahl der Variablen b ($\beta \in \{0, \dots, b-1\}$) unterhalb der Schnittebene gemeinsam mit der Anzahl der zur Auswahl der Pfade $\underline{a}_0 \dots \underline{a}_{n-1}$ erforderlichen $s = \lceil \log_2 n \rceil$ Variablen die Anzahl der Adresseingänge des RAM k_{\max} nicht übersteigt:

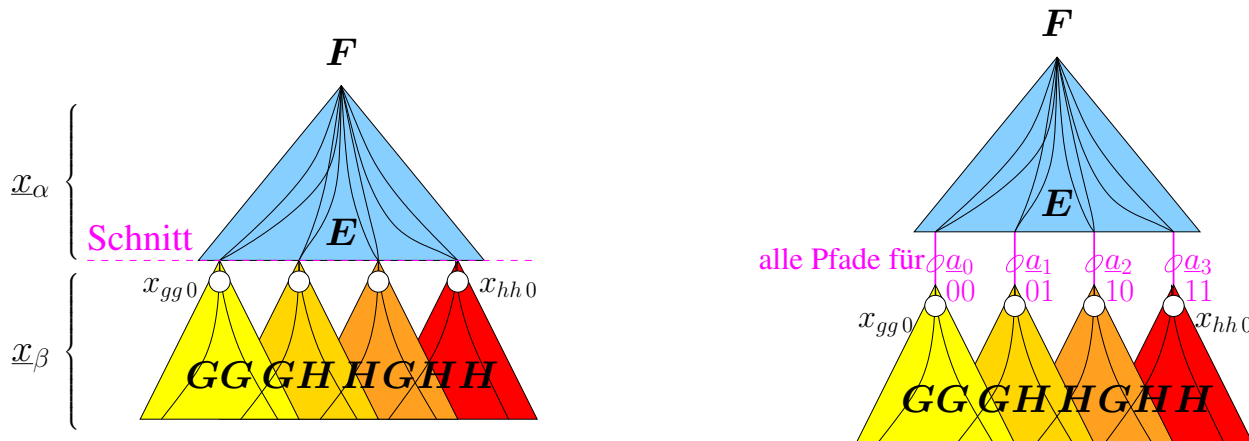
$$b + \lceil \log_2 n \rceil \leq k_{\max}$$



Realisierung von Schaltfunktionen mit LUT

Anzahl der Adressleitungen < Anzahl der Eingangsvariable

- Jedes der n Pfadbündel wird einem Auswahlsymbol \underline{a}_v zugeordnet, d. h. der BDD E erhält z. B. die Blattknoten $\boxed{00}$, $\boxed{01}$, $\boxed{10}$ und $\boxed{11}$.



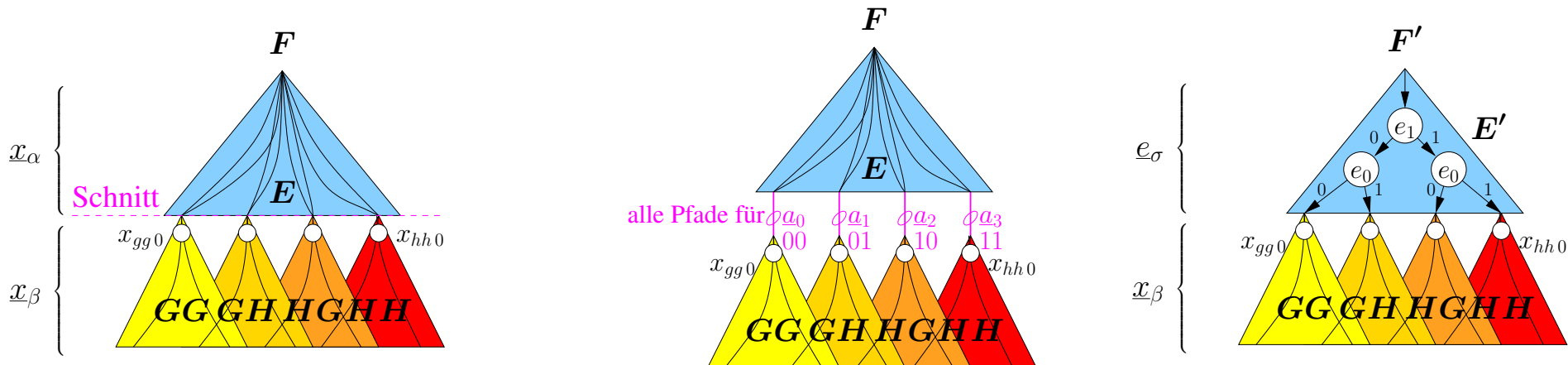
Realisierung von Schaltfunktionen mit LUT

Anzahl der Adressleitungen < Anzahl der Eingangsvariable

- Der Entwurf der Speicherblock-Struktur erfolgt vom Ausgang beginnend:

Zur Realisierung der letzten Stufe $K_{f'}$ wird der obere Teil des BDD F , der Teilgraph E , gegen eine formale Pfadauswahl mit den s Auswahlvariablen e_σ ($0 \leq \sigma \leq s - 1$) ersetzt (Substitutions-BDD E').

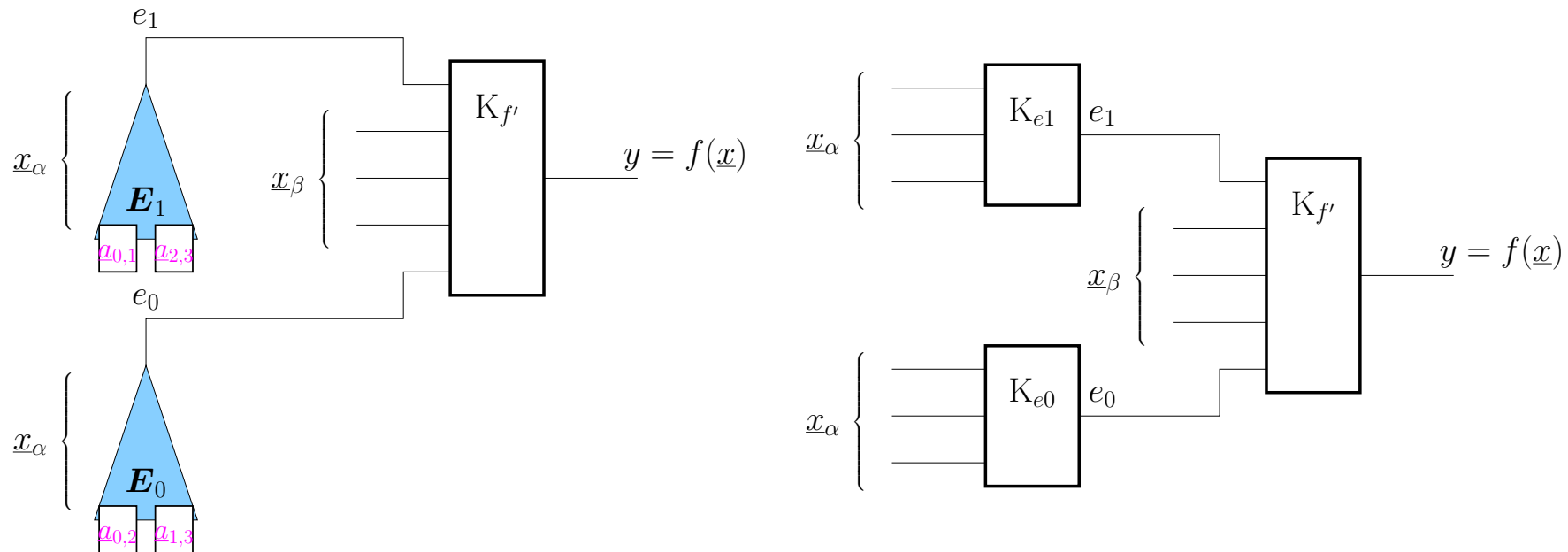
Der resultierende Graph F' enthält die Funktion $y = f'(\underline{e}_\sigma, \underline{x}_\beta)$ für die Ausgabe-Stufe $K_{f'}$ mit weniger Eingängen als die Originalfunktion $y = f(\underline{x}_\alpha, \underline{x}_\beta)$.



Realisierung von Schaltfunktionen mit LUT

Anzahl der Adressleitungen < Anzahl der Eingangsvariable

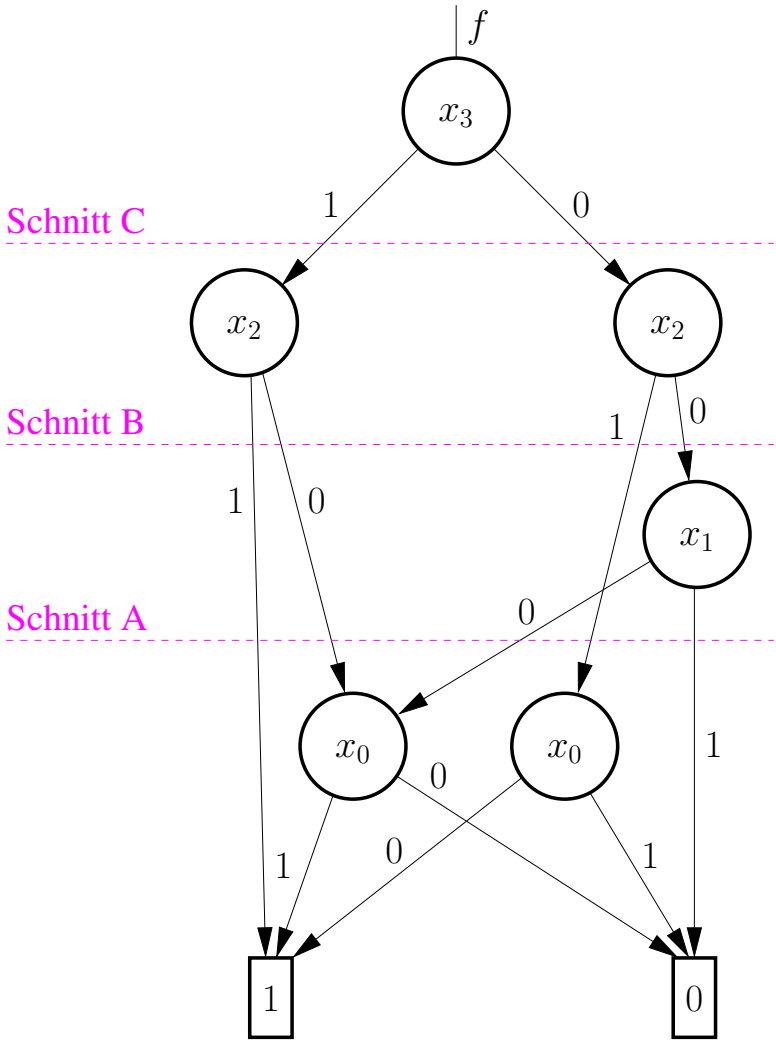
Zur Bestimmung der vorgeschalteten Stufe (im Beispiel zur Realisierung der 2 Auswahlfunktionen K_{e1} und K_{e0}) werden aus dem ursprünglichen BDD E zwei BDDs E_1 und E_0 erzeugt:



Auch die Funktionen der vorgeschalteten Stufe kann bei Bedarf erneut nach diesem Verfahren in weitere Speicherblöcke partitioniert werden.

$$y = f(\underline{x}) = x_3 x_2 \overline{x_0} + \overline{x_2} \overline{x_1} x_0 + x_3 x_0 + x_2 \overline{x_0}:$$

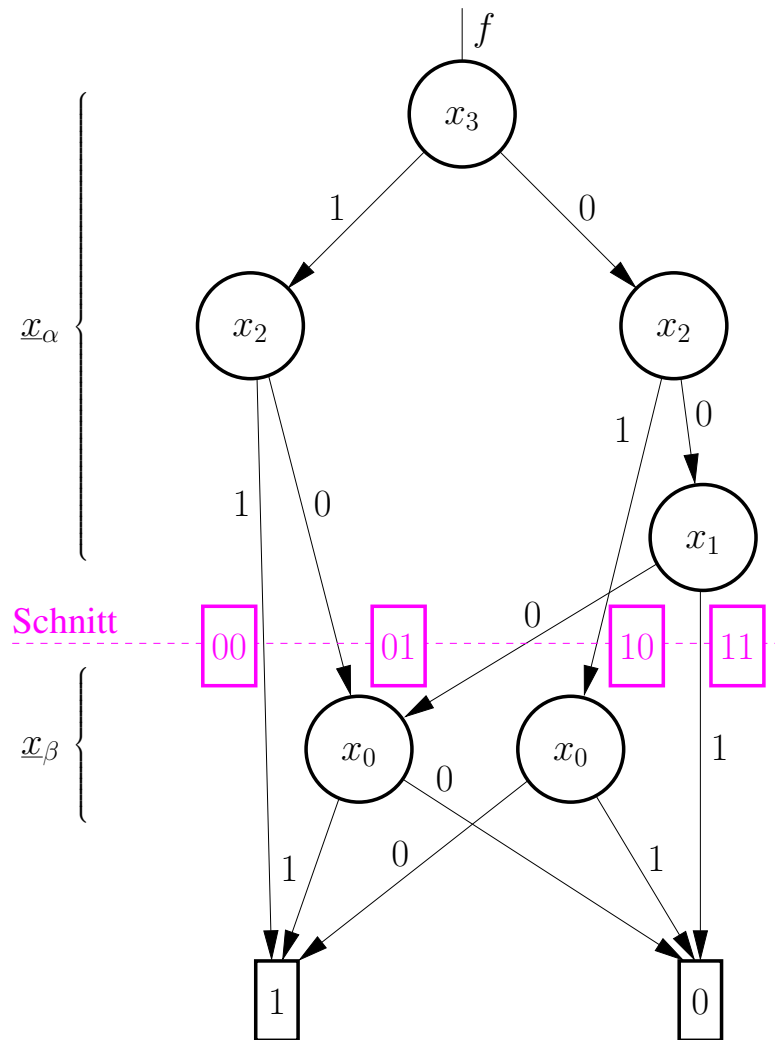
1. Bestimmen der Schnittebene für $k_{\max} = 3$



Schnitt	b Variable \underline{x}_β	n Pfadbündel	$k = b + \lceil \log_2 n \rceil$
Schnitt C	?	?	?
Schnitt B	?	?	?
Schnitt A	?	?	?

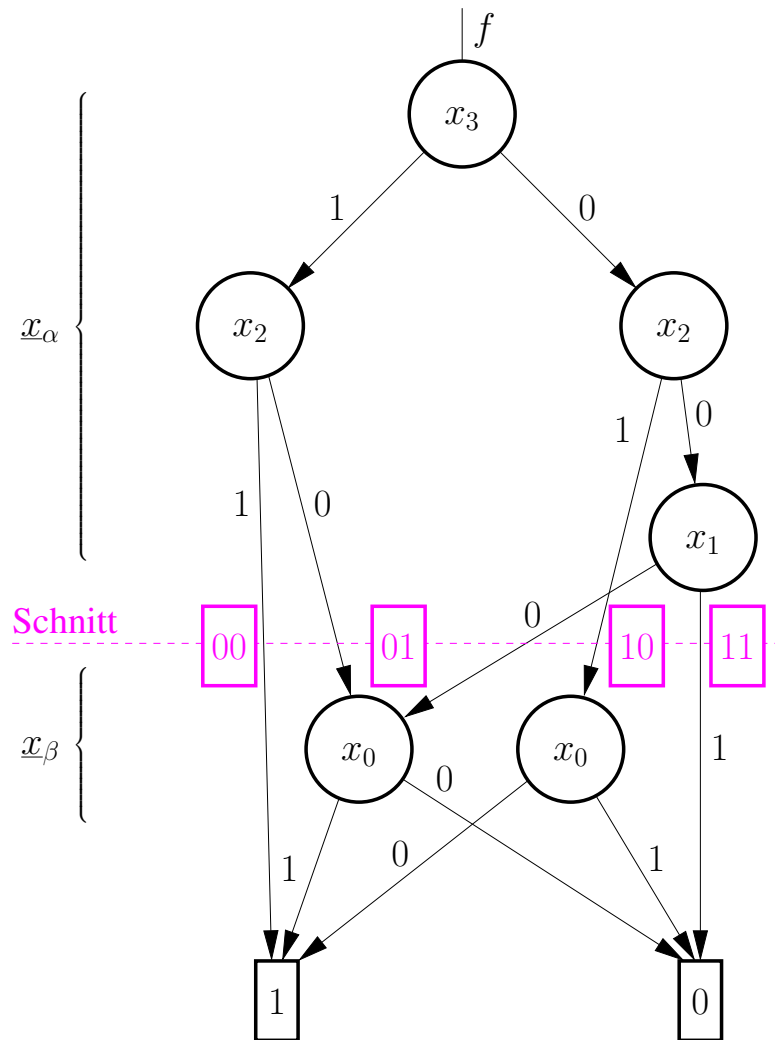
$$y = f(\underline{x}) = x_3 x_2 \overline{x_0} + \overline{x_2} \overline{x_1} x_0 + x_3 x_0 + x_2 \overline{x_0}:$$

1. Bestimmen der Schnittebene für $k_{\max} = 3$

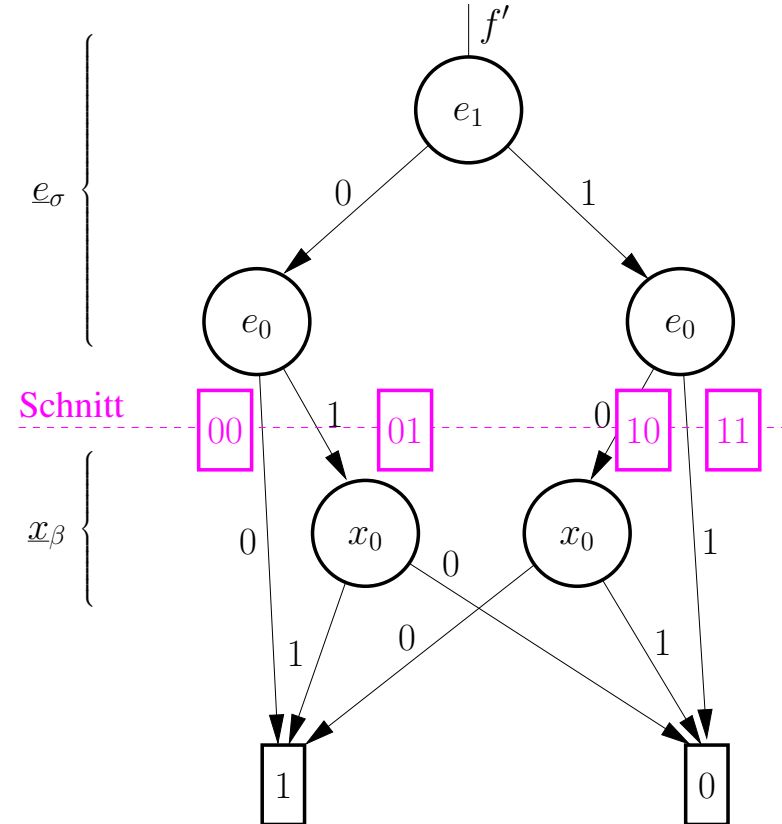


$$y = f(\underline{x}) = x_3 x_2 \overline{x_0} + \overline{x_2} \overline{x_1} x_0 + x_3 x_0 + x_2 \overline{x_0}:$$

1. Bestimmen der Schnittebene für $k_{\max} = 3$

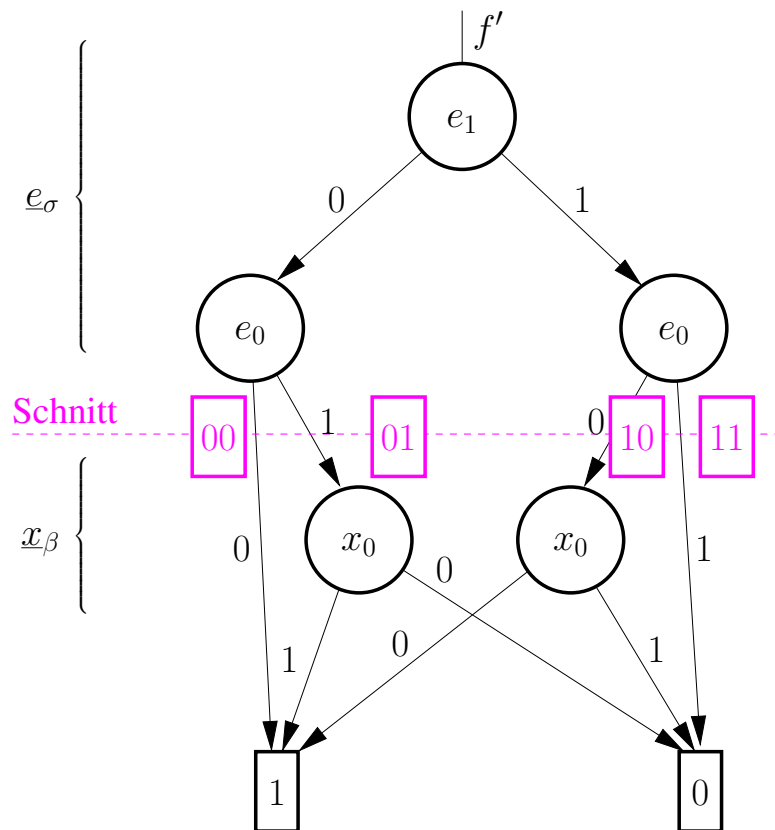


2. Ersetzen der Auswahlfunktion für die Pfadbündel



$$y = f(\underline{x}) = x_3 x_2 \overline{x_0} + \overline{x_2} \overline{x_1} x_0 + x_3 x_0 + x_2 \overline{x_0}:$$

3. Ermittlung der Funktion der letzten Stufe

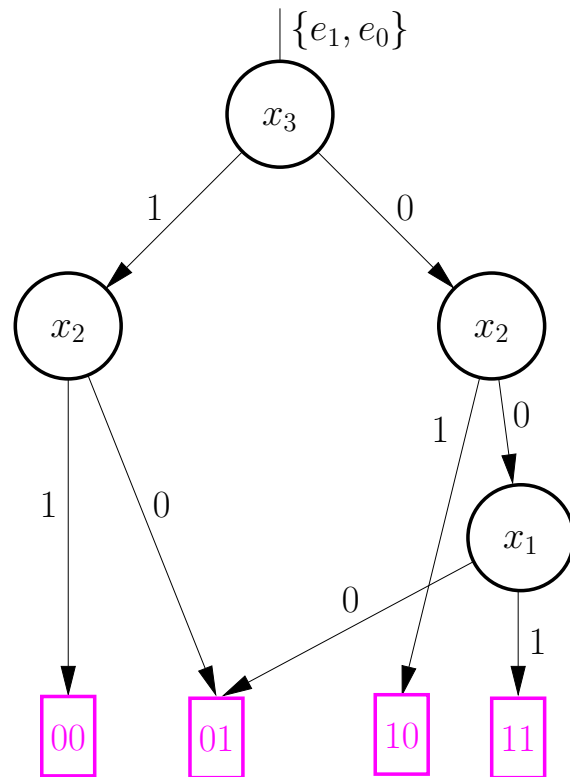


$f' :$

	e_1			
	x_0			
e_0	0	1	5	4
	2	3	7	6

vorgeschaltete Stufe e_1 :

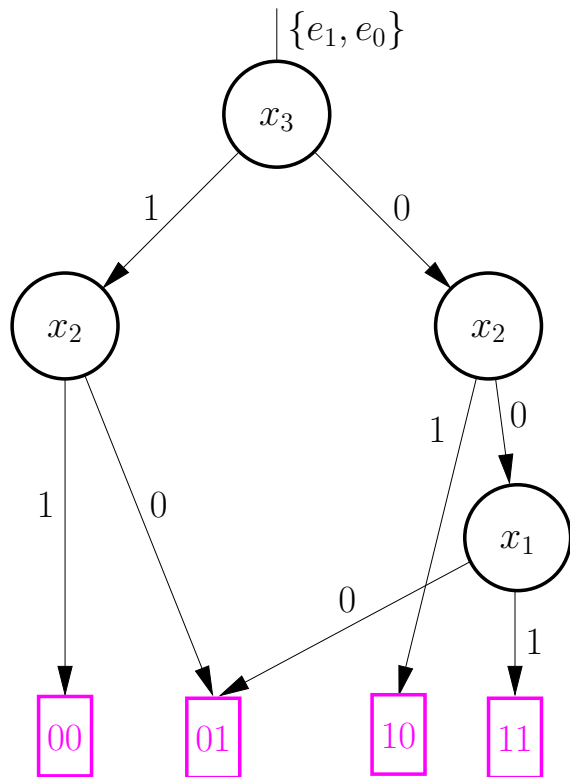
- abgeleitet aus dem ursprünglichen Teilgraph E durch Eintragen der entsprechenden Ziel-Codierung für e_1



		x_3			
		x_1			
$e_1 :$	x_2	0	1	5	4
		2	3	7	6

vorgeschaltete Stufe e_0 :

- abgeleitet aus dem ursprünglichen Teilgraph E durch Eintragen der entsprechenden Ziel-Codierung für e_0

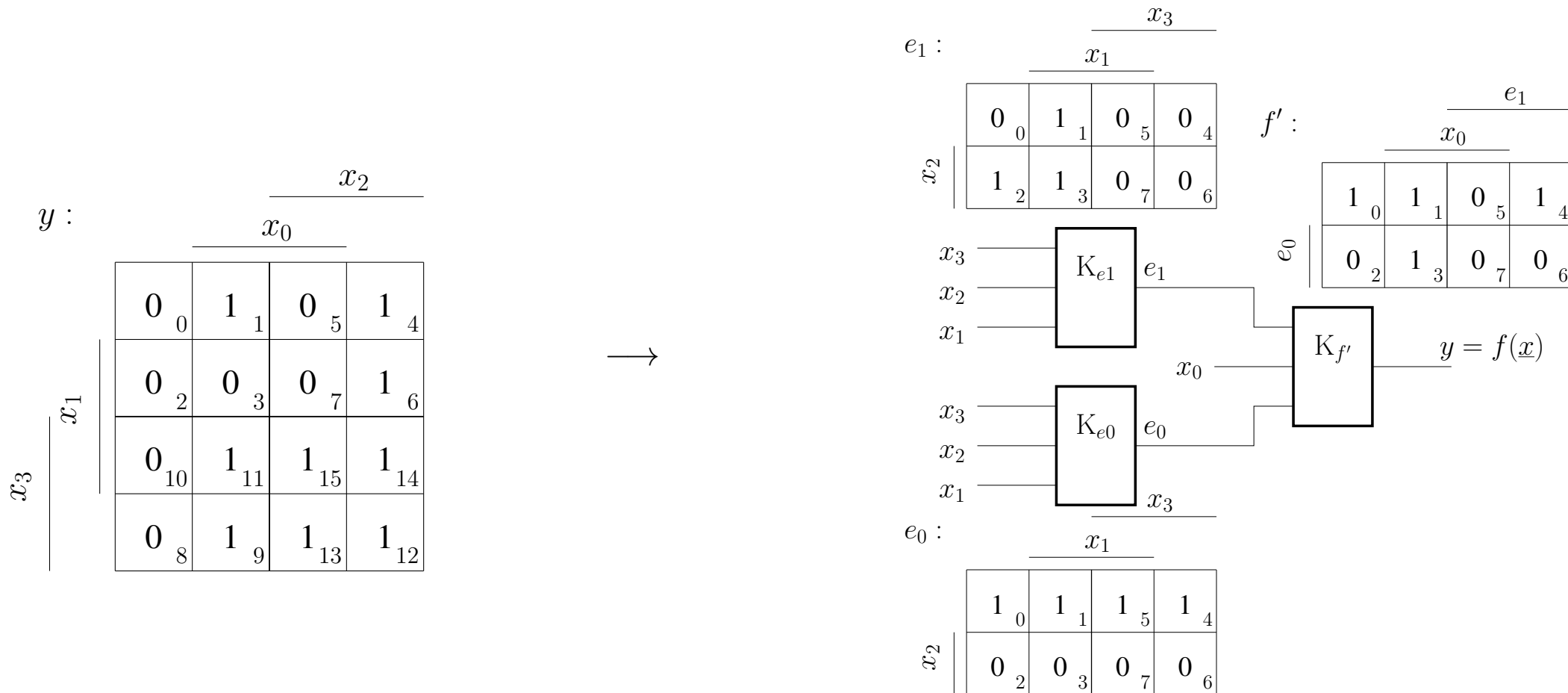


		x_3			
		x_1			
$e_0 :$	x_2	0	1	5	4
		2	3	7	6

Realisierung von Schaltfunktionen mit LUT

Ergebnis

Die vorgeschaltete Stufe benötigt $3 \leq k_{\max}$ Variable; die Zerlegung der Gesamtfunktion K_f in kleine LUTs ist damit vollständig.



Verzeichnis der Präsentationen

Multiplexer und RAM

.....	3. Seminar HB: 1
Realisierung von Schaltfunktionen mit Multiplexern: Realisierung mit Hilfe des <i>Karnaugh</i> -Planes	3. Seminar HB: 2
Realisierung von Schaltfunktionen mit Multiplexern: Anzahl der Adressleitungen < Anzahl der Eingangsvariable	3. Seminar HB: 3
Realisierung von Schaltfunktionen mit Multiplexern: Kaskadierung von Multiplexern	3. Seminar HB: 4
Realisierung von Schaltfunktionen mit Multiplexern: Variablenbasierte Realisierung mit Hilfe des ROBDD	3. Seminar HB: 5
Realisierung von Schaltfunktionen mit Multiplexern: Variablenbasierte Realisierung mit Hilfe des ROBDD	3. Seminar HB: 6
Variablenbasierte Realisierung mit Hilfe des ROBDD	3. Seminar HB: 7
Realisierung von Schaltfunktionen mit LUT: Realisierung mit Hilfe des ROBDD	3. Seminar HB: 8
Realisierung von Schaltfunktionen mit LUT: Anzahl der Adressleitungen < Anzahl der Eingangsvariable	3. Seminar HB: 9
Realisierung von Schaltfunktionen mit LUT: Anzahl der Adressleitungen < Anzahl der Eingangsvariable	3. Seminar HB: 10
Realisierung von Schaltfunktionen mit LUT: Anzahl der Adressleitungen < Anzahl der Eingangsvariable	3. Seminar HB: 11
Realisierung von Schaltfunktionen mit LUT: Anzahl der Adressleitungen < Anzahl der Eingangsvariable	3. Seminar HB: 12
Realisierung von Schaltfunktionen mit LUT: Anzahl der Adressleitungen < Anzahl der Eingangsvariable	3. Seminar HB: 13
Realisierung von Schaltfunktionen mit LUT: Ergebnis	3. Seminar HB: 14

Verzeichnis der Präsentationen

Präsentationen: 1