

# 实验五 时序逻辑电路

JS124620 高越

2025 年 5 月 10 日

## 一、实验内容

设计一个只有小时和分钟功能的简易数字钟，输入时钟脉冲的周期为 1 分钟，4 位数码管用于显示，高 2 位显示小时 (0 ~ 23)，低 2 位显示“分钟” (0 ~ 59)。

(1) 设计并搭试电路，验证电路结果

(2) 用双踪示波器观察并记录“分钟”计数电路中的时钟脉冲及计数器的各输出波形

(3) 用双踪示波器观察并记录“小时”计数电路中的时钟脉冲及计数器的各输出波形

## 二、实验设计方案

### 设计思路

本实验设计一个简易数字钟，主要由计数器和数码管显示器组成。计数器用于计时，数码管用于显示时间。计数器部分可分为以下三个模块：

(1) 模 60 计数器，用于分钟计数。

(2) 模 24 计数器，用于小时计数。

(3) 组合逻辑电路，用于根据产生进位和置数的控制信号。

模 60 计数器内中包含一个模 10 计数器和一个模 6 计数器可分别用模 16 计数器  $U_0$  和  $U_1$  实现，模 24 计数器内包含一个模 10 计数器和一个模 3 计数器分别用模 16 计数器  $U_2$   $U_3$  实现。这四个部分均可以用同步置数法实现，即在满足一定条件时用置数功能将计数器各输出位全部置 0。各个模块之间连接时，低位向高位发出进位信号。

### 进位和置数信号产生的条件

为了设计出产生进位和置数信号的组合逻辑电路，需要列出各个模 16 计数器递增和置数的条件。假设该简易电子钟从高位到低位对应的十进制数分别是  $Q_3Q_2Q_1Q_0$ ，则  $U_0U_1U_2U_3$  四个计数器递增及置数的条件如表1所示。当满足递增条件时，组合逻辑电路应向计数器的使能端输出高电平，使计数器输出递增；当满足置数条件时，组合逻辑电路应向计数器的  $\overline{LOAD}$  端输出低电平，使计数器输出置零。根据这些条件，不难设计出能正确产生进位和置数信号的组合逻辑电路。

### 逻辑电路图

根据设计思路及位和置数信号产生的条件，不难画出简易电子钟的逻辑电路图如图1所示。使用 MultiSim 软件对该电路图的功能进行验证，该电路能够实现题目所要求的功能。

计数器	递增条件	置数条件
$U_0$	-	$Q_0 = 9$
$U_1$	$Q_0 = 9$	$Q_1 Q_0 = 59$
$U_2$	$Q_1 Q_0 = 59$	$Q_2 Q_1 Q_0 = 959$ 或 $Q_3 Q_2 Q_1 Q_0 = 2359$
$U_3$	$Q_2 Q_1 Q_0 = 959$	$Q_3 Q_2 Q_1 Q_0 = 2359$

表 1: 进位信号及置数条件

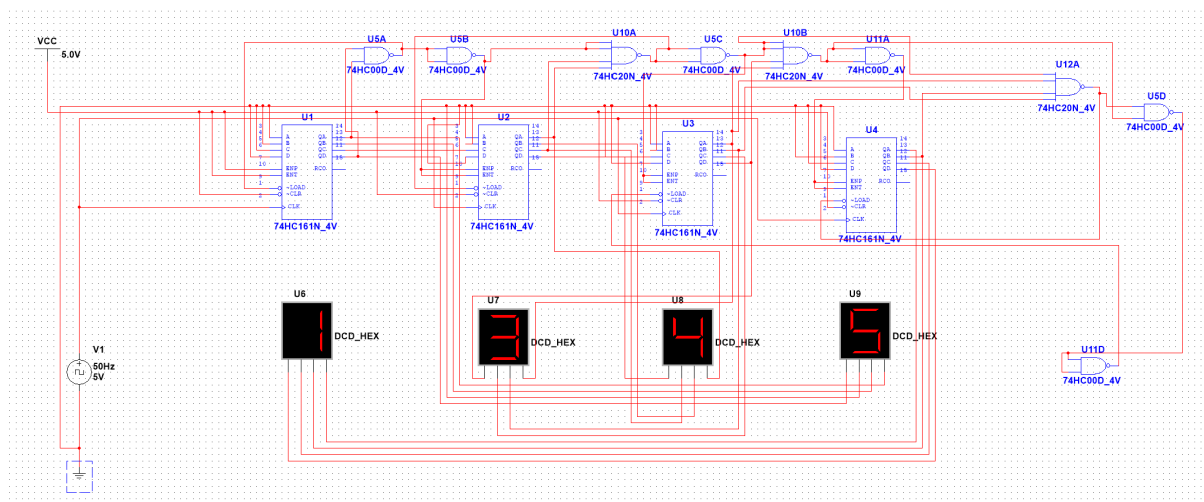


图 1: 简易电子钟逻辑电路图

### 三、测试方案

- (1) 将时钟脉冲信号接入电路，电路输出接入四位数码管，验证电路功能。
- (2) 用双踪示波器观察并记录“分钟”计数电路中的时钟脉冲及计数器的各输出波形。
- (3) 用双踪示波器观察并记录“小时”计数电路中的时钟脉冲及计数器的各输出波形。