

实验五 时序逻辑电路

JS124620 高越

2025 年 5 月 7 日

一、实验内容

分别用 MSI 计数器和移位寄存器设计一个具有自启动功能的 010110 序列信号发生器

1. 写出设计过程，画出电路逻辑图
2. 搭接电路，并用单脉冲静态验证实验结果
3. 加入 TTL 连续脉冲，用示波器观察观察并记录时钟脉冲 CLK、序列输出端的波形。

二、实验设计方案

方案一 使用 MSI 计数器的设计方案

设计思路

010110 序列信号发生器一个周期内有 6 个状态，所以应该先用 74HC161 模 16 计数器来实现一个模 6 计数器，再将该计数器的输出端接入一个组合逻辑电路，从而得到需要的序列。为了使电路简化，可以使用一个 3-8 译码器来把计数器输出转化为题目要求的序列，使用同步置数法实现模 6 计数器。为了进一步简化电路，可以在设计模 6 计数器时，将 74HC138 的 \overline{Y}_5 输出端接入 74HC161 的 \overline{SPE} 端，实现同步置数，这样可以省去一个非门。

逻辑电路图

利用 MultiSim 软件绘制电路图，电路图如图1所示：

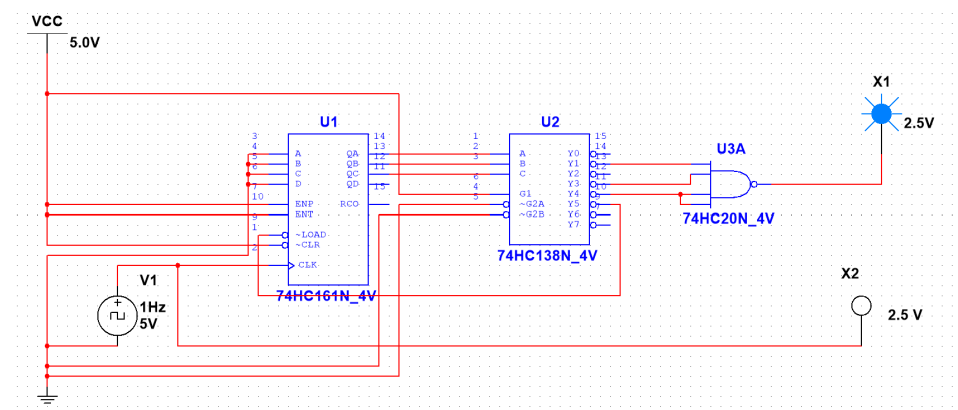


图 1: 方案一逻辑电路图

	现态			次态			控制端	
	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	D_{SR}	S_1
有效状态	0	0	0	0	0	1	1	0
	0	0	1	0	1	0	0	0
	0	1	0	1	0	1	1	0
	1	0	1	0	1	1	1	0
	0	1	1	1	1	0	0	0
	1	1	0	0	0	0	1	1
无效状态	1	0	0	0	0	0	0	0
	1	1	1	0	0	0	0	1

表 1: 方案二状态转移真值表

方案二 使用移位寄存器的设计方案

设计思路

不妨以 4 位双向移位寄存器的最低输出位 Q_0 作为输出信号。由于题目要求信号的一个周期内有 6 个状态，所以只需用到移位寄存器输出端的最低三位，使用同步置数法来循环产生 6 个不同状态。因此，只需把 \overline{MR} 接高电平，四个置数输入端均接地，根据现态控制 S_1 即可。考虑自启动，列出状态转移真值表，如表1 所示。

逻辑电路图

D_{SR} 可用数据选择器产生，而从真值表容易看出 $S_1 = Q_1Q_2$ ，故 S_1 可用与非门实现。利用 MultiSim 软件绘制电路图，电路图如图2所示。

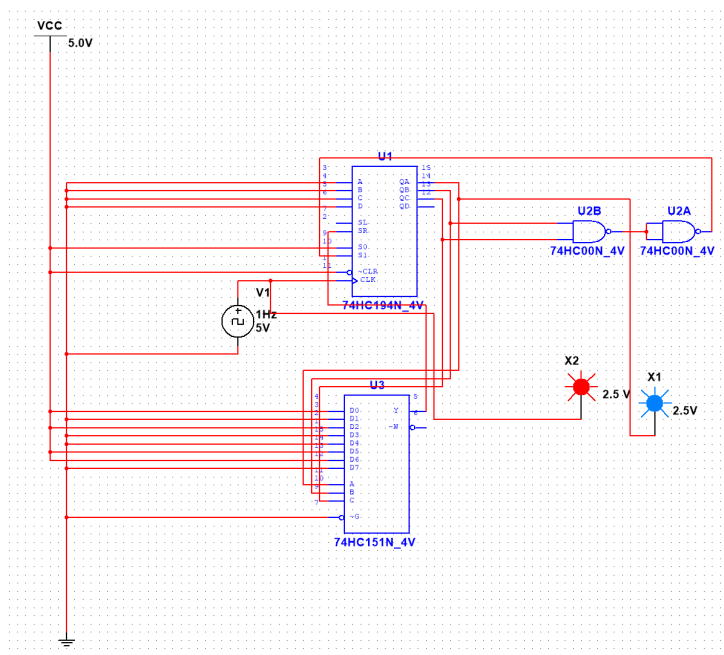


图 2: 方案二逻辑电路图

三、 测试方案

1. 搭接电路，以面包板上自带的时钟脉冲作为时钟信号，把输出端接入 LED 灯，同时将时钟信号也接入 LED 灯作为对照，灯亮表示 1，灯灭表示 0，观察并记录输出序列。
2. 加入 TTL 连续脉冲，用示波器观察 CLK、Q₀、Q₁、Q₂ 及输出端 LED 的波形，汇总并记录。