1.9我们正在为一种实时应用设计系统,这种应用要求必须在指定期限之前完成计算。提前完成计算没有任何收益。我们发现，在最糟糕的情况下，这一系统执行必需代码的速度是最低要求速度的两倍。

a, 如果以当前速度执行计算,并在完成任务后关闭系统，可以节省多少能量？

50%

b. 如果将电压和频率设置为现在的一半，可以节省多少能量？

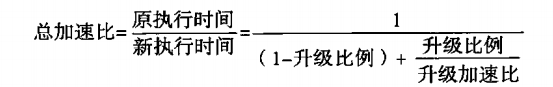
能耗∝\*负载 \* 电压

改变频率不影响能量。

因此，新的能耗：\*负载\*（电压） 。

可以节省原来能量的。

1.16 在为了优化处理器的某部分而进行改变时， 经常会出现这样一种情况: 加速某种类型的指令时,会降低其他某些指令的速度。例如，如果放人一个复杂的浮点单元，它要占用空间，为了容纳它，就得将某些东西移得远一些,这样就会要增加一些延迟周期才能到达被挪远的单元。基本的Amdahl定律公式没有考虑这种折中。



1. 如果这个新的快速浮点单元使浮点运算平均提高到2倍，浮点运算占用的时间为原程序执行时间的20%，那么总加速比为多少(忽略对所有其他指令的影响) ？

1/(0.8 + 0.20/2) = 1.11

1. 现在假定浮点单元的加速会降低数据缓存访问的速度,减缓倍数为1.5 (或者说加速比为2/3)。, 数据缓存访问时间为总执行时间的10%。现在的总加速比为多少？

1/(0.7 + 0.20/2 + 0.10 × 3/2) = 1.05

c.在实现新的浮点运算之后,在浮点运算上花费的执行时间占多大比例？数据缓存访问又占多大比例？

0.1/0.95 = 10.5%

0.15/0.95 = 15.8%

1.18在实现一个应用程序的并行化时,理想加速比应当等于处理器的个数。但它要受到两个因素的限制:可并行化应用程序的百分比和通信成本。Amdahl定律考虑了前者，但没有考虑后者。

S=1/(a+(1-a)/n)

其中，a为串行计算部分所占比例，n为并行处理结点个数。

1. 如果应用程序的80%可以并行化, N个处理器的加速比为多少？ (忽略通信成本。)

1/(0.2 + 0.8/N)

1. 如果每增加一个处理器,通信开销为原执行时间的0.5%，则8个处理器的加速比为多少？

1/(0.2 + 8 × 0.005 + 0.8/8) = 2.94

1. 如果处理器数目每增加一倍,通信开销增加原执行时间的0.5%,则8个处理器的加速比为多少？

1/(0.2 + 3 × 0.005 + 0.8/8) = 3.17

d.如果处理器数目每增加一倍,通信开销增加原执行时间的0.5%,则N个处理器的加速比为多少？

1/(0.2 + log N × 0.005 + 0.8/N)

e. 写出求解这一问题的一般公式:如果一个应用程序中占原执行时间的P%可以并行化，处理器数目每增加一倍,通信成本增加原执行时间的5%,则达到最高加速比的处理器数目为多少？

d/d N(1/((1 – P) + log N × 0.005 + P/N)) = 0



2.12 在直写 L1缓存与写回L2缓存之间设计一个写缓冲区。L2 缓存写数据总线的宽度为16B,可以每4个处理器周期向一个独立缓存地址执行一次写操作。

a.每个写缓冲区项目应当为多少字节？

16B，以匹配二级数据缓存写路径

b.如果所有其他指令可以与存储指令并行发射,块存在于L2缓存中,在通过执行64位存储指令将存储器置零时，使用一一个合并写缓冲区来代替非合并缓冲区，在稳定状态下可以得到什么样的加速比？

假设合并写缓冲区条目宽度为16B。因为每个商店都可以写8B，合并写缓冲区条目将填充2个周期。二级缓存将花费4个周期来写入每个条目。非合并写入缓冲区需要4个周期来写入每个存储的8B结果。这意味着合并写缓冲区将快2倍。

c.对于采用阻塞缓存与非阻塞缓存的系统，可能出现的L1缺失对于所需写缓冲区项目的个数有什么样的影响？

通过阻塞缓存，丢失的存在有效地冻结了进度由机器制造，因此是否存在未命中不会更改要求写入缓冲区条目的数量。对于非阻塞缓存，写可以在未命中期间从写缓冲区处理，这可能意味着更少需要条目。

2.13考虑一个桌面系统,它的处理器连接到一个采用纠错码( ECC)的2 GB DRAM。假定只有一个宽度为72位的存储器通道,其中64位用于数据，8位用于ECC。

1. 如果使用1 GB DRAM芯片, DIMM.上有多少个DRAM芯片,如果仅有一个DRAM连接到每个DIMM数据管脚，每个DRAM必须拥有多少数据I/O？

具有奇偶校验或ECC的2GBDRAM实际上具有9位字节，并且需要18个1GbDRAM。要创建72个输出位，每个DRAM必须输出72/18=4位。

1. 为了支持32 B L2缓存块，突发( burst)长度需要为多少？

4

c.计算为了从某个活动页读取内容, DDR2-667 和DDR2-533 DIMM的峰值带宽为多少？不计ECC开销。

667 × 8 = 5336 MB/s

533 × 8 = 4264 MB/s

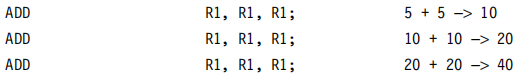
3.9如果你不清楚寄存器重命名程序必须做哪些工作,可以回过头来看看正在执行的汇编代码，问问自己，必须具备哪些条件才能获得正确结果。例如，考虑一个3路超标量机器，同时对下面这3条指令进行重命名:

ADDI RI, R1, Rl

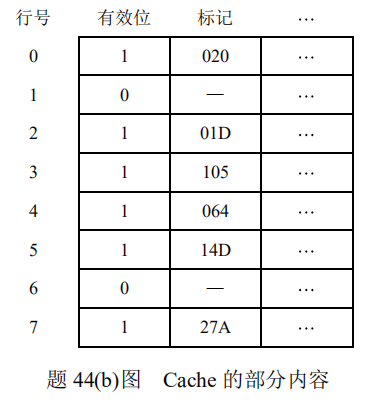
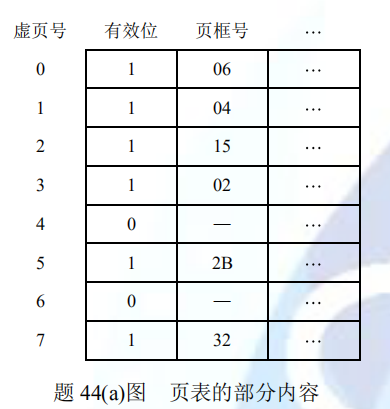
ADDI R1, R1, R1

ADDI R1, R1, R1

如果R1的值在初始为5,那么执行这一序列之后,它的值应当是多少?



1. 某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为 16MB，主存（物理）地址空间大小为 1MB，页面大小为 4KB；Cache 采用直接映射方式，共 8 行；主存与 Cache之间交换的块大小为 32B。系统运行到某一时刻时，页表的部分内容和 Cache 的部分内容分别如题 44(a)图、题 44(b)图所示，图中页框号及标记字段的内容为十六进制形式。



请回答下列问题：

1. 虚拟地址共有几位，哪几位表示虚页号？物理地址共有几位，哪几位表示页框号（物理页号）？

存储器按字节编址，虚拟地址空间大小为 16MB=2B，

故虚拟地址为 24 位；

页面大小为4KB=2B，故高 12 位为虚页号。

主存地址空间大小为 1MB=2B，故物理地址为 20 位；

由于页内地址为 12 位，故高 8 位为页框号。

1. 使用物理地址访问 Cache 时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。

由于 Cache 采用直接映射方式，所以物理地址各字段的划分如下。

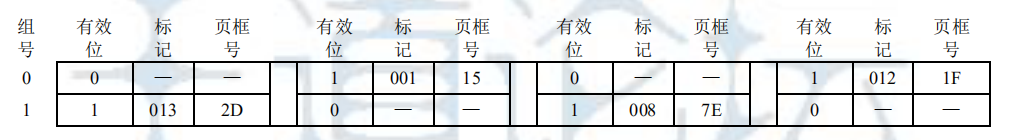
IMG_256

由于块大小为 32B，故字块内地址占 5 位；Cache 共 8 行，故 Cache 字块标记占 3 位；主存字块标记占 20-5-3=12 位。

1. 虚拟地址 001C60H 所在的页面是否在主存中？若在主存中，则该虚拟地址对应的物理地址是什么？访问该地址时是否 Cache 命中？要求说明理由。

虚拟地址 001C60H 的前 12 位为虚页号，即 001H，查看 001H 处的页表项，其对应的有效位为 1，故虚拟地址 001C60H 所在的页面在主存中。页表 001H 处的页框号为 04H，与页内偏移（虚拟地址后 12 位）拼接成物理地址为 04C60H。物理地址 04C60H=0000 0100 1100 0110 0000B，主存块只能映射到 Cache 的第 3 行（即第 011B 行），由于该行的有效位=1，标记（值为 105H）≠04CH（物理地址高 12 位），故不命中。

1. 假定为该机配置一个 4 路组相联的 TLB 共可存放 8 个页表项，若其当前内容（十六进制）如题 44(c)图所示，则此时虚拟地址 024BACH 所在的页面是否存在主存中？要求说明理由。



由于 TLB 采用 4 路组相联，故 TLB 被分为 8/4=2 个组，因此虚页号中高 11 位为 TLB 标记、最低 1 位为 TLB 组号。虚拟地址 024BACH=0000 0010 0100 1011 1010 1100B，虚页号为 0000 0010 0100B，TLB 标记为 0000 0010 010B（即 012H），TLB 组号为 0B，因此，该虚拟地址所对应物理页面只可能映射到 TLB 的第 0 组。组 0 中存在有效位=1、标记=012H 的项，因此访问 TLB命中，即虚拟地址 024BACH 所在的页面在主存中。